

الجمهورية الجزائرية الديمقراطية الشعبية

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

وزارة التعليم العالي و البحث العلمي

MINISTERE DE L'ENSEIGNEMENT SUPERIEURE ET DE LA RECHERCHE SCIENTIFIQUE

جامعة فرحات عباس سطيف 1

UNIVERSITE FERHAT ABBAS DE SETIF 1



كلية التكنولوجيا

FACULTE DE TECHNOLOGIE

قسم إلكترونيك

DEPARTEMENT D'ELECTRONIQUE

THESE

Présentée au département d'électronique
Pour l'obtention du diplôme de

DOCTORAT

Domaine : Sciences et Technologie
Option: Systèmes de télécommunications

Par

KOUACHI Sabah

THÈME

**"Application de nouvelles techniques de traitement de signal pour la
résolution des problèmes de diagnostics de défauts des circuits
analogiques intégrés"**

Soutenue le 25/06/2025

Devant le Jury composé de:

N. AMARDJIA	Professeur Univ. Ferhat Abbas Sétif 1	Président
N. BOUROUBA	Professeur Univ. Ferhat Abbas Sétif 1	Directeur de thèse
N. BOUZIT	Professeur Univ. Ferhat Abbas Sétif 1	Examineur
D. KHADROIUCHE	Professeur Univ. M. Boudhief M'Sila	Examineur
A. AIT KAKI	MCA Univ. L. BEN Mhidi OUM EL Bouaghi	Examineur

Laboratoire d'Instrumentation Scientifique "LIS"

Dédicaces

Je dédie ce modeste travail avec tant d'amour et de sentiments

d'affection et de reconnaissance à:

La mémoire de mon très cher père, toute ma famille mère, frères et

sœurs pour leurs sacrifices et leurs soutient moral durant mes

études, à tout le staff du laboratoire LPS département

d'électronique Univ Sétif 1.

Remerciements

Je tiens à exprimer mes remerciements à « ALLAH » de nous avoir doté d'une intelligence qui nous permet d'acquérir la science et le savoir qui sont d'une grande diversité.

*J'exprime mes sincères remerciements à **Mr. BOUROUBA Nacerdine**, pour m'avoir inspiré le sujet de cette thèse, pour son aide, pour sa modestie et pour sa compréhension à mon égard, aussi de m'avoir orienté dans le bon chemin, motivé et pour le temps consacré tout au long de cette période.*

*Egalement, mes sincères remerciements sont adressés au Professeur **Monsieur AMARDJIA Nouredine**, Professeur à l'Université Ferhat Abbas Sétif 1, de m'avoir fait l'honneur de présider le jury de cette thèse. Aussi je remercie **Monsieur BOUZIT Nacerdine**, Professeur à l'Université Ferhat Abbas Sétif 1, **Monsieur KHEDROUCHE Djamel**, Professeur à l'Université Mohamed Boudiaf M'sila, et **Monsieur AIT KAKI AbdelAziz**, Maître de conférences classe A à l'Université Larbi-Ben-Mhidi Oum-EL-Bouaghi, qui m'ont fait l'honneur d'accepter d'être examinateurs, membres du jury de cette thèse et d'évaluer ce travail.*

Mes remerciements vont également aux responsables du département d'électronique, et du laboratoire d'Instrumentations et de sciences (LIS) de l'université Ferhat Abbas Sétif1, qui n'ont ménagé aucun effort pour mener à bien notre formation.

Enfin un grand merci à toutes les personnes qui m'ont aidé, soutenu et encouragé le long de mon parcours de recherche et travail.

Liste des Figures
Liste des Tableaux
Introduction générale

Chapitre I: Concepts sur le test des circuits analogiques

I.1. Introduction1
I.2. Concept de base du test analogique.....2
 I.2.1. Les principaux Terminologies définissant le test analogique..... 2
 I.2.2. Fabrication d'un circuit intégré.....3
 I.2.3. Le Coût de test d'un circuit intégrés.....4
 I.2.4. Les phases de test d'u circuit analogique.....5
I.3. Généralités sur le test.....5
I.4. Couverture de fautes.....8
I.5. Types de test des circuits analogiques9
 I.5.1. Test fonctionnel.....9
 I.5.2. Test structurel.....10

Chapitre II: Les différents types de fautes dans les circuits analogiques

II.1. Introduction..... 11
II.2. Les défauts11
II.3. Mécanismes de panne12
 II.3.1. Défauts de contamination.....12
 II.3.2. Facteurs humains.....12
 II.3.3. Défaillance d'équipement.....12
 II.3.4. Effet de l'environnement.....12
 II.3.5. Instabilité du mécanisme de production.....13
II.4. Types de défauts.....13
 II.4.1. Les défauts paramétriques13
 II.4.2. Les défauts catastrophiques.....14
II .5. Diagnostic des fautes.....14
II .6. Types de défauts physiques.....16
II .7. Localisation des défauts.....17
II .8. Sources des défauts analogiques.....17

II .9.	Classification des fautes analogiques.....	18
	II.9.1. Défauts globaux.....	19
	II.9.2. Défauts locaux.....	20
	Conclusion.....	20

Chapitre III: Les procédures de modélisation et d'identification du signal de sortie

III.1.	Introduction.....	22
III.2.	Modélisation d'un signal	22
III.3.	Différents types de construction d'un modèle	22
	III.3.1 Modèle de connaissance	23
	III.3.2 Modèle de détermination.....	23
III.4.	Principales phases de la modélisation.....	23
III.5.	Les méthodes d'identification des paramètres par un modèle.....	25
	III.5.1. L'identification non paramétrique	25
	III.5.2. L'identification paramétrique	25
	III.5.3. Étape d'identification.....	26
	III.5.3.1 .Acquisition des entées et des sorties.....	26
	III.5.3.2. Sélection de la complexité du modèle.....	26
	III.5.3.3. Estimation des paramètres du modèle.....	27
	III.5.3.4. Validation du modèle.....	27
	III.5.4. Algorithme d'identification récursif	27
III.6.	Modélisation par les modèles de système d'identification ARMA et ARX et OE.....	27
	III.6.1. Modèle Autorégressive à Moyenne Ajustée (ARMA).....	27
	III.6.1.1. Modelé autorégressive (AR).....	30
	III.6.1.2. Modelé moyenne ajustée (MA)	30
	III.6.1.3. Densité spectrale du modèle ARMA.....	30
	III.6.1.4. Calcul des coefficients a_i et b_i	30
	III.6.1.5. Le choix de l'ordre d'un modèle ARMA.....	33
	III.6.2. Modèle (ARX).....	34
	III.6.2.1. Les différents types de configuration du modèle ARX	35
	III.6.2.2. Détermination des coefficients du modèle ARX	37
	III.6.3. Modèle Erreur de sortie (Output Error) (OE).....	37

SOMMAIRE

III.6.3.1. Optimisation non linéaire des paramètres du modèle OE.....	40
III.6.3.2. Détermination des coefficients du modèle OE	41
III.6.3.3. Moindres carrés répétés et filtrage pour estimation du modèle OE	41
Conclusion.....	42

Chapitre IV: Classification et optimisation avec la combinaison AG-SVM

IV.1. Introduction.....	43
IV.2. Méthode de classification SVM (Support vector machine)	43
IV.2.1. Le principe de l'apprentissage	43
IV.2.2. SVM binaire	44
IV.2.2.1. SVM à marge dur.....	45
IV.2.2.2. SVM à marge souple	47
IV.2.2.3. Kernel Trick (Astuce du noyaux)	49
IV.2.3. SVM mono classe.....	51
IV.2.4. SVM multi-classe.....	53
IV.2.4.1. SVMs Une-contre-une (1vs1).....	53
IV.2.4.2. SVMs une-contre-reste (1vsR).....	54
IV.3. Méthode d'optimisation AG (Algorithmes génétiques).....	54
IV.3.1. Aspects d'implémentation communs à de nombreuses applications	55
IV.3.2. Représentation des solutions et opérateurs génétiques	56
IV.3.3. Représentation binaire	56
Conclusion.....	56

Chapitre V: Interprétations et résultats de l'application de la méthode OE avec la combinaison des méthodes AG-SVM

V.1. Introduction.....	57
V.2. Aperçu sur le simulateur PSPICE.....	57
V.2.1. Historique	57
V.2.2. Etapes d'une simulation par PSPICE	58
V.2.3. Prise en main du PSPICE.....	58
V.2.4. Les modes d'analyse de PSPICE.....	58
V.3. Présentation des circuits sous test et extraction des paramètres.....	60
V.3.1. Processus de l'application des modèles du SI.....	60

SOMMAIRE

V.3.2. Les circuits sous test (CUT's).....	62
V.3.2.1. Sallen-Key passe-bande.....	63
V.3.3. Résultats expérimentaux des circuits sous test (CUT's).....	65
V.3.3.1. Analyse de réponse du circuit sans fautes et extraction des paramètres.....	66
V.3.3.2. Procédure d'identification et de validation des modèles ARMA, ARX et OE.....	72
V.3.3.3. Interprétation des résultats d'estimation des modèles ARMA, ARX et OE.....	74
V.4. L'optimisation et la classification des fautes par l'approche de combinaison AG-SVM.....	80
V.5. Résultats et interprétation.....	83
V.6. Comparaison de l'efficacité de la méthode OE-AG-SVM avec d'autres méthodes.....	87
Conclusion.....	88
Conclusion générale	

<i>Figure I.1: Fabrication d'un circuit intégré (IC).....</i>	<i>3</i>
<i>Figure I.2: Coûts de détection des défauts (règle de $(\times 10)$).....</i>	<i>5</i>
<i>Figure I.3 : Interaction entre Les trois disciplines (Conception, test et fabrication).....</i>	<i>6</i>
<i>Figure I.4: Approche de base du test</i>	<i>9</i>
<i>Figure II.1: Exemples des défauts Physiques.....</i>	<i>16</i>
<i>Figure II.2 : Classification des fautes analogiques.....</i>	<i>19</i>
<i>Figure III.1 : Schéma d'identification paramétrique.....</i>	<i>25</i>
<i>Figure III.2 : Le modèle AR</i>	<i>28</i>
<i>Figure III.3 : Le modèle MA</i>	<i>29</i>
<i>Figure III.4 : Le modèle ARX.....</i>	<i>34</i>
<i>Figure III.5 : Configuration erreur d'équation.....</i>	<i>36</i>
<i>Figure III.6 : Configuration du prédicteur</i>	<i>36</i>
<i>Figure III.7 : Configuration pseudo-parallèle avec filtrage du signal d'erreur</i>	<i>37</i>
<i>Figure III.8 : Modèle Erreur de Sortie (Output Error-OE-).....</i>	<i>38</i>
<i>Figure III.9 : Le modèle OE en parallèle avec le processus.....</i>	<i>39</i>
<i>Figure III.10 : La relation entre les restes du modèle ARX et ceux du modèle OE.....</i>	<i>39</i>
<i>Figure IV.1: SVM binaire.....</i>	<i>45</i>
<i>Figure IV.2 : SVM binaire à marge souple</i>	<i>48</i>
<i>Figure IV.3 : Espace initial.....</i>	<i>49</i>
<i>Figure IV.4 : Espace transformé (final).....</i>	<i>49</i>
<i>Figure IV.5 : Séparation des exemples d'une classe du reste de l'espace.....</i>	<i>51</i>
<i>Figure IV.6 : SVM monoclasse à marge maximale.....</i>	<i>52</i>
<i>Figure IV.7 : Approche une-contre-une</i>	<i>54</i>
<i>Figure IV.8 : Approche une-contre-reste.</i>	<i>54</i>
<i>Figure V.1: Fenêtre contextuelle de l'analyse en DC.....</i>	<i>59</i>
<i>Figure V.2 : Fenêtre contextuelle de l'analyse en AC</i>	<i>59</i>
<i>Figure V.3: Fenêtre contextuelle de l'analyse en TRAN.....</i>	<i>60</i>
<i>Figure V.4 : Diagramme des différentes étapes de la méthode pour extraire les coefficients de polynômes de la fonction de transfert pour le CUT.....</i>	<i>61</i>
<i>Figure V.5 : Configuration du filtre passe bande de Sallen-Key.....</i>	<i>62</i>
<i>Figure V.6 : Schéma interne de l'amplificateur opérationnel AO1 ($\mu A741$).....</i>	<i>62</i>
<i>Figure V.7 : Configuration du filtre Biquad passe haut</i>	<i>63</i>
<i>Figure V.8 : Circuit Sallen-Key passe bande.....</i>	<i>64</i>
<i>Figure V.9: Réponse d'un circuit passe bande.....</i>	<i>64</i>
<i>Figure V.10 : Signal de sortie du filtre passe-bande sans faute par PSPICE.</i>	<i>66</i>

<i>Figure V.11:Ouverture du fichier PSPICE à partir du MATLAB.....</i>	<i>68</i>
<i>Figure V.12 :Reproduction par MATLAB du signal de sortie de PSPICE sans faute</i>	<i>68</i>
<i>Figure V.13 :Fenêtre de système d'identification</i>	<i>69</i>
<i>Figure V.14 :Boite de dialogue pour import de données temporelles..</i>	<i>70</i>
<i>Figure V.15:Boite de dialogue pour information surles données du signal..</i>	<i>70</i>
<i>Figure V.16 :Les icônes d'application pour traitement de données.</i>	<i>71</i>
<i>Figure V.17:Choix du type de de données (tracé temporel).</i>	<i>71</i>
<i>Figure V.18 :Signaux Input-Output sans faute par MATLAB pour un filtre passe-bande Sallen-Key..</i>	<i>71</i>
<i>Figure V.19 :Choi des approches ARMA,ARX et OE</i>	<i>72</i>
<i>Figure V.20:Estimation des modèles ARMA, ARX, OE et ses plots.....</i>	<i>73</i>
<i>Figure V.21 :Les ordres mesurés et estimés du modèle OE du signal de sortie sans faute du filtre passe-bande Sallen-Key -F0-</i>	<i>74</i>
<i>Figure V.22 : Signal de sortie du filtre Biquad passe-haut sans faute par PSPICE.....</i>	<i>76</i>
<i>Figure V.23:Les ordres mesurés et estimés du modèle OE du signal de sortie avec la faute (F2) du filtre passe-bande Sallen-Key.....</i>	<i>77</i>
<i>Figure V.24: Les ordres mesurés et estimés du modèle OE du signal de sortie avec la faute (F10) du filtre biquad passe-haut.....</i>	<i>79</i>
<i>Figure V.25: Diagramme pour la classification et l'optimisation des fautes en utilisant la combinaison AG-SVM.....</i>	<i>82</i>
<i>Figure V.26:Le processus de classification et d'optimisation par la combinaison AG-SVM.....</i>	<i>84</i>
<i>Figure V.27:OE-AG-SVM linéaire du filtre passe-bande Sallen-key : Valeur de fitness et meilleurs Individus.....</i>	<i>85</i>
<i>Figure V.28:OE-AG-medium GaussianSVM du filtre passe-bande Sallen-key : Valeur de fitness et meilleurs individus.....</i>	<i>86</i>
<i>Figure V.29 :OE-AG-SVM linéaire du filtre biquad passe-haut: Valeur de fitness et meilleurs Individus.....</i>	<i>87</i>
<i>Figure V.30 :OE-AG-CoarseGaussian SVM du filtre biquadpasse-haut: Valeur de fitness et meilleurs individus.....</i>	<i>87</i>

Liste des tableaux

<i>Tableau I.1: Coût de détection du dysfonctionnement des dispositifs en fonction de leur échelle d'intégration</i>	
.....	
..4	
<i>Tableau II.1: Types des défauts à détecter (moyen de détection et diagnostic)</i>	15
<i>Tableau V.1: Valeurs de nominales et avec fautes paramétriques des composants pour un filtre passe-bande Sallen-Key</i>	65
<i>Tableau V.2: Types Valeurs de nominales et avec fautes paramétriques des composants pour un filtre Biquad passe-haut</i>	65
<i>Tableau V.3: Présentation des niveaux (minimum et maximum) de la précision des modèles ARMA, ARX et OE pour un filtre passe-bande Sallen-Key</i>	75
<i>Tableau V.4: Présentation des niveaux (minimum et maximum) de la précision des modèles ARMA, ARX et OE pour un filtre Biquad passe-haut</i>	76
<i>Tableau V.5: Les valeurs de coefficient $a_i (i=1; \dots; p)$ et $b_j (j=1; \dots; q)$, et la précision maximale (A_{max}) du modèle OE sélectionné pour le filtre passe-bande Sallen-Key</i>	78
<i>Tableau V.6: Les valeurs de coefficient (p, q) et la précision maximale (A_{max}) du modèle OE sélectionné du filtre biquad passe-haut</i>	80
<i>Tableau V.7 : Résultats du modèle estimé OE AG-SVM du filtre passe-bande Sallen-Key</i>	84
<i>Tableau V.8 : Résultats du modèle estimé OE AG-SVM du filtre biquad passe-haut</i>	85
<i>Tableau V.9 : Résultats de différentes méthodes</i>	88

Liste des acronymes

AC	Alternative Current
AC	Accuracy
IA	Intelligence Artificielle
ARMA	Autoregressive Moving Average model
ARX	Autoregressive with Exogenous Variables model
AG	Algorithmes Génétiques Algorithm
ASIC	Circuits intégrés spécifiques à une application
ATE	Automatic Test Equipment
ATPG	Automatic Test Pattern Generation
BIST	Built In Self Test
CC	Court circuit
CI	Circuit intégré
CMOS	Complementary Metal Oxide Semiconductor
CO	Circuit ouvert
CUT	Circuit Under Test
CVD	Chemical Vapor Deposition
DBN	Deep Belief Network Algorithm
DC	Direct Current
DFT	Design For Testability
DSP	Digital Signal Processing
DUT	Devise Under Test
FC	Fault Coverage
FF	Fault Free
FT	Fonction de Transfert
GWO	Gray Wolf Optimization Algorithm -
IC	Integrated Circuit
Kernel SVM	Fonctions Polynomiales
OE	Output Error model
Opamp	Operational Amplifier
RBF	Radial Basis Function
SAT	Simulation After Test
SBT	Simulation Before Test
SI	Système d'Identification
SoC	System on Chip

PSPICE	Personal Simulation Program with Integrated Circuit Emphasis
SVM	Support vector machine Algorithm
TRAN	Analyse temporelle
VF	Valeur de fitness

Depuis les années soixante, il y a eu un fort intérêt dans les milieux industriels et de recherche pour mettre en place des méthodes pour renforcer la sécurité des systèmes électroniques. Les systèmes aérospatiaux, nucléaires et de la pétrochimie ont été les premiers qui suscitent cet intérêt. Au cours des dernières années, divers domaines novateurs en sciences et technologies ont pris une grande importance dans la vie quotidienne, comme la télécommunication, le multimédia, les applications biomédicales, ...ect. Ces domaines exigent une utilisation nécessaire des circuits intégrés analogiques et mixtes. Le test des circuits microélectroniques, numériques ou analogiques, est une tâche qui permet de détecter si un circuit intégré une fois fabriqué, marche bien (fonctionnel) ou non (défaillant).

L'une des méthodes les plus utilisées pour effectuer le test de ces circuits est d'injecter un signal à l'entrée du circuit dans le but d'analyser sa sortie. Si celle-ci correspond à la sortie normale, observée en simulation, on constate le bon fonctionnement du circuit, sinon, il est considéré comme défaillant. Le test est une tâche très coûteuse. Ceci est dû à la complexité des circuits à cause de leurs fonctions et leur taille qui ne cessent de s'accroître. De plus, l'évolution vers l'intégration de systèmes analogiques et numériques complets dans une seule puce provoque d'importants problèmes d'accès lors d'un test.

Simultanément, il est pris que la complexité des nouvelles générations de circuits intégrés et telle que les procédures de tests classiques ne sont plus capables de garantir entièrement les performances de ces circuits. Afin d'effectuer des tests efficaces sur les circuits fabriqués. Il est donc utile de connaître les circuits de manière à ce qu'un test puisse être effectué après leur production. C'est à cause de cette constatation que la notion de conception en Vue du Test (CVT) ou en anglais DFT (Design For Testability) a été développé. De nombreuses solutions de CVT existe pour les circuits numériques et peu à peu sont normalisées et directement intégrés dans les dispositifs de synthèse automatique. Toutefois, l'absence d'une méthode générique pour le test des blocs analogiques ou mixtes entraîne un coût énormément élevé pour leur test. Les circuits intégrés (CI) fabriqués doivent être testés pour identifier les défauts du processus de fabrication. L'objectif fondamental du test est de faire la différence entre les CI bonnes et mauvaises. Il existe une variété de méthodes pour atteindre cet objectif. Auparavant, les tests fonctionnels étaient utilisés pour atteindre cet objectif lorsque les circuits intégrés étaient relativement moins complexes. La fonction CI est étroitement liée aux tests fonctionnels [1,2,3].

De plus dans la mesure où les nouvelles technologies permettent de diminuer le coût de production des circuits intégrés, il est généralement admis que le coût du test, et en particulier celui du test de la partie analogique, représentera bientôt la plus grosse partie du coût total des circuits intégrés mixtes. Dans le contexte technologiques et économique actuel, il est donc crucial pour les fabricants de circuits intégrés de réduire le coût du test des circuits intégrés [4]. La plupart du temps, le processus de diagnostic a été réalisé avec deux techniques de simulation courantes dont l'une est effectuée avant le test (SBT) : simuler avant le test (SBT) et l'autre après le processus de test (SAT). La technique SAT consiste à résoudre les équations

du circuit défectueux par une procédure de calcul une fois que les données des paramètres du circuit sont définies à partir des mesures. Au contraire, le SBT, sur lequel notre travail est basé, vise à construire un dictionnaire de défauts avec des informations de signal provenant d'une simulation de circuit exécutée sous différents défauts sélectionnés et servira donc d'outil de test et de diagnostic pour les circuits défectueux [5].

Le but fixé à travers le thème de notre étude est de tester des circuits analogiques par la combinaison des méthodes du traitement du signal (tels qu' ARMA, ARX et OE) et des méthodes de Machines Learning (AG et SVM), qui sont largement utilisés dans le domaine des circuits analogiques [6].

Cette combinaison est incontestablement très efficace dans un processus électronique puisqu'elle a permis d'améliorer l'identification de fautes dans les circuits analogiques. L'importance donnée en premier dans notre étude est de réussir le test de ces circuits par cette combinaison, tout en conservant ses structures fondamentales qui sont utilisées pour générer des vecteurs de test, de l'analyse de signature de fautes et de prise de décision concernant la présence ou l'absence de fautes.

Notre travail est organisé en cinq chapitres, au premier chapitre nous avons étudié les différentes techniques de test, on doit d'abord comprendre l'historique du test, après on a vu des généralités sur ce dernier. Pour cela, nous avons donné un aperçu général sur les différents types de test. Le deuxième chapitre présente les défaillances (fautes) dans les circuits, nous avons donné la définition des fautes, mécanisme des défaillances, types de fautes, diagnostic des défauts et finalement la localisation de ces derniers. Le troisième chapitre présente les méthodes de traitement de signal implantées dans le système d'identification dans l'outil informatique dite le logiciel MATLAB, tels que ARMA, ARX et OE qui sert à l'extraction des paramètres bases de cette étude. La description du classifieur qui se base sur les deux méthodes AG pour optimisation et SVM pour classification est donnée dans le quatrième chapitre. Enfin nous avons détaillés dans le cinquième chapitre la simulation de deux circuits : *filtre passe-bande Sallen-Key et filtre biquad passe-haut*, dans l'environnement PSPICE, et ses entrées et sorties sont transformées à l'aide de la transformée de Z dans l'environnement MATLAB. Après, les résultats sont optimisés et classifiés par la combinaison OE-AG-SVM pour obtenir une meilleure précision et une bonne réduction de paramètres. Une conclusion générale est donnée à la fin du manuscrit.

Chapitre I

I.1 Introduction

L'exploitation du marché des systèmes électroniques tels que le matériel de télécommunications, médicales, mécaniques industriels...ect, amène les industrielles à fournir des produits moins chers pour une meilleure compétitivité. Avec l'utilisation de technologies de circuits analogiques en constante amélioration permet l'intégration de systèmes électroniques complets sur une seule pièce d'équipement afin de réduire les coûts de production actuels. Pour la conception d'un circuit analogique, il reste encore des problèmes à résoudre afin de réduire les coûts de production, comme la portabilité rapide vers de nouvelles normes ou technologies [7]. Le problème du test était une considération essentielle, comme pour tout dispositif intégré, qui comporte deux types numérique et analogique. Les approches de tests des circuits analogiques et numériques sont insuffisantes pour les systèmes mixtes. Ces méthodes, qui ont été largement étudiées depuis les années 1970, fournissent des méthodes de test bien structurées avec une large applicabilité aux circuits analogiques. Les premières études sur les tests de circuits à signaux mixtes ont été publiées par des experts en tests numériques [8]. Ces premières études visaient à développer des méthodes conceptionnelles pour le test DFT facilitant l'accès à des parties analogues. Suite à l'adaptation des idées numériques DFT pour les circuits analogiques, les premières techniques BIST analogiques non concurrentes utilisant la technologie de balayage analogique [6] ou des tests pseudo-aléatoire [9, 11] sont apparues vers 1990 [12]. Alors dans l'industrie des systèmes électroniques On trouve que le test des circuits intégrés (CI) est désormais une tâche essentielle. En raison des progrès rapides de la technologie de ces derniers, il est nécessaire de réaliser d'importants investissements en recherche afin de développer des méthodes et des outils permettant de créer et d'appliquer des stimuli de test (ou vecteurs de test) afin de localiser les défauts de conception ou les dysfonctionnements des dispositifs ou des circuits [13], Les problèmes liés aux tests de circuits intégrés sont brièvement décrits dans les sections qui suivent. Les équipements électroniques généralement composés de deux types de circuits électroniques qui sont des circuits analogiques et numériques [14,15].

Additivement en raison des caractéristiques fondamentales des circuits analogiques, telles que la non-linéarité et la tolérance des composants, les schémas de défaut inefficaces, les défauts insuffisamment accessibles et l'incertitude dans les dispositifs de mesure, le diagnostic de défaut devient très difficile. Pour ces raisons, plus de concentration et d'effort sont nécessaires pour les diagnostics de défaillance de ces derniers.

Il est nécessaire de définir clairement certains concepts pour éviter une fausse interprétation théorique et l'application d'un test analogique. Trois tâches principales caractérisent le test des circuits analogiques.: la détection, la localisation et le diagnostic [16].

En temps qu'il existe de nombreuses méthodes proposées pour diagnostiquer des circuits analogiques, les

techniques de dictionnaire de sélection des défauts sont les plus utilisées. Toutefois, au cours des dernières décennies, l'informatisation de la détection et la localisation de défauts à l'aide des techniques d'intelligence artificielle (IA) est évolué comme un outil crucial pour la résolution de nombreux problèmes dans ce domaine [17].

I.2 Concept de base du test analogique:

Actuellement, Il existe plusieurs variétés de circuits analogiques et mixtes. Alors il serait très compliqué de donner une liste complète de ces derniers et des différentes méthodes de test qui leur associés. C'est la raison pour laquelle, nous nous limitons au domaine des circuits analogiques dans ce chapitre. Pour éviter une interprétation inexacte de la théorie et de l'application du test analogique, quelques concepts doivent être précisément définis. Trois fonctions principales sont la détection, la localisation et le diagnostic dans le test de circuits analogiques [18]. L'utilisation d'un vecteur de test est nécessaire pour chacune de ces trois tâches. Notamment, la qualité du vecteur de test est très importante pour la détermination de la localisation, la détection et le diagnostic d'une erreur.

I.2.1 Les principaux Terminologies définissant le test analogique [19]:

***Performances:** elles expliquent comment fonctionne le circuit et vous permettra de déterminer si ce dernier est fonctionnel ou non.

***Caractéristiques:** représentent des valeurs de performance acceptables, où chaque deux caractéristiques distinguent une performance (la borne minimale et la borne maximale). Ainsi, si une performance ne possède qu'une seule caractéristique, la deuxième est fixée à la fin.

***Observations (Mesures de test):** représentent des résultats obtenues par des mesures appliqués sur un circuit.

* **Critères de test:** Il s'agit d'un sous-ensemble de mesures de test qui sont obligatoirement être liées aux caractéristiques pour déterminer si le circuit est testé ou non. L'un des objectifs de la simulation des fautes est d'affirmer que ces critères sont efficaces.

***Défaut :** la mal fabrication au niveau d'une ou plusieurs éléments du circuit qui le rend défectueux.

***Panne ou défaillance:** l'impact d'une faute trouver dans une ou plusieurs parties d'un circuit analogique.

***Faute:** variations des valeurs fixées.

***Erreur:** fonctionnement inhabituel provoqué par un défaut.

***Détection:** Méthode de déterminer la présence d'un défaut de circuit.

* **Localisation:** après avoir découvert la faute. Cette méthode permet d'identifier le composant défectueux

qui a entraîné la panne.

* **Diagnostic:** désignation de la source fondamentale du défaut (ou mal fonctionnement du circuit).

* **Stimulus:** signal exécuter à l'entrée d'un circuit.

* **Signature d'une faute:** les effets d'une panne.

* **Points de test:** les différents nœuds ou connecteurs d'un circuit qui peuvent être utilisés pour connecter un appareil de mesure.

* **Equipements de test:** ensemble de hardware et software utilisés pour appliquer une méthode.

* **CUT (Circuit Under Test) ou DUT (Design Under Test):** c'est un circuit soumis sous un test.

* **Paramètres d'un mécanisme:** paramètres liés au processus de fabrication et aux caractéristiques physiques du composant.

* **Paramètres du circuit:** les paramètres de géométrie du circuit (résistance, capacité, condensateurs, etc.).

I.2.2 Fabrication d'un circuit intégré :

La conception et la fabrication sont les deux étapes principales de la production d'un circuit intégré (IC) (voir figure I.1).

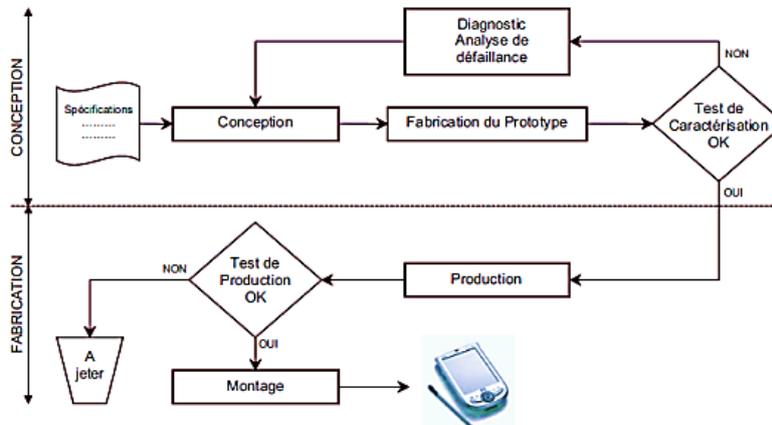


Figure I.1 : Fabrication d'un circuit intégré (IC).

Un examen soit effectué dans chaque phase. Le test réalisé dans la première phase est connu sous le nom de test de validation ou détermination. Il s'agit d'un test fonctionnel qui vise à déterminer si les performances du circuit sont conformes aux prévisions du cahier de charges. Sinon la recherche d'erreur de conception ou de fabrication doit être effectuée (diagnostiquer et localiser l'erreur). Dans la deuxième étape, un test de production doit être effectué. Il vise à séparer les circuits en panne des circuits qui fonctionnent correctement. Mais à ce stade, il n'est pas possible de réparer les circuits. donc ils seront rejetés. Cela importe que le diagnostic est utilisé pour augmenter la productivité de la chaîne de fabrication [20,21].

I.2.3 Le Coût de test d'un circuit intégrés :

Le coût global d'un circuit électronique est déterminé par un certain nombre de facteurs, notamment la fabrication, l'emballage, l'assemblage et les tests ; le coût des tests augmente alors que d'autres facteurs diminuent. Le tableau suivant illustre la relation entre le coût de la détection des défauts et l'échelle d'intégration [20,22].

Tableau I.1 : Coût de détection du dysfonctionnement des dispositifs en fonction de leur échelle d'intégration.

Device integration level	Cost in \$
wafer	0.01 – 0.1
package	0.1 – 0.3
board	0.3 - 3
system	3 - 30
application	30 - 300

Il est évident que l'identification des dispositifs défectueux dès le début du processus de production, avant l'intégration, et l'optimisation des essais de fabrication entraînent une réduction significative des coûts [20].

Dans l'industrie électronique, il est bien connu que les composants doivent être testés avant d'être assemblés sur des cartes de circuits imprimés, qui à leur tour nécessitent des tests avant d'être assemblées dans des systèmes. Si un défaut n'est pas détecté par le test d'une ou plusieurs parties d'un circuit, le coût de détection du défaut au niveau du circuit imprimé est dix fois plus élevé qu'au niveau du défaut. De plus, un défaut de carte qui n'est pas détecté par un examen du circuit imprimé coûtera dix fois plus cher à l'échelle du système qu'au l'échelle de la carte. Ces tests respectent la règle des dix (x10) (figure I.2). Certains désirent que la règle de dix devrait maintenant être appelée règle de vingt parce que les cartes, les cartes et les systèmes sont beaucoup plus compliqués aujourd'hui qu'ils ne l'étaient lorsque la règle empirique a été établie pour la première fois [23].

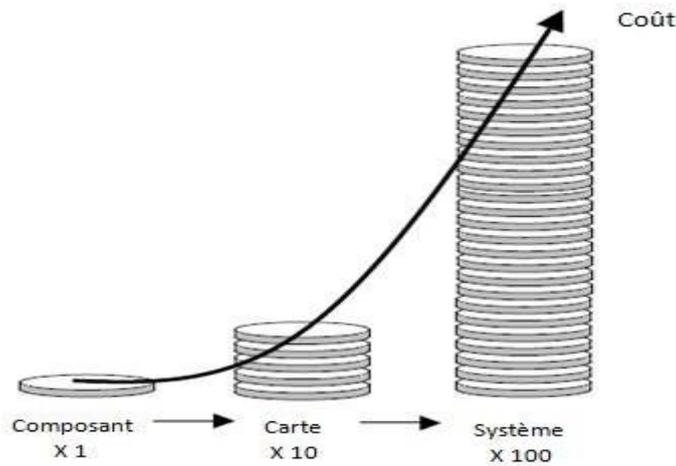


Figure I.2 : Coûts de détection des défauts (règle de ($\times 10$)) [24].

I.2.4 Les phases de test du circuit analogique :

Au cours du cycle de vie d'un circuit, il y a trois phases de test : la première est la phase de conception, la seconde est la phase de vérification avant fabrication qui détermine si ce dernier fonctionnera comme prévu, la troisième phase est la fabrication, qui détermine s'il existe des défauts dans le circuit intégré ou le circuit imprimé.

Après l'exécution des processus de fabrication, une conception devient un dispositif physique qui tient compte de plusieurs tâches et matériaux afin de devenir le circuit final. Dans un lot de fabrication, une conception unique est généralement répétée plusieurs fois au cours du processus de fabrication, ce qui réduit les coûts [25]. Des défauts peuvent se produire pendant l'étape de fabrication dans les salles blanches (par exemple, un court-circuit entre deux lignes métalliques parallèles ou entre les deux bornes d'un composant, un court-circuit qui coupe la ligne métallique reliant deux composants, etc.). Ces types de résultats entraînent un mauvais fonctionnement du circuit [26].

La quantité et la qualité des tests réalisés tout au long du cycle de vie d'un circuit dépendent de ses caractéristiques. Par exemple, un circuit volumineux et peu coûteux n'est pas testé mais est fabriqué automatiquement ; cependant, lorsqu'un système complexe est impliqué, des tests rigoureux sont nécessaires pour garantir son bon fonctionnement, et lorsqu'un défaut est détecté, des processus d'identification et de substitution des composants défectueux sont initiés [27].

I.3 Généralités sur le test:

Il est possible de soutenir que si un design et un processus de fabrication parfaits sont présents, les tests ne sont pas nécessaires. Cela serait vrai si le monde était parfait, mais quand même le plus petit défaut dans le processus de conception ou de fabrication peut provoquer un défaut de circuit, l'importance du test ne peut être sous-estimée. Pour que le système soit testé, il est nécessaire de s'assurer qu'il est à la fois

contrôlable et observable :

- **Contrôlabilité** : La capacité de réguler certains éléments d'une conception afin de placer des valeurs précises à des endroits spécifiques. Il s'agirait d'une valeur logique spécifique dans une conception logique numérique. Il s'agirait d'un certain niveau de tension ou de courant dans un circuit analogique.
- **Observabilité** : La capacité d'observer comment un circuit réagit à un certain stimulus de circuit.

Les tests nécessitent l'accès à certaines sections de la conception, ce qui ne peut être réalisé qu'en abordant la contrôlabilité et l'observabilité de la manière la plus économique. L'option la moins coûteuse doit être utilisée pour fournir une couverture de test de circuit suffisante. La solution à ce problème n'est pas simple. Par exemple quand la complexité de la conception d'un système augmente, le nombre de nœuds dans un circuit augmente également. Cela résulte plus de difficulté pour les tests d'accéder aux nœuds du circuit qui ne peuvent pas recevoir de signaux directement appliqués à eux. Traditionnellement, les tests impliquent de confier une conception à l'ingénieur de test, qui trouve et met ensuite en œuvre une procédure de test (qui est exécutée comme un programme logiciel qui contrôle le matériel du testeur cible qui s'interface ensuite physiquement avec le circuit sous test (Circuit Under Test (CUT)) [24].

Les trois principales disciplines d'ingénierie nécessaires pour développer et produire un produit de circuit intégré (CI) sont :

- Conception
- Fabrication
- Test

En raison de la division conventionnelle du travail, un certain nombre de barrières entre les disciplines se sont développées, ce qui a pour conséquence d'imposer des restrictions sur les capacités des interactions qui restent à mener. La figure I.3 illustre ces relations fondamentales entre les disciplines.

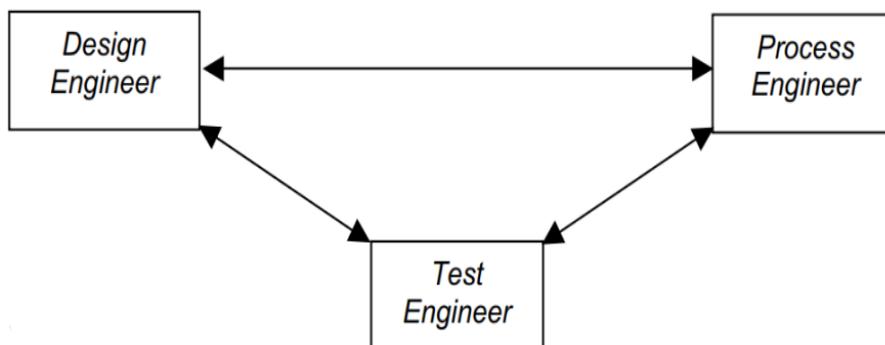


Figure I.3 : Interaction entre Les trois disciplines (Conception, test et fabrication) [24].

Comme pour tout appareil intégré, le problème des tests a toujours été une préoccupation pressante. Les méthodes de test numérique ne sont pas suffisantes pour les puces mixtes. Ces méthodes, largement étudiées depuis les années 1970, fournissent des méthodes de test bien structurées et une large gamme d'applications pour les circuits numériques. En conséquence, des experts en tests numériques ont publié les premiers travaux sur les tests de circuits mixtes [8]. Ces efforts initiaux visaient à développer des techniques conceptuelles pour le test DFT qui faciliteraient l'accès aux portes analogiques. Par la suite, les concepts numériques DFT ont été adaptés aux circuits analogiques, conduisant au développement d'approches BIST analogiques non concurrentes dans les années 1990 utilisant une technique de balayage analogique [9].

Après la fin des années 1980, les scientifiques ont commencé à se concentrer sur la recherche de méthodologies de test intégrées pour les circuits analogiques et mixtes. Cette recherche découle de plusieurs avancées technologiques dans l'industrie des semi-conducteurs.

L'objectif d'un test de circuit est d'identifier les problèmes liés au processus de fabrication ou de vieillissement, et non lors de la conception du circuit. Enfin, durant le processus de production, et comme c'est le cas de tous les tests ultérieurs, le circuit est supposé sans fautes de conception.

La possibilité de créer des circuits analogiques et numériques sur la même puce en utilisant la même technologie ; pour générer de nouvelles exigences de test. Simultanément, l'amélioration continue des capacités d'intégration de ces technologies a rendu ces avancées rentables. En conséquence, les dispositifs à signaux mixtes/analogiques sont apparus pour la première fois dans les laboratoires de microélectronique avant d'être introduits sur le marché sous le nom d'ASIC (circuits intégrés spécifiques à une application) à signaux mixtes.

Le circuit intégré est soumis sous un test en plusieurs étapes dont le but est de vérifier les différentes caractéristiques. Il semble donc logique que les tests soient impliqués dans le développement de tout système électronique. Cette réalisation se décompose en cinq phases:

- Cahier de charge:

Les caractéristiques et le fonctionnement du système sont définis dans le cahier de charge.

- Conception:

Consiste à définir la technologie et l'architecture d'environnements adaptés au contexte. Au cours de cette phase, le concepteur peut utiliser des outils logiciels pour simuler le système et assurer son bon fonctionnement.

- Fabrication:

La fabrication est le processus de passage de l'étude à la mise en œuvre physique du système.

- Test:

Une fois la fabrication d'un circuit est terminée, il doit être testé pour garantir son fonctionnement. Plusieurs étapes de tests sont réalisées pour valider le processus de fabrication.

- Maintenance:

Une fois la phase finale terminée et toutes les étapes précédentes ont été correctement réalisées, le Circuit Peut-être implémenté dans son environnement. Tout au long de la vie du produit, il doit être possible de contrôler son bon fonctionnement et si nécessaire de le réparer ; ces tâches sont collectivement appelées maintenance.

I.4 Couverture de fautes: [28]

La couverture de fautes (*Fault Coverage*), est utilisée pour évaluer la qualité des tests liés à un modèle de défauts particulier, La relation suivante décrit cette dernière :

$$FC = \frac{n}{N} \quad (I.1)$$

Où :n est le nombre de fautes trouvées dans l'ensemble des tests terminés ;

N est le nombre total de fautes définies par le modèle considéré.

Généralement la couverture de fautes est liée par le type du modèle de fautes utilisé. Afin d'obtenir l'ensemble initial des fautes qui ont été réduits ou non, le simulateur de défauts génère souvent la liste des défauts à simuler dans la direction de l'utilisateur tout au long de la phase de simulation.

La liste des défauts non détectés dans la simulation précédente est généralement utilisée dans les simulations ultérieures; cela réduit le temps requis pour la simulation en empêchant les défauts précédemment détectés d'être simulés à nouveau. La possibilité d'établir cette liste de défauts est également cruciale pour l'analyse statistique des simulations de défaillances et le remplissage des fautes de simulation, où nous avons généré un ensemble de fautes sélectionnées aléatoirement et extraites du layout physique (disposition physique). Chaque défaut dans la simulation doit être identifié, non identifié, ou peut-être détecté par l'ensemble de vecteurs de test. Successivement, la faute peut être indétectable du tout, auquel elle tomberait dans la catégorie des fautes non détectées. Pour réduire le temps nécessaire pour une simulation des défauts, nous devons supprimer tout défaut indétectable de la liste des défauts si nous pouvons démontrer qu'il ne peut pas être détecté sans qu'une action corrective soit nécessaire pour éliminer la cause du défaut.

Ainsi, l'équation (I.2) fournit un calcul simple de la couverture des fautes:

$$FC = \frac{(n + xP)}{(N - U)} \quad (I.2)$$

Où n signifie le nombre de défauts détectés, N est le nombre de défauts, U est le nombre de défauts jugés indétectables, x est la probabilité de trouver des défauts détectés et P est le nombre de défauts probablement détectés (y compris les défauts d'oscillation).

Où x peut être ajustée dans la plage $0 \leq x < 1$ en utilisant les données d'activité CUT et l'évaluation du

concepteur et/ou l'expérience de l'ingénieur comme guide. Le calcul de la couverture de fautes est préservateur pour $x = 0,5$. Bien que la probabilité la plus défavorable de détecter ces défauts est de 0.

I.5 Types de test des circuits analogiques:

La procédure qui détermine si un circuit est défectueux ou correct s'appelle un test. Le test consiste généralement à appliquer un ensemble de stimuli de test aux entrées du circuit testé (CUT) et à analyser les réponses de sortie, comme le montre la figure (I.4).

Les circuits qui réussissent le test sont celles qui produisent des réponses de sortie précises à tous les stimuli d'entrée et sont considérés comme exempts de défauts. Les circuits qui ne parviennent pas à produire une réponse précise à un moment quelconque de la séquence de test sont considérés comme défectueux [29].

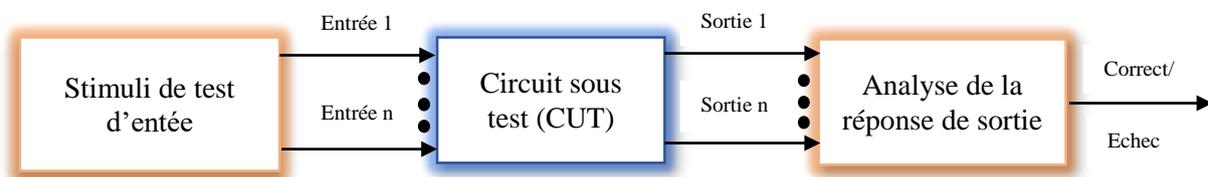


Figure I.4: Approche de base du test.

Un circuit peut être défectueux à cause des erreurs de conception, s'il ne répond pas aux spécifications du cahier des charges le test est fonctionnel. S'il ne correspond pas au circuit conçu, il peut y avoir eu une erreur de fabrication causée par un défaut physique, dans ce cas le test est appelé structurel. Le troisième cas de test est paramétrique aux variations dans les paramètres du processus de fabrication, qui n'entraînent généralement pas un comportement complètement différent du circuit mais produisent plutôt des écarts dans les sorties du circuit en dehors des intervalles de tolérance [30].

I.5.1 Test fonctionnel:

Le but d'un test fonctionnel est d'assurer le bon état d'un circuit avant de le mettre en production. De façon traditionnelle, ce type de test est obtenu pour voir si le circuit assure toutes les caractéristiques indiquées sur le cahier de charge [12].

Il constitue une approche fondamentale pour les petites puces à la fois analogiques et mixtes. En raison de la complexité croissante de la fonctionnalité des circuits numériques, il semble que la vérification de la fonctionnalité d'un appareil soit presque impossible, en particulier pour les composants numériques volumineux comme les microprocesseurs.

I.5.1 Test structurel:

Le développement de test structurel pour l'analogique 'est pas aussi simple à considérer et à automatiser que dans le cas numérique. Un certain nombre d'études ont été sur des entreprises pour enquêter sur les tests structurels en dehors du domaine purement numérique. Cependant, l'adoption de méthodes de test structurel est encore limitée.

Conclusion :

Ce chapitre a introduit des problèmes liés au test du système IC et le rôle de l'ingénieur de test dans un environnement de développement de systèmes électroniques /microélectroniques moderne et a examiné un certain nombre de problèmes liés au test des circuits intègres analogiques. Avec les exigences, toujours croissants sur les spécifications de conception de circuits analogiques, la nécessité de tester efficacement ces spécifications est de plus en plus difficile et prend beaucoup de temps et donc coûteuse. L'analyse des caractéristiques de signal résultant d'un dispositif testé (DUT) dans le domaine temporel et le domaine fréquentiel contiendra des informations pertinentes pour déterminer si un circuit analogique passe ou échoue à un test particulier. Dans notre cas d'études, le test développé est de nature dynamique basé sur des approches souvent utilisées en traitement de signal dans le domaine temporel et vise à l'élaboration de modèles à exploiter dans le diagnostic des circuits analogiques défailants. Ils constitueront effectivement des signatures des fautes affectant ces circuits qui sont de nature catastrophiques et paramétriques.

Chapitre II

II.1 Introduction:

Un ensemble électronique est constitué d'un assemblage de composants de différentes natures, associés pour remplir une certaine fonction définie dans un cahier de charge. Il s'agit en général d'un ensemble de cartes imprimées équipées de composants passifs ou actifs de différents types comme résistances, capacités, amplificateurs, transistor, diodes ... etc. Il ne sert à rien de construire des ensembles électroniques complexes utilisant les technologies les plus avancées à base des circuits analogiques ou numérique, si l'on ne dispose pas de moyens de contrôle de leur bon fonctionnement. Un de ces moyens s'effectue au niveau de processus de fabrication afin de confirmer la qualité de ces circuits ou dans le cas défavorable de détecter les défauts avant que le produit ne soit lancé au marché.

Les modèles de fautes sont des circuits qui représentent le comportement d'un défaut réel durant une simulation. Les modèles de fautes simples représentatifs des défauts réels sont fondamentaux pour développer une stratégie de test efficace. Effectivement, la mesure de l'efficacité d'un ensemble de tests est également liée à la pertinence du modèle d'erreurs utilisé. Plus ce modèle est représentatif de la majorité des défauts physiques, plus le nombre de défauts détectés sera important. Généralement, pour le cas des circuits numériques, les modèles de défauts analogiques considèrent que si un défaut existe, alors il est singulier (faute simple). Toutefois, certaines méthodes prennent en compte des défauts multiples, mais leur application aux circuits actuels est rare en raison de la complexité de ces derniers.

II.2 Les défauts:

Étant donné l'absence d'une terminologie standard pour les termes employés dans le domaine du test analogique, on présente une des définitions de la terminologie des fautes, notamment les types de fautes, et pour rendre la lecture de ce document plus facile, voici les définitions des termes importants employés. [27]:

- Fautes catastrophiques: modélisation d'un défaut majeur causé par un court-circuit ouvert.
- Fautes paramétriques: modélisation des changements de l'environnement de production qui entraînent des modifications sur les sorties du circuit.
- Diagnostic: identification de la cause du mal fonctionnement d'un circuit.
- Amélioration d'un ensemble de tests: Diminution du nombre de vecteurs test d'un ensemble, tout en détectant les mêmes fautes que l'ensemble de départ. Le but de l'optimisation des tests est de réduire le temps nécessaire à l'application de l'ensemble des tests sur des dispositifs de test extrêmement coûteux, et par conséquent diminuer le coût du test de production.
- Paramètres de processus: se sont les caractéristiques physiques d'un circuit (résistance,

capacité, dimensions d'un transistor... ,etc).

- Paramètre design: se sont les performances qui confirment si le circuit est fonctionnel ou non.
- Paramètres de test: se sont les critères de test qu'il est possible que ce soient des éléments des Paramètres du design ou d'autres paramètres qui aident à déterminer si le circuit fonctionne correctement ou non.

II.3 Mécanismes de panne:

Les mécanismes de panne majeurs contribuent à l'apparition de fautes sont :

II.3.1 Défauts de contamination:

Quelque soient les précautions prises dans la réalisation des tranches des contaminations apparaissent induisant des anomalies des composants situés dans la zone affectée.

II.3.2 Facteurs humains:

L'interaction de l'homme avec le processus de fabrication constitue depuis toujours une importante raison de fautes. Naturellement, la pollution de l'air causée par les opérateurs est le facteur le plus essentiel.

II.3.3 Défaillance d'équipement:

L'une des causes principales de fautes dans les unités de fabrication moderne. L'impact de ces pannes d'équipement peuvent être réduit grâce à l'application de maintenance préventive sur les dispositifs sujets à panne.

II.3.4 Effet de l'environnement:

Tout au long du processus de production, les tranches sont en contact avec l'air à l'intérieur de l'unité de fabrication. Toute contamination de cet air par des particules de dimensions supérieures aux dimensions minimum du mécanisme peut entraîner des complications si elle vient à se déposer sur la tranche.

II.3.5 Instabilité du mécanisme de production :

Ce genre d'instabilités est attribuable à des conditions de production extrêmement spécifiques et particulières. Par exemple, la température à l'intérieur d'un four d'oxydation ou encore les perturbations dans le flot des gaz employés pour la déposition dans les méthodes de CVD «Chemical Vapor De position».

II.4 Types de défauts:

Il est nécessaire de modéliser les défauts physiques potentiellement présents dans les circuits intégrés. Un modèle de fautes est utilisé pour illustrer les défauts physiques qui peuvent toucher les masques d'un circuit, afin de pouvoir simuler leurs conséquences sur le comportement du circuit. Un modèle de défauts efficace doit être facile à manipuler et doit illustrer avec précision les impacts des défauts physiques dans le circuit. La qualité d'un ensemble de tests est définie par la couverture de défautset le modèle de défauts appliqué. [31].

Le modèle de défauts le plus couramment utilisé pour les circuits numériques est celui basé sur les collages [32]. La facilité d'utilisation et la capacité de détection du modèle basé sur les collages renforce sa puissance. Effectivement, si de nombreux défauts ne peuvent être à la représenterpar le modèle basé sur les collages, ils peuvent néanmoins être identifiés grâce à ce dernier. On peut classer les défauts dans les circuits intégrés analogiques en deux types:

-Lesfautesparamétriques,

-Lesfautescatastrophiques.

II-4-1 Les défauts paramétriques :

Aussi comme pour les fautes catastrophiques, certains auteurs considèrent que les fautes paramétriques causées par des variations dans les paramètres du processus de fabrication, généralement n'entraîne pas un comportement différent du circuit mais elles entraînent cependant des déviationsdes sorties du circuit qui dépassent les limites de tolérance. Autres auteurs déterminent les fautes paramétriques commedes fautes qui entrainet desdéviations des sorties du circuit en hors des plages de tolérance. Comme deuxième définition, On pourrait dire que même si la faute est causée par un court-circuit dû à une particule de poussière, si le circuit se comporte différemment de son comportement initial tout en généralrestant identique, alors on considère que la faute est paramétrique. Pour des raisons similaires que précédemment, nous continuerons à utiliser la première définition tout au long du document.

Étant donné que les fautes paramétriques provoquent des déviations des paramètres de sortie du circuit, et que ces déviations peuvent varier en grande valeur selon le paramètre concerné, il devient

donc plus complexe de tester ces défauts. Effectivement, il ne suffit pas simplement d'identifier des vecteurs de test qui activent les fautes, il est également essentiel de déterminer les paramètres optimaux pour obtenir des déviations en sortie du circuit qui dépassent les marges de tolérance.

II-4-2 Les défauts catastrophiques:

Les fautes catastrophiques du point de vue de certains auteurs, sont des fautes qui correspondent à des défauts aléatoires localisés en un point [33]. Par exemple, Une particule de poussière sur un masque de photo lithographique peut provoquer des déformations locales susceptibles de causer des courts-circuits et des circuits ouverts. Par contre d'autres auteurs considèrent que les fautes catastrophiques comme des fautes qui entraînent un fonctionnement du circuit complètement différent de son fonctionnement normale, malgré que cette faute est causée par une petite variation d'un paramètre du circuit. De plus, dans le cas des circuits analogiques, il est difficile de déterminer la limite entre une légère déviation pour classer sans ambiguïté un défaut selon la seconde définition.

II.5 Diagnostic des fautes:

La simulation est très essentielle dans le diagnostic, c'est pourquoi qu'on trouve des logiciels disponibles sur le marché, comme SPICE et PSPICE, SABE....etc. Ces derniers sont des programmes qui contrôlent le fonctionnement correct du dispositif testé en lui attribuant tous les éléments qui le composent, pour déterminer si le problème est du ou non au concepteur lui-même. On mène après à la vérification et aux tests pratiques. Le tableau suivant présente d'une façon explicite l'importance du diagnostic utile pour les défauts dans les diverses étapes du développement de produits électroniques.

Tableau II.1: Types de fautes à détecter (moyen de détection et diagnostic).

Défaut	Conception	Prototype	Fabrication	Usage
Conception	+++	+	0	0
Fabrication	0	+++	+++	0
Vieillessement	0	0	+++	
Vérification par Simulation	+++	+	0	0
Détection par Test	0	++	+++	+++
Diagnostic utile	0	+++	++	+

Le but de l'analyse des défauts est de formuler une hypothèse permettant d'identifier le défaut et de prédire la localisation de la panne, par exemple au niveau de la puce de silicium, afin de pouvoir la détecter. Si le processus donne des résultats exacts, il sera possible d'identifier la cause de la panne,

ce qui permettra d'améliorer la conception du circuit et augmentera par conséquent la rentabilité de la fabrication. En fait, cette exactitude dépend de la précision du modèle de défaut.

Les approches de diagnostic pour les circuits analogiques peuvent être catégorisées en deux groupes dépendant d'une simulation effectuée avant ou après le test. D'après certaines études de recherche [16,34,35,36], la simulation avant le test est nommée SBT (*Simulation Before Test*) facilite l'identification des défauts structurelles et paramétriques locaux. La méthode de simulation après test nommée par l'abréviation SAT (*Simulation After Test*) concerne la détection des défauts paramétriques globaux.

La méthode SBT est élaborée autour de trois tâches fondamentales, données comme suit:

- 1- Le dictionnaire de fautes qui se base sur les résultats de la simulation des défauts. Les réponses du circuit dans les deux cas: sain et avec fautes, sont organisés sous forme d'un tableau ainsi que leurs vecteurs de test.
- 2- Un choix idéal de mesures, dont le nombre est destiné à diminuer sans affecter le diagnostic du circuit. Par ailleurs, il est nécessaire de réaliser une meilleure sélection de stimuli pour simuler le circuit et propager l'effet du défaut vers la sortie ou à un point à observer.

Il est à remarquer ici qu'un certains nombres de fautes sont susceptibles de se produire ensemble pour constituer ce qu'on appelle des groupes d'ambiguïté. Ce genre de groupe constitue une phase essentielle pour l'identification des défauts.

- 3- Le processus d'identification est compliqué et s'appuie sur la reconnaissance de modèle (*pattern recognition*). Les méthodes employées ici sont basées sur les techniques du machine Learning. Les inconvénients de l'approche SBT sont:
 - a) Le modèle de défaut utilisé.
 - b) L'ensemble total de défauts du dictionnaire à simuler nécessite un temps considérable.
 - c) La taille du dictionnaire qui peut entraîner un problème de stockage.

L'avantage de cette méthode est que tout le travail informatique se fait avant le test et en *offline*. Cette dernière est extrêmement recommandée pour le diagnostic des défauts catastrophiques.

La méthode SAT est basée sur l'évaluation de paramètres du circuit à partir d'un système d'équations, qui ne nécessite pas la connaissance de la topologie de ce circuit, et sur un ensemble de mesures. Sinon, l'identification sera limitée à un nombre trop réduit d'éléments défectueux. Ces éléments sont détectés en comparant les valeurs mesurées aux valeurs standards des divers paramètres. On peut également déterminer ces déviations par la résolution des équations, et si ces valeurs dépassent la plage de tolérance, les composants sont considérés comme défectueux.

Cette technique de diagnostic est appropriée pour les défauts paramétriques et il est possible de détecter

l'élément défectueux même si le circuit fonctionne correctement. L'inconvénient se trouve dans l'énorme charge informatique nécessaire pour un tel diagnostic, qui est moins efficace dans une application de test en fabrication.

II.6 Types de défauts physiques:

Il existe plusieurs types de défauts: [36]

- Défauts catastrophiques: (CC,CO).
- Défauts paramétriques: déviation d'un paramètre en dehors des spécifications.
- Défauts permanents: défauts toujours présents.
- Défauts temporaires: défauts présents sous certaines conditions.

L'étude détaillée des modes de défaillances a mis en évidence de nombreux mécanismes telsque:

- La corrosion;
- La migration;
- L'interdiffusion entre deux métaux;
- Un manque de planéité des surfaces qui favorise en terme le court-circuit à travers les isolants.

Ces types de défauts interviennent au niveau des circuits (métallisation, oxydation, etc.....); sur les liaisons des puces vers l'extérieur et entre les puces.

Ils se traduisent par une modification des interconnexions ou des caractéristiques des composants. La figure (II.1) illustre quelques exemples de défauts physiques.

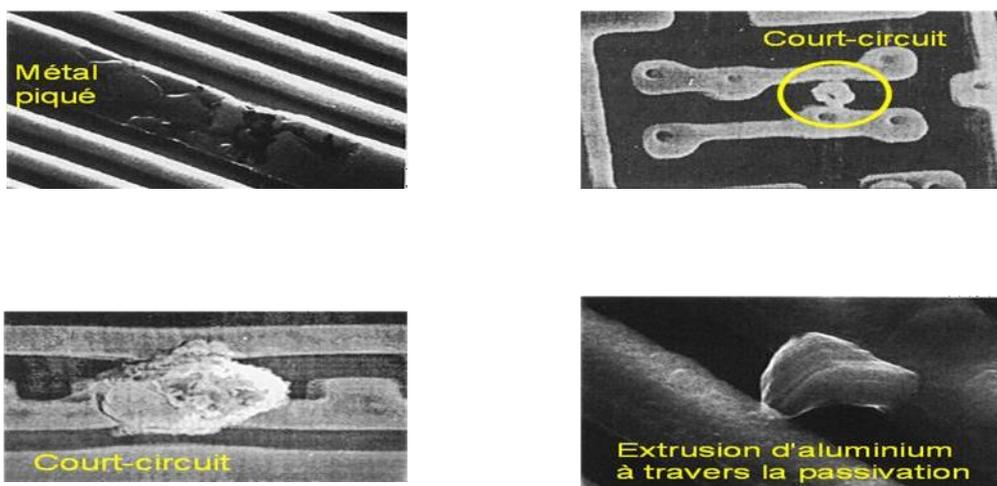


Figure II.1: Exemples des défauts Physiques.

II.7 Localisation des défauts:

Dans le cadre général de la thématique «test orienté défauts», un autre aspect des recherches menées au sein de ce projet a concerné le problème du diagnostic et de la localisation des défauts. Il s'agit-il à d'identifier la cause du mauvais fonctionnement d'un circuit lorsque celui-ci a été rejeté lors du test de production.

L'étape d'analyse de défaillances est en effet un maillon indispensable pour améliorer la conception du circuit ou la procédure de production en vue d'augmenter le rendement de la fabrication. Or compte tenue des évolutions technologiques et de l'augmentation de la complexité des circuits, une étape cruciale du processus d'analyse de défaillances est la localisation de fautes. En effet, il est impératif de localiser précisément les fautes avant toute analyse de structure du circuit [23].

II.8 Sources des défauts analogiques:

A part les fautes provoquées par le design et qui sont censées être corrigées après vérification des prototypes, le processus technologique est le responsable principal de la présence des fautes, que ce soit instantanément après la production ou bien après un délai d'attente potentiellement prolongé. La production de circuits intégrés mène à générer un nombre considérable de puces identiques. Les compositions et le layout de tout couple de circuits (considérés identiques) produits à partir d'une même chaîne de fabrication sont identiques., mais les performances de ces deux circuits peuvent être différentes en raison des variations du processus.

Les sources principales de ces variations sont [33]:

- 1- Les erreurs humaines et les pannes des équipements.
- 2- Instabilité dans les conditions du processus, concernant la variation des valeurs de toute variable physique considérée constante.
- 3- Instabilité du dispositif, qui concerne de légères modifications dans les compositions chimiques employées tout au long de la chaîne du processus. Par exemple, la pollution chimique provenant des résidus d'un autre procédé.
- 4- L'hétérogénéité du substrat, comportant les points défailants, La déformation des surfaces, notamment celles issues de l'implantation de traitements.
- 5- Les non-alignements des masques. Les erreurs dans les translations des alignements sont fréquemment prépondérantes car plusieurs masques doivent être idéalement alignés au cours de différentes phases du processus.

Les points lithographiques, provoqués par des particules de poussière dans les zones transparentes ou des rayures dans les zones opaques. Probablement, avec une exception, les impacts de toutes ces sources peuvent être modélisés comme des phénomènes aléatoires. La plupart de ces problèmes sont globaux, car ils touchent de la même façon tous les dispositifs sur une puce, Dans la plupart des cas, toutes les puces présentes sur une plaquette. Par ailleurs, les autres types de fautes sont localisés et affectent soit les composants individuellement, soit une très petite zone d'une puce. Ces fautes ou spots sont généralement causés par des particules dans l'environnement de production et affectent soit les couches individuelles, soit les interconnexions entre deux couches. Les sources des spots les plus courantes sont :

- Les vides dans le poly Silicon ou les lignes métalliques (souvent causés par les spots lithographiques).
- Trou d'oxyde.
- Contacts absents (généralement causés par une sous-gravure).
- Contamination ionique mobile, qui peut être concentrée dans une région particulière du Circuit quand il est biaisé.
- Pipes de conduction locales ont été créés par des déformations dans la structure du cristal. Les anomalies du processus locales et globales peuvent conduire à des défauts catastrophiques et paramétriques. Les anomalies globales peuvent entraîner une violation des spécifications. Ceci fait partie de leur importance aussi de la sensibilité du circuit pour un paramètre spécifique.

II.9 Classification des fautes analogiques:

La figure (II.2) présente une classification générale des défauts analogiques en s'appuyant sur les perturbations locales et globales du processus susceptibles d'entraîner des défauts structurels (catastrophiques et non-catastrophiques) ainsi que des fautes paramétriques. L'ensemble des défauts structurels inclut les circuits ouverts, les courts-circuits ainsi que d'autres modifications topologiques au sein d'un circuit. Les défauts structurels peuvent être classés selon leur effet sur les spécifications du circuit. On appelle fautes catastrophiques celles qui entraînent la violation de toutes les spécifications à la fois. En général, un test DC est suffisant pour détecter ce type de fautes. Les défauts qui entraînent exclusivement la violation de certaines spécifications sont nommés fautes non-catastrophiques. Les fautes paramétriques désignent les fautes qui n'affectent pas la topologie du circuit, mais influent uniquement sur les valeurs des paramètres (comme une variation de 50% par rapport à la valeur nominale d'une résistance ou d'une capacité). Ces fautes sont causées par des défauts locaux et globaux.

Les fautes paramétriques globales proviennent d'un contrôle défectueux du processus de production des

circuits intégrés et peuvent entraîner un non-respect des spécifications. Les fautes paramétriques locales, tout comme les fautes non-catastrophiques, entraînent une violation de certaines spécifications. Ce sont les conséquences d'un dysfonctionnement du mécanisme local, tel que l'élargissement d'un transistor par des particules. Il est essentiel de modéliser et tester toutes les modifications des paramètres pour améliorer la qualité du test. Ces paramètres sont fortement liés au genre du processus, et leur influence sur l'ensemble du comportement du circuit dépend des tolérances du design. Malheureusement, le nombre de combinaisons des déviations possibles est presque illimité. Toutefois, en ce qui concerne la simulation de fautes, certaines fautes ont une probabilité plus élevée que d'autres [26].

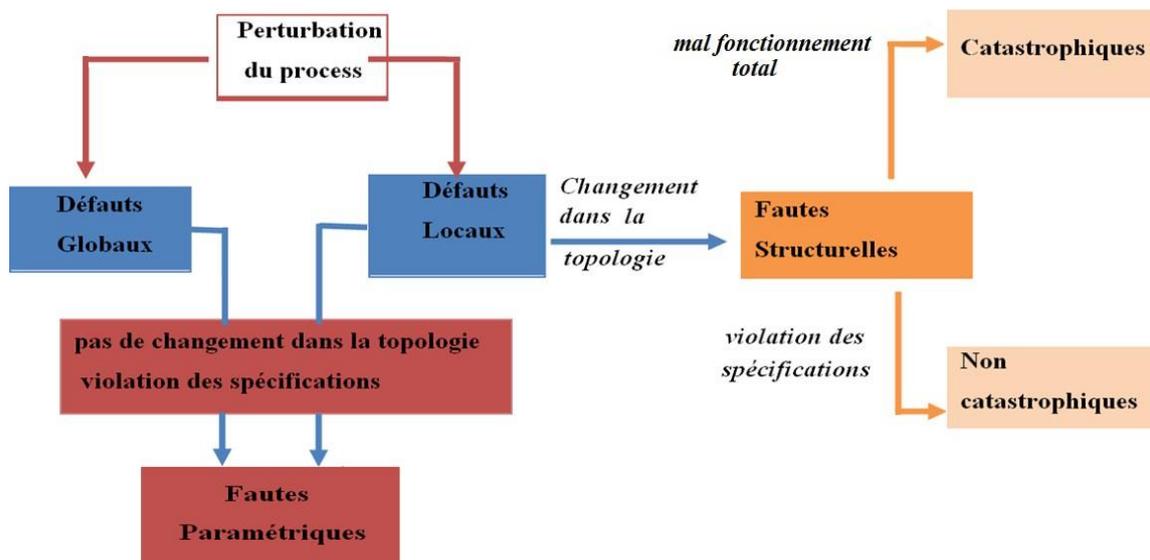


Figure II.2 : Classification des fautes analogiques.

II.9.1 Défauts globaux:

Une imperfection dans les paramètres de contrôle durant la fabrication des circuits intégrés, instabilités des conditions du processus, instabilités du matériau, inhomogénéité du substrat et mauvais alignements des masques. Des défauts pareils affectent toutes les puces sur la plaquette approximativement de la même manière.

Des exemples typiques de défauts globaux sont le désalignement de masques, le mauvais dimensionnement (largeur) des interconnexions ou encore des problèmes d'implantation affectant les paramètres des transistors (tension de seuil). Ces types de défauts sont en général détectés par monitoring de paramètres dans quelques emplacements de la tranche.

L'occurrence de défauts globaux dans une ligne de production peut s'avérer extrêmement coûteuse en particulier pour des lignes de fabrication à grand volume. Pour éviter ce genre de problèmes, la qualité

du processus de fabrication est surveillée « monitor » soit directement soit indirectement. La surveillance directe s'effectue par l'intermédiaire de modules de test spécialement conçus qui sont connus sous le terme PCM « Process Control Monitoring ». Ces PCM contiennent des structures de base telles que transistors, connexions de matériaux conducteurs ou encore chaîne de contacts. En général, chaque tranche produite contient aux alentours de cinq PCM répartis de manière à couvrir la surface de la meilleure façon.

II.9.2 Défauts locaux:

Tels que souillures, trous dans l'oxyde, absence de contacts etc..., proviennent habituellement des particules durant le processus de fabrication et modifient un système particulier ou bien une très petite partie d'une puce. Les défauts locaux n'affectent que de faibles zones des circuits. Un exemple typique est constitué par les particules de poussière. Ces défauts peuvent naturellement affectés plus d'un circuit sur la tranche. Chacun des circuits devra donc être testé pour s'assurer de son bon fonctionnement.

Conclusion :

Au cours de ce chapitre, nous avons eu l'occasion de découvrir des définitions de nombreux termes employés dans le domaine du diagnostic de circuits, des diverses catégories de défauts et des techniques de diagnostic utilisées pour évaluer les performances des circuits perturbés.

Chapitre III

III.1 Introduction :

La modélisation et la détection ne se limitent pas à l'utilisation de logiciels de traitement de données d'un signal provenant d'une activité observée automatiquement. Il est précieux d'exprimer le monde réel, bruité, non-linéaire et non-stationnaire à l'aide d'une équation mathématique forcément limitée. Il est donc essentiel de comprendre les limites de l'approche et la valeur relative de la modélisation. De plus, la facilité d'utilisation des outils de calcul modernes augmente le risque pour l'utilisateur inconscient en masquant la dimension algorithmique du problème. L'objectif de la modélisation est d'obtenir une détermination du comportement d'un système, ou de la relation entre ses entrées et sorties, et d'étudier différentes méthodes de construction de modèles. Où on trouve que la détermination des caractéristiques dynamiques de ce système est un autre aspect de l'identification, en d'autres termes, afin de modifier les paramètres non identifiés du modèle de façon à mieux décrire le fonctionnement du système [37]. A partir de ces modèles de système d'identification, on peut effectuer l'estimation spectrale à l'aide de différentes méthodes d'analyse spectrale. Parmi ces méthodes, les techniques paramétriques forment une catégorie très intéressante basée sur différents types de modèles tels que : **ARMA**, **ARX** et **OE**. Dans ce chapitre on doit basés sur ces trois modèles pour l'extraction des paramètres pour le diagnostic des circuits analogiques.

III.2 Modélisation d'un signal :

La modélisation a été toujours utilisée pour tenter et projeter une réalité physique mesurable d'un monde externe perceptible sur une détermination rationnelle, ou logicomathématique. Par conséquent, Le but de la modélisation est ancien et devrait être associé aux sciences expérimentales ; la modélisation récente apporte ainsi un appui particulier. On peut représenter un système dynamique en utilisant un modèle mathématique qui lie les variables d'entrée et de sortie. On a développé deux catégories de modèles dynamiques «Modèle non paramétrique (exemple : réponse fréquentielle, réponse indicielle)», «Modèle paramétrique (par exemple : fonction de transfert, équation différentielle et équation aux différences)». [38,39]. Pour représenter un signal $x(n)$ dans un système, il faut l'associer à un filtre linéaire qui soumit sous l'effet d'une excitation spécifique, auquel le reproduit avec la plus grande précision possible. Le principal but de la modélisation de signal est de permettre la description du spectre d'un signal à l'aide d'un très petit ensemble de paramètres [40].

III.3 Différents types de construction d'un modèle :

Il est possible d'utiliser au moins deux méthodes essentielles pour créer un modèle [41].

III.3 1 Modèle de connaissance :

Ces modèles (phénoménologiques) sont bien connus par qui ont suivi les cours de physique ou de chimie, ce qui signifie que les paramètres de ce modèle ont une indication physique (longueur, résistance électrique,...).

Cette approche vise à avoir une compréhension approfondie des phénomènes en prenant en compte précisément la complexité du problème physique, en se concentrant sur des objectifs ambitieux et en ne négligeant aucune connaissance qui peut être récupérée. On peut observer cela à travers des relations générales qui sont difficiles et coûteuses en termes de temps de calcul. En général, les modèles correspondants sont complexes à simuler, ils sont donc peu fréquents à utiliser directement pour effectuer une commande, mais ils conviennent parfaitement à une simulation détaillée afin de prédire le comportement à long terme.

III.3 2 Modèle de détermination :

La structure physique d'un produit n'est pas expliquée par les modèles de détermination, leur structure ne représente qu'une relation mathématique qui relie localement les mesures des diverses variables utilisées dans le processus. Ces modèles de détermination se présentent sous la forme de boîtes noires, ce qui signifie que les paramètres n'ont aucune signification physique, mais ils sont assez efficaces pour résoudre les problèmes liés au traitement du signal.

En général, ces derniers modèles sont relativement faciles à simuler et plus appropriés pour la détermination d'une commande, ce qui les rend très utilisés.

III.4 Principales phases de la modélisation :

La modélisation se caractérise en six phases essentielles, telles que [39]:

1- Système :

Pour nous, un processus (ou système) sera une composante du monde qui nous entoure, et que nous avons choisi, plus ou moins volontairement et le considérons comme un tout avec lequel nous interagissons. Certains paramètres du système sont observés et le résultat de ces observations est le vecteur des sorties y . D'autres paramètres du système construisent un vecteur qui peut contenir des valeurs qui ne peuvent pas être mesurées. Nous intervenons sur le système en utilisant des paramètres qui peuvent être connus et contrôlables, ou non et plus ou moins inconnus, telles que les déviations ou le bruit.

2- Modèle :

Le modèle est une règle qui permet de déterminer d'autres paramètres d'après les paramètres connus ou mesurés, dont nous espérons qu'elles seront similaires aux paramètres du système qui nous intéresse. Souvent, le modèle détermine une sortie \hat{y} à partir de l'entrée u du système, qui doit être aussi proche que possible de y . Étant donné que la source d'entrée est la même pour le modèle et le système à la fois, nous discuterons du modèle parallèle. Néanmoins, Quand le modèle calcule un vecteur \hat{u} à partir de la sortie y qui doit être aussi semblable que possible aux entrées u du système, ici on parle du modèle série ou inverse.

3- Critère :

Pour établir les concepts, nous supposons que le modèle est de type parallèle, c'est-à-dire qu'il est soumis aux mêmes entrées et conditions initiales que le système, on appelle alors l'erreur de sortie l'écart entre la sortie du système et celle du modèle. L'erreur de sortie peut être exprimée avec l'équation (III.1):

$$\mathcal{E}_r = y(t) - \hat{y}(t) \tag{III.1}$$

Fréquemment, l'objectif est de rendre l'erreur de sortie presque égale à zéro. L'échelle de valeurs appropriée à la comparaison sera une fonction scalaire $J(\theta)$ connue sous le nom « critère ». La sélection du critère doit rendre l'objectif de la modélisation, peu importe le critère sélectionné. Ensuite, il est nécessaire de l'optimiser.

4- Optimisation :

L'optimisation est appliquée par un algorithme qui capte toutes les données disponibles et les exploite pour réduire $J(\theta)$ afin de calculer $\hat{\theta}$.

5- Incertitude sur les paramètres :

La valeur de $\hat{\theta}$ obtenue par l'algorithme d'optimisation correspond au modèle le plus approprié sélectionné dans un ensemble de modèles acceptables, en fonction de l'expérience effectuée pour rassembler les données. Ainsi, il sera possible de planifier l'expérience afin de collecter les informations les plus pertinentes possibles selon le critère utilisé.

6- Analyse précise des résultats obtenus :

L'analyse des résultats obtenus est essentielle, il est donc nécessaire de ranger le modèle à un ensemble de test visant à l'invalidier, si l'on réussit à repérer des fautes de cette manière, cela signifie que le modèle est mal choisi.

III.5 Les méthodes d'identification des paramètres par un modèle :

L'identification consiste à identifier les caractéristiques dynamiques d'un procédé (système). L'objectif est de déterminer les échantillons des modèles dynamiques paramétriques les plus adaptés concernant la conception et l'ajustement des systèmes numériques [41,42].

III.5.1 L'identification non paramétrique :

L'identification non paramétrique est neutre par rapport aux données, refusant d'inclure trop d'hypothèses sur le signal réel. Leurs objectifs sont de définir ce qui aurait été accompli dans un cas idéal où un signal déterministe est parfaitement connu et de construire des estimateurs à chaque point de l'autocorrélation et du spectre.

III.5.2 L'identification paramétrique :

Le principe de l'identification paramétrique est d'adapter un modèle basé sur des données observées. Les paramètres des modèles, en petit nombre, détermineront la nature du signal; Il sera donc possible d'introduire des informations préliminaires sur le procédé physique qui a provoqué le signal. L'identification paramétrique est la procédure habituelle pour effectuer cet ajustement, dont elle est montrée dans la figure (III.1).

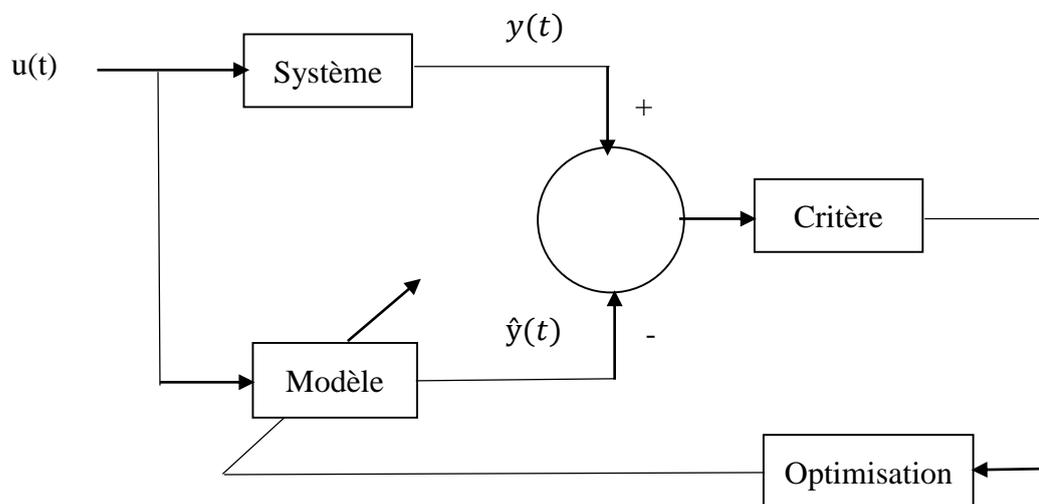


Figure III.1: Schéma d'identification paramétrique.

Il existe de nombreuses variantes dans cette procédure, qui dépendent du choix initial, du niveau de modèle, du critère de mesure d'erreur de l'entrée choisie et de l'algorithme d'optimisation. Cette méthode, commune à de nombreux domaines scientifiques, présente une caractéristique fondamentale évidente et

un large espace d'applications.

Les avantages pouvant être anticipés sont l'introduction naturelle de données préexistantes, la flexibilité de l'analyse, la mesure de la représentation, la sélection de différentes formes de détermination paramétriques, et d'autres possibilités telles que :

- 1- Modélisation des bruits.
- 2- Identification des modèles de perturbations.
- 3- La détection et la mesure des fréquences d'oscillations.
- 4- Analyse spectrale des signaux.

III.5.3 Étape d'identification:

En général, pour obtenir un modèle efficace, il faut respecter les quatre étapes suivantes [39] :

III.5.3.1 Obtention des entrées et sortie:

L'objectif principal est de sélectionner un signal d'excitation dont la densité spectrale est homogène et qui couvre toute la bande passante du processus à détecter. En pratique, nous utilisons deux genres de signaux de tests (entrées) :

- 1- Des signaux déterministes tels que l'échelon, la sinusoïde, etc., où sont caractérisés par une relation temporelle.
- 2- Les signaux aléatoires sont entièrement caractérisés par leurs caractéristiques statistiques, la séquence binaire pseudo aléatoire et l'un des signaux les plus couramment utilisés pour l'identification.

En pratique, l'entrée du système n'est intéressante que si elle est :

- 1- Centrée.
- 2- Riche en fréquence.
- 3- Déterministe si possible.

III.5.3.2 Sélection de la complexité du modèle:

En ce qui concerne le modèle paramétrique, le problème courant est de sélectionner les numérateurs et les dénominateurs (l'ordre des polynômes) de la fonction de transfert. Cette sélection de la complexité peut être effectuée en utilisant une méthode d'essai et d'erreur. Donc il est possible d'avoir des algorithmes qui estiment la complexité des modèles en se basant sur les données.

III.5.3.3 Estimation des paramètres du modèle :

Après avoir établi la complexité du modèle, il est possible d'estimer les paramètres du modèle de manière à réduire au minimum un critère de performance. La qualité de cette estimation sera dépendre du choix de la méthode et par les données d'entrée/sortie.

III.5.3.4 Validation du modèle :

La validation du modèle est sans doute la plus essentielle au cours de l'identification, elle implique d'accepter ou de rejeter le modèle obtenu. Toutes les phases de la méthode d'élaboration d'un modèle sont itératives et le rejet d'un modèle qui ne suit pas ses objectifs remet en question toutes les étapes mentionnées précédemment.

III.5.4 Algorithme d'identification récursif :

Dans le cas de ces algorithmes récursifs, on optimise progressivement Les paramètres sont évalués en se basant sur une seule paire de données entrée-sortie à chaque fois. Grâce aux algorithmes récursifs, il est possible d'identifier en temps réel, d'utiliser une mémoire limitée et de suivre l'amélioration des systèmes variant lentement dans le temps [39].

III.6 Modélisation par les modèles de système d'identification ARMA et ARX et OE:

La prédiction conventionnelle exige des informations antérieures concernant le comportement du système à prédire. Si le calcul du comportement futur est précis, cette approche de prédiction est totalement déterministe. Mais en vérité, divers éléments rendent impossible un calcul précis du comportement futur. Néanmoins, il est envisageable de créer un modèle qui pourra servir à estimer la probabilité de comportements futurs entre deux limites spécifiées. On appelle ce type de modèle un modèle ou processus stochastique. Une large catégorie de modèles stochastiques est utilisée pour décrire les séries temporelles stationnaires, nommée la classe des modèles stochastiques stationnaires. Ces modèles partent du principe que les caractéristiques de la série temporelle restent constantes par la translation temporelle [42].

Ces différents modèles d'analyse spectrale peuvent être utilisés pour effectuer l'estimation spectrale. Parmi ces techniques, les méthodes paramétriques représentent une catégorie très intéressante fondée sur divers types de modèles tels que : ARMA, ARX et OE. Le signal le mieux représenté par une densité spectrale avec pôles et zéros peut être décrit à l'aide de la théorie du modèle suivante [43,44]:

III.6.1 Modèle Autorégressive à Moyenne Ajustée (ARMA) :

Le modèle de modélisation basée sur l'ARMA est une méthode pour comprendre et prévoir les valeurs

des séries temporelles. Il se compose de deux éléments, à savoir l'élément autorégressif (AR) et l'élément de moyenne mobile (MA).

On désigne également le modèle ARMA sous le nom d'ARMA (p,q), où p et q correspondent respectivement aux ordres des éléments autorégressifs (AR) et de la moyenne mobile (MA).

Ces méthodes de modélisation sont exprimées en variable z, car les signaux d'entrée et de sortie sont échantillonnés dans le domaine temporel et traités par l'algorithme de transformation Z intégré au logiciel Matlab [43,44]. On peut considérer le modèle ARMA comme un filtre d'une fonction de transfert H(z), étant composé de pôles et de zéros, excité par une entrée U(z) et émettant à sa sortie un signal Y(z). Les polynômes A(z) et B(z) se distinguent par leur emplacement dans le plan complexe.

Les coefficients p et q sont les ordres de l'autorégressive (AR) et du moyenne ajustée (MA) respectivement. Le modèle de séries temporelles autorégressives est très répandu car il permet de modifier les caractéristiques fréquentielles du modèle en utilisant quelques paramètres linéaires comme le montre la figure (III.2). Dans de nombreuses applications techniques de la modélisation de séries temporelles, on s'intéresse aux résonances. Les oscillations légèrement atténuées à certaines fréquences peuvent être dissimulées sous un niveau de bruit élevé. Ensuite, un modèle AR de la série temporelle est un outil puissant pour l'analyse. On peut représenter une oscillation en utilisant une paire de pôles conjugués très légèrement éteints dans 1/D(q). Comparant ce modèle à d'autres outils d'analyse de fréquence tels que la transformation de Fourier, un modèle AR ne présente pas de phénomènes de fuite en raison d'une discrétisation du spectre de fréquence, Ce modèle est représenté par l'équation suivante:

$$y(k) = \frac{1}{D(q)} v(k) \quad (III. 2)$$

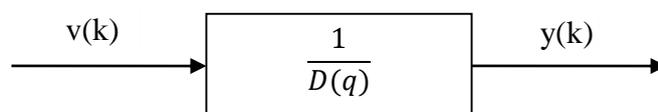


Figure III.2 : Le modèle AR [41].

Pour compléter, le modèle de série de temps à moyenne ajustée sera également mentionné ici (figure III.3). Ce modèle n'a pas une importance pratique dans les applications d'ingénierie car il ne permet pas de représenter des oscillations avec quelques paramètres, contrairement à un modèle autorégressif. De plus, contrairement au modèle déterministe d'entrée/sortie (le modèle FIR), le modèle MA présente des paramètres non linéaires si l'approche de l'erreur de prédiction est adoptée. Le modèle MA est présenté par l'équation suivante :

$$y(k) = \frac{1}{C(q)} v(k) \quad (\text{III. 3})$$

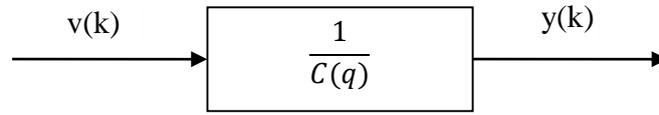


Figure III.3 : Le modèle MA [41].

Ce modèle autorégressif à moyenne ajusté d'ordre (p, q), noté ARMA (p, q) est définie par l'équation suivante [46,47] :

$$\sum_{i=0}^p a_i y(t-i) = \sum_{i=0}^q b_i u(t-i) \quad (\text{III. 4})$$

Avec a_i détermine les paramètres de la partie autorégressive AR. ($a_0 = 1$)

b_i détermine les paramètres de la partie moyenne ajustée MA,

p, q: l'ordre du modèle ARMA.

Ainsi, l'expression (III.4) se transforme en:

$$y(t) = \sum_{i=1}^p a_i y(t-i) + \sum_{i=0}^q b_i x(t-i) \quad (\text{III. 5})$$

Et si on prend la transformée en Z des deux membres de l'équation (III.4), nous obtenons la fonction de transfert du modèle ARMA :

$$H(z) = \frac{Y(z)}{U(z)} = \frac{\sum_{i=1}^q b_i z^{-i}}{\sum_{i=1}^p a_i z^{-i}} = \frac{B(z)}{A(z)} \quad (\text{III. 6})$$

Avec : $H(z)$: Fonction de transfert du modèle, $A(z)$: Transformée en Z de la partie AR et $B(z)$: Transformée en Z de la partie MA.

III.6.1.1 Modélé autorégressive (AR) :

Si les b_i sont nuls pour $1 \leq i \leq p$, le modèle dans l'équation (II.4) est réduit à :

$$y(t) = \sum_{i=1}^p a_i y(n-i) + b_0 u(t) \quad (\text{III. 7})$$

De cette manière, le polynôme $B(z)$ est réduit à une constante $B(z) = b_0$, alors la fonction de transfert $H(z)$ ne contient que des pôles. C'est pourquoi ce modèle est également connu sous le nom de modèle tout pôles. On peut écrire la fonction de transfert de la forme suivante :

$$H(z) = \frac{b_0}{1 + \sum_{i=1}^p a_i z^{-1}} \quad (\text{III. 8})$$

III.6.1.2 Modélé moyenne ajustée (MA) :

Lorsque les b_i sont nuls pour $1 \leq i \leq q$, le modèle dans l'équation (III.4) est réduit à :

$$y(t) = \sum_{i=1}^q b_i u(t-i) \quad (\text{III. 9})$$

Le modèle sera défini dans le domaine spectral par la position de ses zéros dans le plan complexe, ce qui lui donne le nom de tout zéros.

III.6.1.3 Densité spectrale du modèle ARMA [48,49] :

La densité spectrale du modèle ARMA est donnée par :

Soit X_t un modèle ARMA (p, q) est défini par: $\phi(B)X_t = \theta(B)Z_t$ où $Z_t \sim BB(0, \sigma^2)$ et où $\theta(z)$ et $\phi(z)$ sont les polynômes de degré q et p n'ayant pas de zéros communs. Ainsi, la densité spectrale de X_t est exprimée par l'expression suivante :

$$S_x(e^{jw}) = \frac{\sigma^2 |1 + \sum_{i=1}^q \theta_i e^{-j\lambda i}|^2}{2\pi |1 + \sum_{i=1}^p \phi_i e^{-j\lambda i}|^2} \quad (\text{III. 10})$$

III.6.1.4 Calcul des coefficients a_i et b_i :

1- L'estimateur AR [50]:

Cette procédure développe les expressions essentielles afin d'estimer les coefficients AR dans un modèle

ARMA en utilisant N observations données $y(1), y(2) \dots \dots y(p)$.

Ce développement basé sur les équations de Yule-Walker qui sont obtenues en multipliant les deux

membres de l'équation (III.5) par $y^*(n - m)$ et l'examen de l'espérance mathématique sur le résultat donné :

$$\sum_{i=1}^p a_i r_y(m - i) = -r_y(m) \quad m > q \tag{III. 11}$$

Les paramètres a_i sont estimés pour toutes les valeurs v supérieures à q . Alors on aboutit à une évaluation sur une rangée appropriée de v indices tronqués ($q + 1 \leq m \leq q + v$) où on résulte :

$$\begin{bmatrix} r_y(q + 1)r_y(q) & \dots & r_y(q + 1 - p) \\ r_y(q + 2)r_y(q + 1) & \dots & r_y(q + 2 - p) \\ \vdots & \vdots & \vdots \\ \vdots & \vdots & \vdots \\ r_y(q + v)r_y(q + v - 1) & \dots & r_y(q + v - p) \end{bmatrix} \begin{bmatrix} 1 \\ a_1 \\ \vdots \\ \vdots \\ a_p \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \\ \vdots \\ \vdots \\ 0 \end{bmatrix} \tag{III. 12}$$

L'équation peut être représentée de manière plus simplifiée comme suit :

$$R_a = \theta \tag{III. 13}$$

Où θ est le vecteur Zero [$v \times 1$], et \mathbf{a} le vecteur des paramètres autorégressifs $(p + 1) \times 1$:

$$\mathbf{a} = [1, a_1, a_2, \dots, a_p] \tag{III. 14}$$

R est la matrice d'autocorrélation $v \times (p + 1)$ dont l'élément général (i,j) est donné par :

$$\hat{R}(i, j) = \hat{r}(q + 1 + i - j) \quad 1 \leq i \leq v; \quad 1 \leq j \leq p + 1 \tag{III. 15}$$

On voit bien qu'il n'existe pas de vecteur de paramètres autorégressifs dont le premier élément est égal à 1 et qui satisfait le système d'équations défini par l'équation (III.12). En raison des erreurs du processus d'estimation de R, il est possible d'écrire :

$$\hat{R}_a = e \tag{III. 16}$$

Avec e le vecteur d'erreur, $(p + 1)$ éléments gaussiennement distribués.

La densité de puissance (joint density function) de ce vecteur est exprimée par une fonction sous la forme suivante [50]:

$$f(e) = \frac{|w|^{1/2}}{2\pi^{1/2}} e^{-0,5(e^* w e)} \quad (\text{III. 17})$$

Où $w^{-1} = E\{e \cdot e^*\}$ est la matrice covariance de l'erreur, aussi la valeur moyenne de e est nulle et l'opérateur $*$ indique le complexe conjugué et le (\cdot) est un produit vectoriel.

Pour estimer les paramètres AR, il est nécessaire de réduire au minimum le terme quadratique qui se trouve dans l'exposant de l'équation (III.17).

$$e^* w e = a^* \hat{R}^* w \hat{R} a \quad (\text{III. 18})$$

Ainsi, le système d'équations linéaires doit être satisfait par le vecteur optimal des paramètres autorégressifs :

$$\hat{R}^* w \hat{R} a = \alpha e_1 \quad (\text{III. 19})$$

Les valeurs de « a » sont ceux maximisant $f(e)$ ou minimisant le terme de l'exponentiel $e^* w e$.

Où e_1 est le vecteur $(p + 1) \times 1$ dont les composants sont tous nuls sauf le premier composant qui est égal à 1, α une constante normalisée indiquant que le premier composant de a doit être égal à 1.

W : peut être une matrice diagonale positivement définie.

L'équation (III.18) représente une méthode efficace pour choisir les paramètres autorégressifs[46]. Les composants de la matrice $\hat{R}^* w \hat{R}$ sont donnés par :

$$\hat{R}^* w \hat{R}(i, j) = \sum_{m=1}^p w(m) r^*(q + m + 1 - i) r(q + m + 1 - j) \quad 1 \leq i, j \leq p + 1 \quad (\text{III. 20})$$

Où $w(m)$ correspond aux éléments de la matrice w . Maintenant, il reste à déterminer les composants du vecteur d'autocorrélation du signal d'entrée. La détermination non biaisée de ces composants à partir de la série d'observations est exprimée par l'équation suivante :

$$\hat{r}_y(i) = \frac{1}{n-i} \sum_{m=1}^{n-i} y(i+m) y^*(m) \quad 0 \leq i \leq n-1 \quad (\text{III. 21})$$

En tenant compte de la condition de normalisation performante qui est donnée par : $W = I$.

Où I est la matrice d'identité.

Alors on peut écrire le système d'équation défini par l'équation (III.20) comme suit :

$$\hat{R}^* \hat{R}(i, j) = \sum_{i=1}^p r^*(q + m + 1 - i) r(q + m + 1 - j) \quad (\text{III.22})$$

Pour obtenir directement les composants du vecteur "a" à partir de (III.18), il est évident que les matrices $\hat{R}^* \hat{R}$ et $[\hat{R}^* \hat{R}]^{-1}$ doivent être calculées.

2- L'estimateur MA [50] :

Lorsque l'ordre p de la partie AR du modèle ARMA est choisi convenablement, et une fois que les paramètres AR ont été calculés, le filtrage de la série de données $\{y(i)\}$ permet de déterminer les paramètres de la fonction d'autocorrélation en utilisant un filtre de fonction de transfert qui correspond à la fonction de transfert inverse de la partie AR. Dans ce cas, la séquence résiduelle est donnée par : $e(m) = y(m) + \sum_{i=1}^p a_i y(m - i)$ avec $p < m < n$, cette séquence résiduelle est constituée uniquement des caractéristiques MA essentielles pour l'évaluation de la densité spectrale de puissance ARMA, utilisant l'équation (III.21) pour calculer $\hat{r}_y(i)$.

III.6.1.5 Le choix de l'ordre d'un modèle ARMA [51] :

Deux critères sont proposés par Akaike pour déterminer l'ordre de la partie AR dans le modèle ARMA. Le critère initial basé sur la réduction de l'erreur moyenne, également connue sous le nom de critère d'erreur de prédiction finale FPE. Ce critère pour la partie AR est donné par :

$$FPE = E_p \left(\frac{N + p + 1}{N - p - 1} \right) \quad (\text{III.23})$$

Où N est le nombre d'échantillons, p est sélectionné d'une manière à ce que le FPE soit minimal.

Le second critère basé sur la réduction d'une fonction d'information, appelée AIC (AKAIKE information criterion) :

$$AIC(p) = N \ln(E_p) + 2p \quad (\text{III.24})$$

AIC est le choix le plus approprié pour des enregistrements longs, par contre pour des enregistrements

courts l'AIC est la solution la plus appropriée, les critères sont identiques. Cette procédure est valable pour le modèle AR, MA et ARMA.

Parzen a également proposé un critère de choix de l'ordre qui est appelé CAF (criterion autoregressive function), il est exprimé par l'équation suivante :

$$CAF(p) = \frac{1}{N \sum_{j=1}^p \frac{1}{\hat{p}_j} - \frac{1}{\hat{p}_p}} \quad (III. 25)$$

III.6.2 Modèle (ARX) [45] :

Le modèle ARX est largement utilisé comme modèle de dynamique linéaire. Normalement, un modèle ARX est d'abord testé. Ce modèle est appliqué en premier comme méthode d'identification, et si seulement elle ne fonctionne pas de manière satisfaisante seules des modèles de structures plus complexes sont étudiées. La priorité des modèles ARX semble étrange à première vue car ils ne correspondent pas à la structure de la plupart des processus réels en raison d'hypothèses de bruit irréal. L'efficacité du modèle ARX consiste au calcul facile de ses paramètres. Les paramètres peuvent être estimés en utilisant une technique de moindres carrés linéaire car l'erreur de prédiction est linéaire.

Le modèle ARX est illustré dans la figure (III.4) et est exprimé par l'équation suivante :

$$A(q) y(k) = B(q) u(k) + v(k) \quad (III. 26)$$

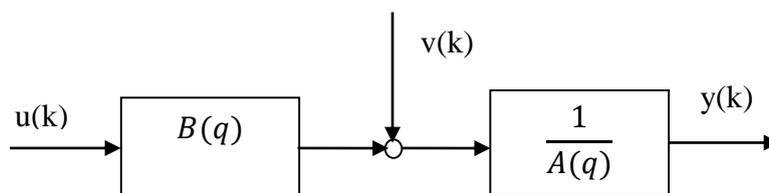


Figure III.4 : Le modèle ARX [41].

Le prédicteur ARX optimal est :

$$\hat{y}(k|k-1) = B(q)u(k) + (1 - A(q)) y(k) \quad (III. 27)$$

Qui peut être écrit comme suit :

$$\hat{y}(k|k-1) = b_1 u(k-1) + \dots + b_m u(k-m) - a_1 \hat{y}(k-1) - \dots - a_m y(k-m) \quad (III. 28)$$

Supposant que $\deg(A) = \deg(B) = m$. Notez que contrairement à la description du processus de temps continu, en temps discret, les polynômes du numérateur et du dénominateur ont généralement le même ordre. Le prédicteur ARX est stable (il n'a pas de retour) même si le polynôme $A(q)$ et le modèle ARX sont instables. Cela permet de modéliser le processus instable à l'aide d'un modèle ARX. Cependant, il est essentiel de stabiliser le système afin de collecter des données. Tout modèle d'erreur d'équation est caractérisé par le fait que les polynômes $A(q)$ ne s'expriment qu'au numérateur de leurs prédicteurs, ce qui signifie que les prédicteurs sont stables même si $A(q)$ est instable.

L'erreur de prédiction d'un modèle ARX est représenté selon l'équation suivante :

$$e(k) = A(q)y(k) - B(q)u(k) \quad (\text{III. 29})$$

L'expression $A(q)y(k)$ fonctionne comme un filtre blanc sur les perturbations corrélées. La sortie mesurée $y(k)$ peut être divisé en deux parties: Le résultat du processus sans perturbation $yu(k)$ et la perturbation $n(k)$, où $y(k) = yu(k) + n(k)$. Étant donné que $n(k) = 1/A(q)v(k)$ et que $v(k)$ est une le bruit blanc, $A(q)y(k) = A(q)yu(k) + v(k)$. Ainsi, le filtre $A(q)$ provoque les perturbations et par conséquent $e(k)$ est blanc.

Comme le montre la figure 4, Une caractéristique du modèle ARX est la perturbation, nommée le bruit blanc $v(k)$, Il est supposé d'introduire le processus avant la dynamique du dénominateur $A(q)$. On peut exprimer cette étude de manière différente en disant que le modèle ARX possède un modèle de bruit de $1/A(q)$. Donc, le bruit supposé a des dynamiques de dénominateur identiques à celles du processus. Cette hypothèse peut être justifier si la perturbation entre dans le processus à l'avance. Dans ce cas, aussi la perturbation passe par une partie du numérateur dynamique $B(q)$.

III.6.2.1 Les différents types de configuration du modèle ARX :

IL existe trois types de configuration du modèle ARX. Notez que toutes les trois configurations représentent le même modèle ARX, Cependant, elles proposent une interprétation différente. Les vrais polynômes du processus sont nommés par $B(q)$ et $A(q)$, tandis que les polynômes du modèle sont représentés par $\hat{B}(q)$ et $\hat{A}(q)$.

1- Configuration erreur d'équation :

La figure (III.5) représente la configuration la plus courante. L'erreur de prédiction $e(k)$ pour un modèle ARX est appelée erreur d'équation car elle correspond à la différence dans l'équation

$e(k) = \hat{A}(q)y(k) - \hat{B}(q)u(k)$. Le mot "erreur d'équation" met en évidence le fait qu'il ne s'agit pas de la différence entre la sortie du processus $y(k)$ et $\hat{B}(q)/\hat{A}(q)u(k)$, qui est appelé l'erreur de sortie.

Il est évident que si le modèle est le même que le processus réel $\hat{B}(q) = B(q)$ and $\hat{A}(q) = A(q)$, l'erreur d'équation $e(k) = \hat{A}(q)n(k) = A(q)n(k)$. Donc, si l'hypothèse établie par le modèle ARX, à savoir que la perturbation est un bruit blanc filtré par $1/A(q)$, est réel, alors l'erreur d'équation $e(k)$ est un bruit blanc car $n(k) = 1/A(q)v(k)$. Pour chaque structure de modèle, les erreurs de prédiction doivent être blancs si toutes les hypothèses sont valides, ainsi toute l'information est exploitée par le modèle.

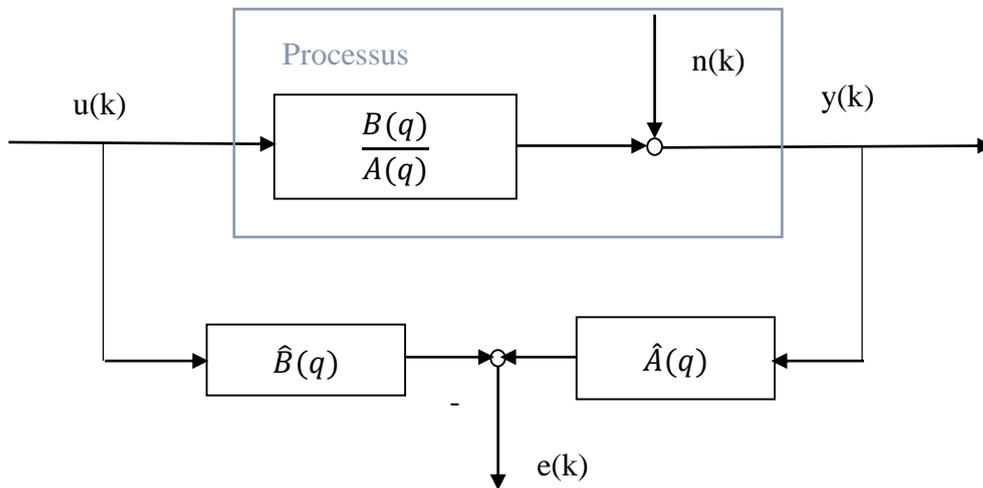


Figure III.5 : Configuration erreur d'équation.

2- Configuration du prédicteur :

Une deuxième configuration du modèle ARX basée sur l'équation prédictive. Avec le prédicteur ARX, l'erreur d'équation est le même comme les résultats de la figure (III.6). Dans la figure III.6 on peut représenter schématiquement n'importe quel modèle linéaire en utilisant le prédicteur optimal correspondant.

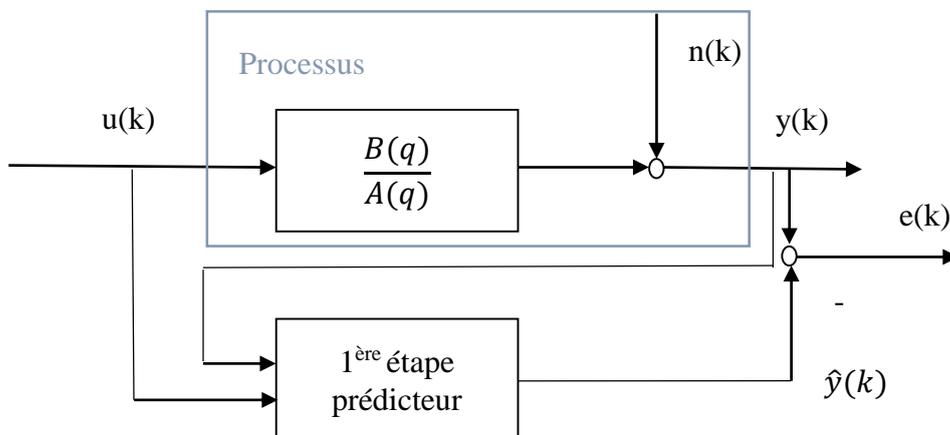


Figure III.6 : Configuration du prédicteur.

3- Configuration pseudo-parallèle avec filtrage du signal d'erreur:

La figure (III.7) représente un lien entre le modèle ARX et le modèle OE; Cette représentation met en évidence que l'erreur d'équation $e(k)$ est une version filtrée de l'erreur d'output $e_{OE}(k)$. Notez que les valeurs $e_{OE}(k)$ et $\hat{y}_{OE}(k)$ représentent respectivement l'erreur de sortie et la sortie du modèle OE; Ils diffèrent donc de l'erreur de prédiction $e(k)$ et de la sortie prédite $\hat{y}(k)$ d'un modèle ARX.

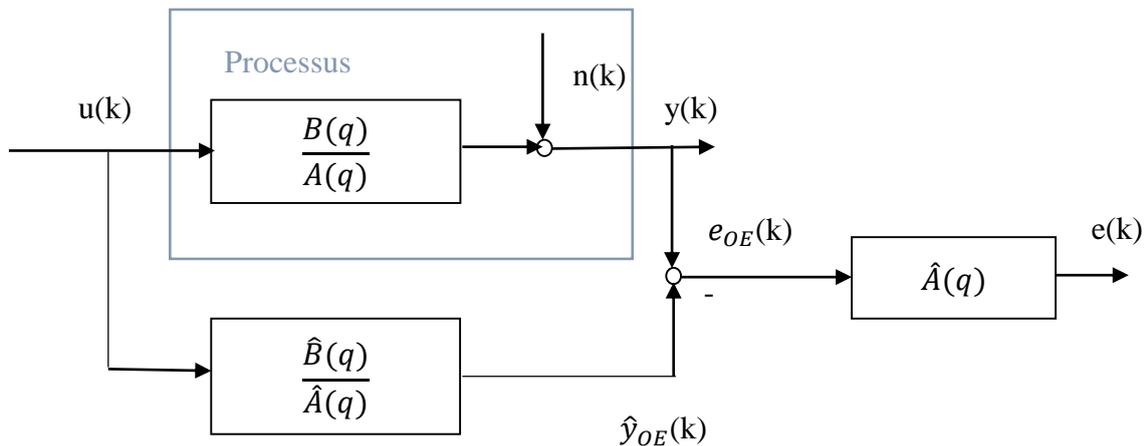


Figure III.7 : Configuration pseudo-parallèle avec filtrage du signal d'erreur.

III.6.2.2 Détermination des coefficients du modèle ARX :

ARX est décrit par AR, il est un modèle d'autorégressif qui illustre le bruit associé à un signal X, qui est une entrée exogène, il est également connu sous le nom de modèle d'autorégressif contrôlée [6,26]. La relation entre l'entrée et la sortie du circuit qui caractérise le modèle ARX est donnée par une équation de variation linéaire comme suit :

$$y(t) + a_1y(t-1) + a_2y(t-2) + \dots + a_p y(t-p) = b_1u(t) + b_2u(t-1) + \dots + b_q u(t-q+1) + e(t) \quad (\text{III. 30})$$

La sortie de structure de ce modèle est donnée par :

$$y(t) = u(t) \left[\frac{B(z^{-1})}{A(z^{-1})} \right] + e(t) \left[\frac{1}{A(z^{-1})} \right] \quad (\text{III. 31})$$

Où le bruit dynamique du modèle est de $1/A$ et que $[B(q-1)/A(q-1)]$ sont l'entrée et la sortie du modèle, ainsi que $u(t)$ et $e(t)$ sont respectivement les signaux d'entrée et de sortie du modèle.

III.6.3 Modèle Erreur de sortie (Output Error) (OE) [45] :

Simultanément avec les modèles ARX et ARMA, la structure OE est la plus couramment utilisée. C'est la plus simple représentation du modèle d'erreur de sortie. Supposant que le bruit perturbe le

processus d'une manière additive à la sortie, et non pas à l'intérieur du processus comme on le fait dans les modèles d'erreur d'équation. Les modèles d'erreur de sortie sont souvent les plus réalistes que les modèles de réalité, Ainsi, ils sont souvent plus efficaces que les modèles d'erreur d'équation. Cependant, puisque les modèles de bruit ne comprennent pas la dynamique du processus de dénominateur $1/A(q)$, tous les modèles d'erreur de sortie sont non-linéaires dans leurs paramètres, ce qui rend leur estimation plus difficile. Le modèle OE est illustré dans la figure (III.8).

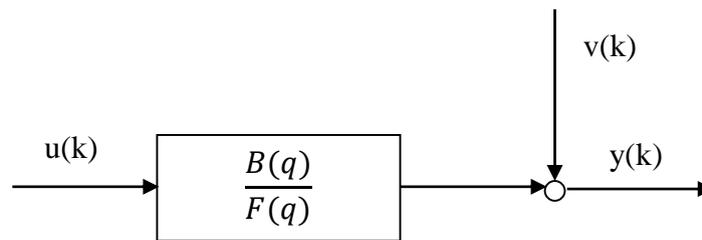


Figure III.8 : Modèle Erreur de Sortie (Output Error -OE-)

Ce modèle est exprimé par l'équation suivante :

$$y(k) = \frac{B(q)}{F(q)}u(k) + v(k) \quad (\text{III. 32})$$

Généralement dans la littérature de systèmes d'identification linéaires de représenter le dénominateur des modèles de processus appartenant à la classe d'erreur d'émission comme $F(q)$, alors que les dénominateurs des modèles d'erreur d'équation tels que: ARMA et ARX sont représentés par $A(q)$. Bien sûr ne sont que des conventions notationnelles pour mettre en évidence les différentes hypothèses de bruit. On peut considérer qu'un modèle appelé $B(q)/A(q)$ est exactement identique à un modèle appelé $B(q)/F(q)$.

Le prédicteur optimal OE est en réalité un simulateur car il n'utilise aucune sortie d'un processus mesurable $y(k)$:

$$\hat{y}(k|k-1) = \hat{y}(k) = \frac{B(q)}{F(q)}u(k) \quad (\text{III. 33})$$

Notez que « $|k-1$ » peut être supprimée pour le modèle OE car la prédiction optimale ne base pas sur les sorties précédentes du processus. De plus, on remarque que le prédicteur OE est instable lorsque le polynomial $F(q)$ est instable.

Donc, le modèle OE ne peut pas être utilisé pour représenter des processus instables. C'est le cas pour tous les autres modèles appartenant à la classe des modèles d'erreur de sortie. Avec l'équation (III.33), l'erreur

de prédiction d'un modèle OE est exprimé comme suit :

$$e(k) = y(k) - \frac{B(q)}{F(q)}u(k) \quad (III.34)$$

La figure (III.9) illustre le modèle OE en parallèle avec le processus. L'erreur de prédiction du modèle OE est la différence entre le résultat du processus et la sortie du modèle simulé. La perturbation $n(k)$ est supposée de type blanc.

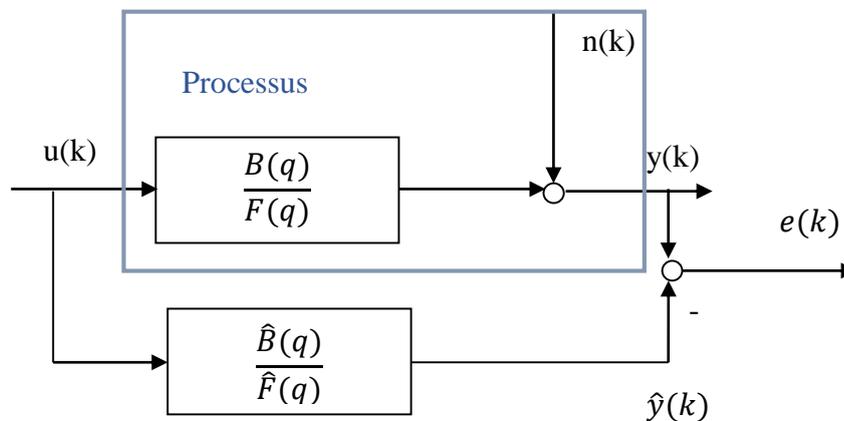


Figure III.9 : Le modèle OE en parallèle avec le processus.

La figure (III.6) établit un lien entre les restes d'un modèle OE et ceux d'un modèle ARX. Etant donné que la configuration de l'erreur d'équation du modèle ARX (figure III.7), On peut considérer les restes du modèle ARX comme des restes du modèle OE filtré :

$$e_{ARX}(k) = F(q)e_{OE}(k) \quad (III.35)$$

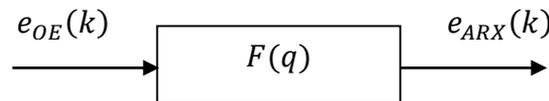


Figure III.10 : La relation entre les restes du modèle ARX et ceux du modèle OE.

Les restes du modèle ARX peuvent être obtenus en filtrant les restes du modèle OE par $F(q)$.

Supposons que $\hat{F}(q) = F(q)$ et $\hat{B}(q) = B(q)$. Si le bruit de processus est blanc ($n(k) = v(k)$), Donc $e_{OE}(k) = v(k)$ est également blanc, tandis que $e_{ARX}(k) = F(q)v(k)$ est corrélé. Cependant, si le

bruit de processus est corrélé de tel sorte que $n(k) = 1/F(q)v(k)$,

Alors $e_{OE}(k) = 1/F(q)v(k)$ est corrélé, tandis que $e_{ARX}(k) = v(k)$ est blanc. Cette relation permet une estimation du paramètre d'erreur de sortie basée sur des moindres carrés linéaires répétés et le filtrage.

bien que les paramètres soient non linéaires. Dans la discussion précédente, $F(q)$ et $\hat{F}(q)$ peuvent être remplacés par $A(q)$ et $\hat{A}(q)$ si l'argumentation commence du point de vue du modèle ARX.

Il est intéressant d'expliquer la non linéarité de la sortie prédite d'un modèle OE dans ses paramètres (équation III.33) :

$$\begin{aligned} \hat{y}(k) = & b_1 u(k-1) + \dots + b_m u(k-m) \\ & - f_1 \hat{y}(k-1) - \dots - f_m \hat{y}(k-m) \end{aligned} \quad \text{(III. 36)}$$

III.6.3.1 Optimisation non linéaire des paramètres du modèle OE :

- L'estimation du modèle ARX ($F(q)y(k) = B(q)u(k) + v(k)$) à partir des données $\{\underline{u}(k), \underline{y}(k)\}$

avec :

$$\underline{\hat{\theta}}_{ARX} = (\underline{X}^T \underline{X})^{-1} \underline{X}^T \underline{y} \quad \text{(III. 37)}$$

Où les paramètres dans $\hat{\theta}$ sont désignés comme f_i et b_i au lieu de a_i et b_i .

- Optimisez les paramètres du modèle ARMA en utilisant une technique d'optimisation non linéaire.

Les paramètres du modèle ARX obtenus à l'étape 1 qui peuvent être utilisés comme des valeurs initiales pour les paramètres f_i et b_i . On peut calculer les gradients de la prédiction du modèle (équation III.33) comme suit, Tout d'abord, l'équation (III.33) est écrite dans la forme suivante :

$$F(q) \hat{y}(k) = B(q) u(k) \quad \text{(III. 38)}$$

Différenciation de l'équation (III.38) par rapport à b_i donne :

$$F(q) \frac{\partial \hat{y}(k)}{\partial b_i} = u(k-i) \quad \text{(III. 39)}$$

Qui conduit à :

$$\frac{\partial \hat{y}(k)}{\partial b_i} = \frac{1}{F(q)} u(k-i) \quad \text{(III. 40)}$$

Différenciation de l'équation (III.38) par rapport à f_i donne :

$$\hat{y}(k - i) + F(q) \frac{\partial \hat{y}(k)}{\partial f_i} = 0 \quad (\text{III. 41})$$

Qui conduit à :

$$\frac{\partial \hat{y}(k)}{\partial f_i} = - \frac{1}{F(q)} \hat{y}(k - i) \quad (\text{III.42})$$

III.6.3.2 Moindres carrés répétés et filtrage pour estimation du modèle OE :

- L'estimation du modèle ARX ($F(q)y(k) = B(q)u(k) + v(k)$) à partir des données $\{u(k), y(k)\}$ avec :

$$\hat{\underline{\theta}}_{ARX} = (\underline{X}^T \underline{X})^{-1} \underline{X}^T \underline{y} \quad (\text{III. 43})$$

Où les paramètres dans $\hat{\theta}$ sont désignés comme f_i et b_i au lieu de a_i et b_i .

- Filtre l'entrée $u(k)$ et la sortie du processus $y(k)$ à l'aide d'un filtre estimé $\hat{F}(q)$:

$$u^F(k) = \frac{1}{\hat{F}(q)} u(k) \text{ et } y^F(k) = \frac{1}{\hat{F}(q)} y(k) \quad (\text{III. 44})$$

- Estimation des paramètres f_i et b_i du modèle OE à l'aide d'une estimation ARX avec l'entrée filtrée $u^F(k)$ et l'émission filtrée $y^F(k)$; voir figure (III.5).

III.6.3.3 Détermination des coefficients du modèle OE :

Le modèle OE se mène à la réduction d'une fonction objective afin de faciliter le contrôle des échantillons d'un système industriel. Ce modèle est basé sur le modèle OE du système d'identification temps discret. La structure du modèle d'erreur de sortie (OE) est définie par l'équation (III.45) [52].

$$y(t) = u(t) \left[\frac{A(z^{-1})}{B(z^{-1})} \right] + e(t) \quad (\text{III. 45})$$

Où $u(t)$ et $y(t)$ sont les séquences de signal d'entrée et de sortie, et $e(t)$ est le bruit blanc moyen nul. Les polynômes $A(z^{-1})$ et $B(z^{-1})$ sont les polynômes de l'opérateur de rotation inverse d'unité z^{-1} .

Dont le polynôme du dénominateur est défini par l'ordre q et les coefficients b_1, b_2, \dots, b_q , tandis que le polynôme de numérateur est défini par l'ordre p et les coefficients a_1, a_2, \dots, a_p , voir les équations (III.9) et (III.10).

$$A(z^{-1}) = a_1 z^{-1} + a_2 z^{-2} + \dots + a_p z^{-p} \quad (\text{III.46})$$

$$B(z^{-1}) = 1 + b_1 z^{-1} + b_2 z^{-2} + \dots + b_p z^{-p} \quad (\text{III.47})$$

Conclusion:

Nous avons exposé deux concepts cruciaux, à savoir la modélisation et l'identification. Un modèle de procédé est une combinaison de relations mathématiques qui permet de prédire plusieurs éléments de son fonctionnement. L'efficacité des modèles est basée sur une comparaison entre le comportement des corps physiques et celui des êtres mathématiques. La modélisation est une méthode qui permet de présenter de manière synthétique et cohérente un ensemble de connaissances. Nous nous concentrons sur les modèles qui expliquent comment les systèmes ont évolué au cours du temps. L'identification implique de modifier les paramètres inconnus du modèle afin de mieux décrire le fonctionnement du système. Dans ce chapitre on a présenté des méthodes de système d'identification pour valider une estimation de trois modèles tels qu' ARMA, ARX et OE dans le domaine temporel. Ces techniques sont résumées en approximation d'une série d'équations étendues, puis en résolution d'un système linéaire d'équations afin d'estimer les paramètres de ces modèles.

Ces techniques ont des performances de modélisation excellentes par rapport aux d'autres méthodes alternatives comme: la méthode de Burg, Box Jenkins ..ect, elles confirment d'être un moyen puissant de modélisation.

Chapitre IV

IV.1 Introduction :

La détection des dysfonctionnements des circuits intégrés est employée afin de préserver ces derniers de tout risque. En outre, la classification des pannes est employée afin d'identifier le genre de défauts, puis aider l'équipe de maintenance dans la prise de décision rapide et éclairée. Ici l'objectif est de baser la classification sur les données collectées à partir d'un système sous test (DUT). En général, on utilise les algorithmes d'intelligence artificielle afin d'obtenir une classification automatique des défauts. Dans ce chapitre on a utilisé le classifieur SVM avec ses fonctions Kernel de base polynomiale de différents degrés en combinaison avec l'approche Algorithmes génétiques (AG) afin d'optimiser les caractéristiques pour une classification des fautes plus précise.

IV.2 Méthode de classification SVM (Support vector machine) :

L'année 1975 marque le commencement d'une nouvelle ère dans le domaine de l'IA. Deux pionniers, Vapnik et Chervonenkis, sont à l'origine d'une technologie nouvelle: les machines à vecteurs de support. Ils introduisent le concept de « risque structurel » et la dimension VC, deux outils indispensables pour évaluer les performances d'un modèle d'apprentissage. Même si cette avancée cruciale est accomplie, il faudra attendre quelques années avant que les SVM ne prennent véritablement pied. Le concept du risque structurel est l'objet d'une première proposition concrète de Vapnik en 1982. Ce modèle, bien qu'il soit linéaire, permet d'avancer plus loin dans le temps. Cette année 1992 marque un tournant grâce aux travaux de Boser et al.

L'introduction de noyaux non linéaires offre aux SVM la possibilité de faire face à des problèmes plus complexes et de s'ajuster aux données non linéaires.

En 1995, Cortes et ses collègues présentent une nouvelle avancée en suggérant une version modifiée du SVM. Grâce à cette innovation, le modèle peut faire face à certaines erreurs d'apprentissage tout en les compensant, ce qui renforce sa solidité et sa précision [53].

IV.2.1 Le principe de l'apprentissage :

L'apprentissage statistique s'apparente à une exploration fascinante des propriétés mathématiques qui gouvernent les machines intelligentes. Cette discipline s'intéresse aux propriétés intrinsèques de ces machines, intimement liées aux modèles et fonctions qu'elles exploitent pour apprendre. Le principe fondamental repose sur l'exploitation d'un ensemble d'exemples, tel un puzzle dont les pièces, accompagnées de leurs solutions, permettent de reconstituer la logique sous-jacente d'un système. L'objectif est d'extraire une fonction capable de capturer la relation entre les entrées et les sorties du système.

Ces exemples, précieux fragments de connaissance, sont supposés provenir d'une distribution probabiliste inconnue. Ils constituent la matière première pour affiner la fonction et minimiser les erreurs de classification au sein de l'ensemble d'apprentissage.

Chaque exemple se présente comme une entité multidimensionnelle (m dimensions) et porte une étiquette, le distinguant comme élément à classer ou à prédire (respectivement classification et régression). Dans le cas d'une classification binaire, l'étiquette se résume à une valeur binaire (+1 ou -1).

Soit $D = \{(x_1, y_1) \dots, (x_n, y_n)\}$, l'ensemble regroupant l'ensemble des exemples d'apprentissage, avec $x_i \in \mathcal{R}^m$ représentant chaque exemple et $y_i = \pm 1$. La fonction apprise par la machine est désignée par $f(x)$. Le risque empirique, noté $\mathcal{R}_{\text{emp}} [f]$, correspond au taux d'erreurs commises par la fonction f sur l'ensemble D .

En résumé, l'apprentissage statistique s'articule autour de l'exploitation d'exemples pour décrypter la logique d'un système, en s'appuyant sur des outils mathématiques sophistiqués et en minimisant les erreurs de classification ou de prédiction.

$$\mathcal{R}_{\text{emp}} = \frac{1}{n} \sum_{i=1}^n L(y_i, f(x_i)) \quad (\text{IV. 1})$$

Avec :

$$L = \begin{cases} 1 & y_i = f(x_i) \\ 0 & \text{sion} \end{cases}$$

Lorsque nous utilisons un ensemble d'exemples pour entraîner une machine d'apprentissage, il est possible qu'elle apprenne à "cœur" les exemples d'entraînement, mais ne se comporte pas bien avec de nouveaux exemples. C'est ce qu'on appelle le sur-apprentissage. Pour éviter cela, nous devons tester la capacité de généralisation de la machine en utilisant un ensemble de test distinct. L'objectif est de trouver une fonction qui minimise les erreurs de classification à la fois sur l'ensemble d'entraînement et sur l'ensemble de test. Les machines à vecteurs de support (SVM) sont des systèmes d'apprentissage qui recherchent une fonction linéaire dans un espace de caractéristiques à haute dimension. C'est une méthode puissante qui a réussi à surpasser de nombreux autres systèmes d'apprentissage [54].

IV.2.2 SVM binaire :

La classification binaire permet de classer les données en deux catégories distinctes (+1 ou -1) et en trouvant l'hyperplan qui maximise la marge entre les deux classes et cela permet de prédire à quelle classe appartient une nouvelle donnée figure (IV.1).

La marge est une distance qui sépare deux catégories (classes) distinctes autrement. Hyperplan est une droite ou plan séparant les deux classes c'est-à-dire $\omega x + b = 0$

Si une machine à vecteur support à marge dure est présente, ce qui implique que les données sont séparées de manière linéaire, on parle d'une machine à vecteur discriminant [54].

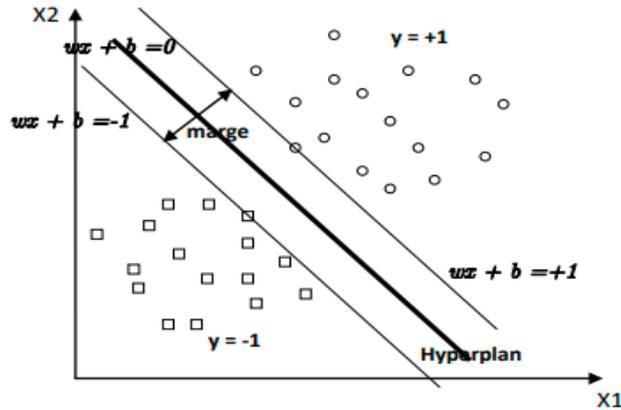


Figure IV.1 : SVM binaire.

IV.2.2.1 SVM à marge dur:

Soient n exemples d'apprentissage sous formes de paires $\{x_i, y_i\}$ pour $i=1 \dots n$ avec $x_i \in \mathbb{R}^2$ et $y_i \in \{-1, 1\}$.

Donc cela revient à nous donner la fonction de décision, pour un exemple x , qui peut être exprimée comme suit l'équation (IV.2) [55] :

$$\begin{cases} \text{Classe} = 1 & \text{Si } H(x) > 0 \\ \text{Classe} = -1 & \text{Si } H(x) < 0 \end{cases} \quad (\text{IV.2})$$

Si les deux classes sont séparables de manière linéaire, il n'y a aucun exemple situé sur l'hyperplan, c'est-à-dire qui satisfait $H(x) = 0$. Il est donc recommandé d'utiliser la fonction de prise de décision suivante l'équation (IV.3) :

$$\begin{cases} \text{Classe} = 1 & \text{Si } H(x) > 1 \\ \text{Classe} = -1 & \text{Si } H(x) < -1 \end{cases} \quad (\text{IV.3})$$

L'hyperplan séparateur est représenté par l'équation (IV.4) suivante :

$$H(x) = y = w^T x + b \quad (IV.4)$$

Où w est un vecteur de n dimensions qui détermine l'orientation de l'hyperplan et b est un terme qui détermine l'emplacement de l'hyperplan par rapport à l'origine.

La marge maximale est égale à $\frac{2}{\|w\|}$. Étant donné que la marge entre un hyperplan canonique et les données les plus proches de la frontière est la moitié de la marge maximale, on peut conclure qu'elle est égale à $\frac{1}{\|w\|}$.

La maximisation de la marge correspond à la réduction de l'équation (IV.5) [56]:

$$\left\{ \begin{array}{l} \text{Minimiser} \quad \frac{1}{2} \|w\|^2 \\ \text{sous contraintes} \\ y_i(w^T x_i + b) \geq 1, i = 1..n \end{array} \right. \quad (IV.5)$$

En utilisant la relaxation Lagrangienne, le problème de minimisation sera représenté par la formule primale de l'équation suivante (IV.6) :

$$\mathcal{L}(w, b, a) = \frac{1}{2} \|w\|^2 - \sum_{i=1}^n a_i \{ y_i(w^T x_i + b) - 1 \} \quad (IV.6)$$

Les données x_i avec $\alpha_i > 0$ sont désignées comme des points de support, ces points définissent les limites de la marge. Les multiplicateurs de Lagrange sont α_i , et donc $\alpha_i > 0$, ce qui signifie que le Lagrangien \mathcal{L} doit être maximisé par rapport aux α_i et minimisé par rapport à w et b . Pour calculer les dérivées, il est nécessaire de trouver l'extrémité en se basant sur les conditions de KKT (Karush-Kuhn-Tucker), équation (IV.7).

$$\left\{ \begin{array}{l} \frac{\partial \mathcal{L}(w, b, a)}{\partial w} = 0 \quad (a) \\ \frac{\partial \mathcal{L}(w, b, a)}{\partial b} = 0 \quad (b) \\ a_i \{ y_i(w^T x_i + b) \} = 0 \quad (c) \\ a_i \geq 0 \quad (d) \end{array} \right. \quad (IV.7)$$

De l'équation (IV.7) on déduit :

$$\begin{cases} w = \sum_{i=1}^n a_i y_i x_i \\ \sum_{i=1}^n a_i y_i = 0 \end{cases} \quad (\text{IV.8})$$

En remplaçant dans IV.6, ce qui permet de formuler le dual du problème d'optimisation primal, équation (IV.9) :

$$\begin{cases} \text{Maximiser } \mathcal{L}(a) = \sum_{i=1}^n a_i - \frac{1}{2} \sum_{i=1}^n \sum_{j=1}^n a_i a_j y_i y_j x_i^T x_j \\ \text{Sous contraintes} \\ \sum_{i=1}^n a_i y_i = 0 \\ a_i \geq 0 \quad i = 1 \dots n \end{cases} \quad (\text{IV.9})$$

Résoudre ce problème de programmation quadratique consiste à trouver un séparateur linéaire optimal. Les a_i sont calculables et le w est déduit de l'équation (IV.8). La décision après apprentissage est donnée par la fonction en utilisant uniquement les vecteurs de support de l'équation (IV.10) :

$$H(x) = \text{sgn}\left(\sum_{i=1}^n a_i y_i x^T x_i + b\right) \quad (\text{IV.10})$$

IV.2.2.2 SVM à marge souple :

Certains cas sont où un plan discriminant n'existe pas ou n'est pas le meilleur choix pour la classification. De plus, si les informations d'apprentissage comportent des erreurs d'étiquetage, cela peut influencer le plan discriminant. En cas de données non linéaires ou bruitées, il est nécessaire de légèrement assouplir les contraintes de l'équation (IV.6). Cela se fait en laissant une marge d'erreur dans la classification des données, ce que l'on appelle le "SVM à marge souple (Soft Margin)".

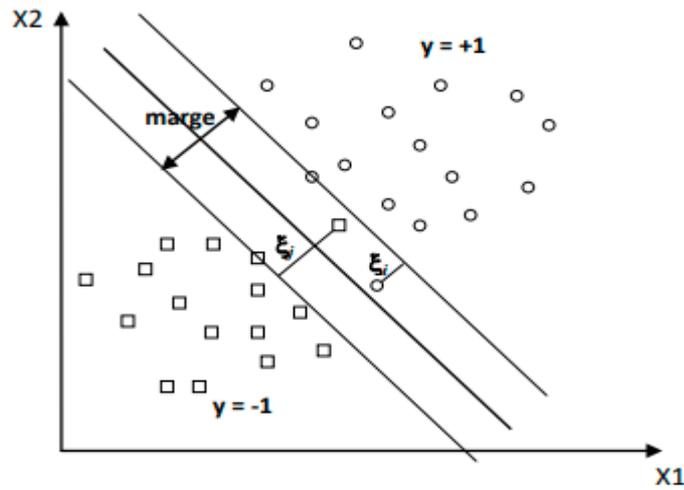


Figure IV.2 : SVM binaire à marge souple.

La marge dure est perçue comme une relaxation justifiée par la présence d'exemples mal classés qui appartiennent à la marge. La fonction objective devient l'équation (IV.11) [57]:

$$\left\{ \begin{array}{l} \text{Minimiser} \\ \text{sous contraintes} \end{array} \right. \quad \frac{1}{2} \|w\|^2 + C \sum_{i=1}^n \xi_i \quad (\text{IV. 11})$$

$$\left\{ \begin{array}{l} y_i(w^T x_i + b) \geq 1 - \xi_i, i = 1 \dots n \\ \xi_i \geq 0 \end{array} \right.$$

Où ξ_i sont des variables de relaxation non négatives et C un paramètre positif libre (mais fixe) qui représente une balance entre les deux termes de la fonction objective (la marge et les erreurs permises) c-à-d entre la maximisation de la marge et la minimisation de l'erreur de classification.

Le problème est formulé de manière duale, comme dans le cas linéairement séparable (marge dure), à l'exception que les multiplicateurs de Lagrange sont limités par C , l'équation (IV.12).

$$\left\{ \begin{array}{l} \text{Maximiser} \\ \text{Sous contraintes} \end{array} \right. \quad \mathcal{L}(a) = \sum_{i=1}^n a_i - \frac{1}{2} \sum_{i=1}^n \sum_{j=1}^n a_i a_j y_i y_j x_i^T x_j \quad (\text{IV. 12})$$

$$\left\{ \begin{array}{l} \sum_{i=1}^n a_i y_i = 0 \\ 0 \leq a_i \leq C \end{array} \right.$$

1- $a_i = 0 \Rightarrow \beta_i = C \Rightarrow \xi_i = 0$: x_i est bien classé,

2- $0 < a_i < C \Rightarrow \beta_i > 0 \Rightarrow \xi_i = 0 \Rightarrow y_i(w^T x_i + b) = 1$: x_i est un vecteur support et est appelé dans ce cas

vecteur support non borné (unbounded),

$3-a_i = C \Rightarrow \beta_i = 0 \Rightarrow \xi_i \geq 0 \Rightarrow y_i(w^T x_i + b) = 1 - \xi_i$: x_i est un vecteur support appelé dans ce cas vecteur support borné (bounded). Si $0 \leq \xi_i < 1$, x_i est bien classé, sinon x_i est mal classé.

Les conditions de Karush-Kuhn-Tucker (KKT) sur les α_i sont couramment employées par les algorithmes d'optimisation afin de trouver les α_i optimums et ainsi l'hyperplan optimal [58].

IV.2.2.3 Kernel Trick (Astuce du noyaux) [59]:

Les données non linéairement séparables à n'importe quel point de l'espace sont exposées aux limites de cette approche, comme illustré dans la figure (IV.3). L'utilisation des fonctions Kernel permet de projeter les valeurs des données vers un autre espace avec une dimension supérieure, où la séparation linéaire est possible, comme illustré dans la figure (IV.3).

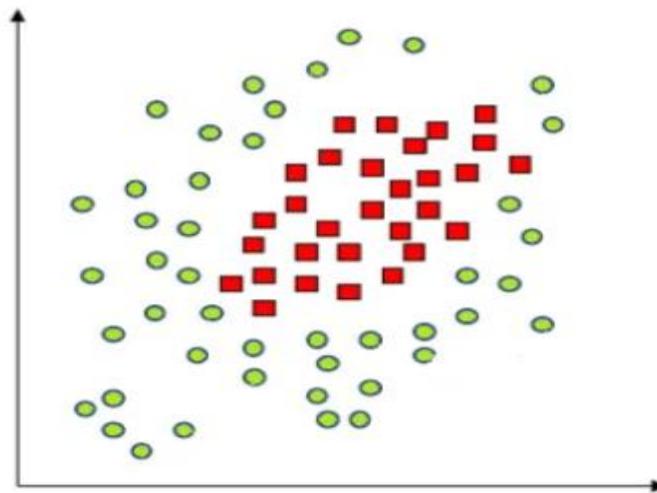


Figure IV.3 : Espace initial.

Cette transformation d'espace est réalisée à l'aide d'une fonction $F = \{\varphi(x) | x \in X\}$ appelée « mapping function », et le nouvel espace est appelé « espace de caractéristiques » ou « espace des caractéristiques » figure (IV.4).

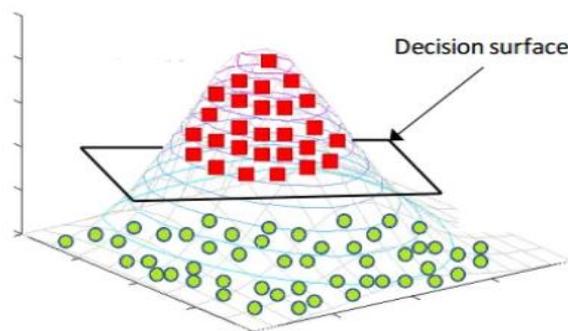


Figure IV.4 : Espace transformé (final).

La fonction objective à optimiser dans ce nouvel espace de caractéristiques est donnée par l'équation (IV.13) :

$$\mathcal{L}(a) = \sum_{i=1}^n a_i - \frac{1}{2} \sum_{i=1}^n \sum_{j=1}^n a_i a_j y_i y_j \langle \phi(x_i), \phi(x_j) \rangle \quad (\text{IV. 13})$$

Où $\langle \phi(x_i), \phi(x_j) \rangle$ est le produit scalaire des deux images des vecteurs x_i et x_j dans le nouvel espace et dont le résultat est un scalaire.

Au lieu de déterminer $\phi(x_i)$, $\phi(x_j)$ et leur produit scalaire, on calcule plutôt une fonction $K(x_i, x_j)$ qui représente à la fois les deux transformations et leur produit scalaire.

Avec l'aide du Kernel trick le problème d'optimisation est formulé comme suit, l'équation (IV.14):

$$\mathcal{L}(a) = \sum_{i=1}^n a_i - \frac{1}{2} \sum_{i=1}^n \sum_{j=1}^n a_i a_j y_i y_j K(x_i, x_j) \quad (\text{IV. 14})$$

Et la fonction de décision devient :

$$H(x) = \sum_{i \in S} a_i y_i K(x_i, x) + b \quad (\text{IV. 15})$$

Où S représente l'ensemble des vecteurs supports.

Exemples de noyaux :

– Noyau linéaire : Si les données sont linéairement séparables, on n'a pas besoin de changer d'espace, et le produit scalaire suffit pour définir la fonction de décision :

$$K(x_i, x_j) = x_i^T x_j \quad (\text{IV. 16})$$

– Noyau polynomial : Le noyau polynomial élève le produit scalaire à une puissance naturelle d :

$$K(x_i, x_j) = (x_i^T x_j)^d \quad (\text{IV. 17})$$

Si $d = 1$ le noyau devient linéaire. Le noyau polynomial dit non homogène $K(x_i, x_j) = (x_i^T x_j + C)^d$ est aussi utilisé.

– Noyau RBF : Les noyaux RBF (Radial Basis functions) sont des noyaux qui peuvent être écrits sous la forme : $K(x_i, x_j) = f(d(x_i, x_j))$ où d est une métrique sur X et f est une fonction dans \mathfrak{R} . Un exemple des noyaux RBF est le noyau Gaussien:

$$K(x_i, x_j) = e\left(-\frac{\|x_i - x_j\|^2}{2\sigma^2}\right) \quad (\text{IV.18})$$

Où σ est un réel positif qui représente la largeur de bande du noyau.

IV.2.3 SVM monoclasse :

Il peut être difficile, voire impossible, de trouver des contre-exemples pour illustrer la classe négative dans certaines situations. Prenons l'exemple de la reconnaissance de pièces par un robot en usine : il est simple d'obtenir des exemples de la pièce en question, mais bien plus compliqué d'obtenir des exemples de toutes les autres pièces existantes. Dans ce genre de circonstances, il est judicieux d'utiliser un modèle décisionnel qui peut reconnaître un maximum d'exemples de la catégorie spécifique tout en excluant les autres. C'est là que la "détection des nouveautés" entre en jeu.

La classification SVM monoclasse est une méthode employée à cet effet. Elle se base uniquement sur les données de la classe cible pour établir une frontière séparant les exemples de cette classe du reste de l'espace. La figure (IV.5) illustre, en deux dimensions, un cas de séparation d'une classe de toutes les autres.

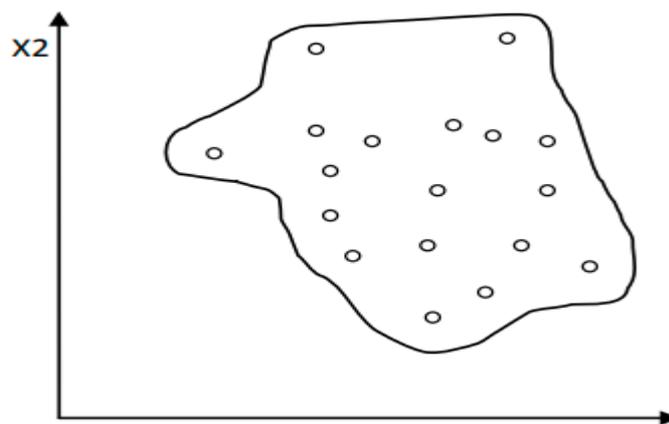


Figure IV.5 : Séparation des exemples d'une classe du reste de l'espace.

La méthode SVM monoclasse permet de résoudre ce genre de problèmes en se basant sur le modèle binaire mentionné précédemment, en attribuant l'origine de l'espace à l'unique instance de la classe négative. Il s'agit donc de trouver un hyperplan qui puisse séparer les exemples de la classe cible de l'origine, tout en optimisant la marge entre les deux (figure IV.6).

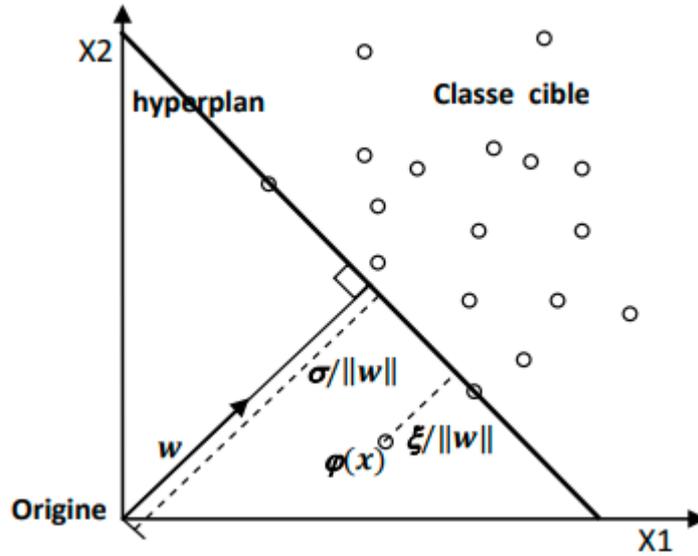


Figure IV.6 : SVM monoclasse à marge maximale.

Selon l'équation (IV.19), le problème est représenté comme un problème primal de programmation quadratique. Le but de ce modèle est à la fois d'optimiser la marge et de réduire les erreurs de classification. La contrainte imposée consiste à classer de manière adéquate tous les exemples de formation.

$$\begin{cases} \min_{w, \xi, \rho} \frac{1}{2} \|w\|^2 + \frac{1}{\nu N} \sum_{i=1}^l \xi_i - \rho \\ \langle w, \phi(x_i) \rangle \geq \rho - \xi_i \\ \xi_i \geq 0 \quad i = 1, 2 \dots N \end{cases} \quad (\text{IV.19})$$

N , le nombre d'exemples de la classe cible est indiqué. Les paramètres (w, ρ) sont utilisés pour repérer l'hyperplan. Les termes ξ_i symbolisent les erreurs permises dans les exemples, qui sont compensées par le paramètre ν . En ce qui concerne ϕ , cela correspond à une transformation d'espace similaire à celle du cas binaire. Après avoir déterminé (w, ρ) , tout nouvel exemple peut être classé en utilisant la fonction de décision définie par l'équation (IV.20) :

$$f(x) = w, \phi(x) > -\rho \quad (\text{IV.20})$$

L'appartenance de x à la classe cible est conditionnée à une valeur positive de $f(x)$. La résolution du problème posé par l'équation (IV.20) s'effectue en réalité par l'introduction des multiplicateurs de Lagrange, aboutissant au problème dual représenté par l'équation (IV.21) :

$$\left\{ \begin{array}{l} \text{Minimiser } \frac{1}{2} \sum_{i,j} a_i a_j K(x_i, x_j) \\ \text{sous contraintes} \\ \sum_{i=1}^n a_i = 1 \\ 0 < a_i \leq \frac{1}{vN} \end{array} \right. \quad (\text{IV.21})$$

Où K est un noyau qui représente la transformation d'espace ϕ . Une fois les a_i déterminés ils peuvent être dans l'un des trois cas suivants :

- $a_i = 0$: correspondent aux exemples bien classés c-à-d qui se situent au-dessus de l'hyperplan.
- $a_i = \frac{1}{vN}$ correspondent aux exemples qui se situent à l'intérieur de la marge (au-dessous de l'hyperplan).
- $0 < a_i < \frac{1}{vN}$ correspondent aux exemples vecteurs support qui se situent sur l'hyperplan.

La fonction de décision pour tout exemple x est donnée par l'équation (IV.22) :

$$f(x) = \sum_{i=1}^l a_i K(x_i, x) - \rho \quad (\text{IV.22})$$

Où ρ peut être déterminé à partir d'un exemple x_i d'apprentissage dont $a_i \neq 0$ par l'équation (IV.23) :

$$\rho = \sum_j a_j K(x_j, x_i) \quad (\text{IV.23})$$

IV.2.4 SVM multi-classe :

La classification multi-classe est un problème de classification avec plus de deux classes. La classification multiclasse suppose que chaque catégorie est affectée à une classe. Il existe de nombreuses façons de résoudre ce problème. Nous pouvons utiliser un classificateur binaire pour résoudre un problème de classification multiple.

Pour s'adapter à la réalité des problèmes multiclasse, les SVM exploitent différentes techniques [53] :

IV.2.4.1 SVMs Une-contre-une (1vs1)

Cette technique implique de projeter les données dans l'espace afin d'obtenir une séparation linéaire entre chaque classe. On désigne cela sous le nom d'approche une-contre-une, qui divise le problème multiclasse en plusieurs problèmes de traitement binaire figure (IV.7). Un algorithme binaire pour chaque ensemble de classes.

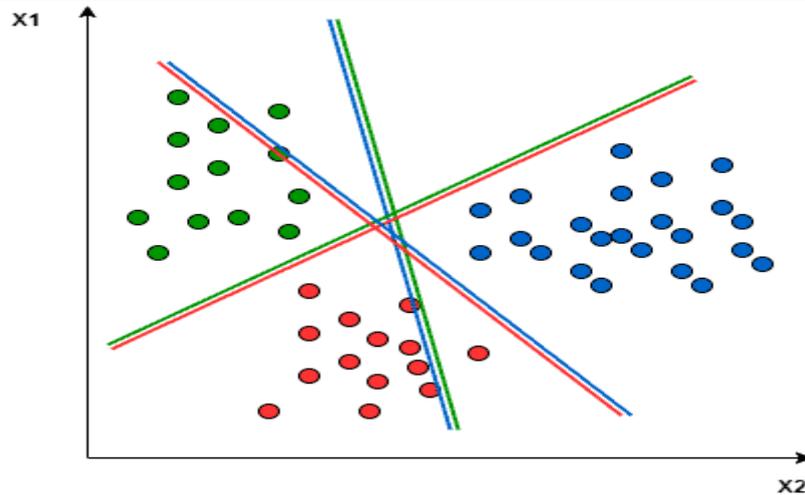


Figure IV.7 : Approche une-contre-une.

IV.2.4.2 SVMs une-contre-reste (1vsR)

Cette méthode peut être employée en utilisant une-contre-reste. Dans cette situation, la distribution est déterminée par un classificateur binaire : pour chaque classe, un hyperplan est nécessaire pour séparer une classe et toutes les autres simultanément. Cela implique que la division prend en considération tous les points, les séparant en deux groupes : un pour les points de classe et un pour tous les autres points. La ligne verte cherche, par exemple, à maximiser la distance entre les points verts et tous les autres points simultanément figure (IV.8).

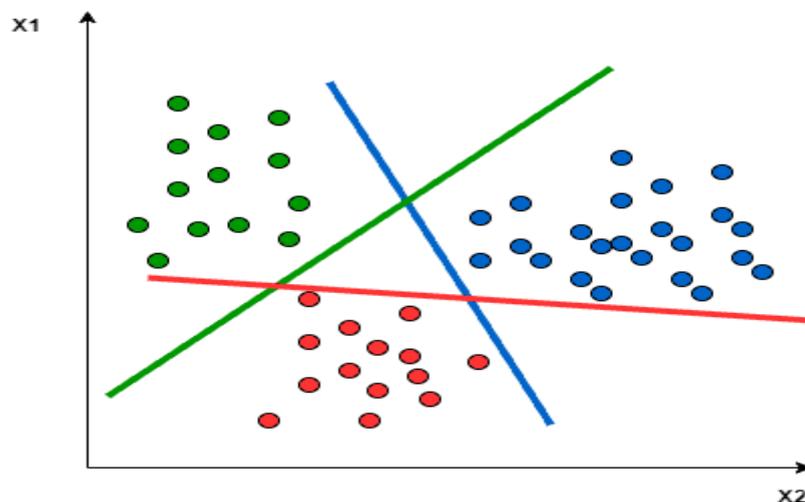


Figure IV.8 : Approche une-contre-reste.

IV.3 Méthode d'optimisation AG (Algorithmes génétiques) :

Les algorithmes génétiques sont proposés par Holland dans les années 1960. Cette méthode basée sur le concept de sélection naturelle et de génétique naturelle de Darwin est une théorie d'évolution qui

utilise des recherches techniques différentes et générales. Il a été largement utilisé et a touché plusieurs domaines d'application. Il a été aussi considéré comme un outil efficace à des utilisations d'optimisation [60,61].

Le domaine des séquences temporelles et les techniques de prédiction ont connu des évolutions importantes au cours de la dernière décennie en raison de l'influence des nouvelles connaissances dans le domaine du traitement du signal, en particulier dans les processus non linéaires. Des nouvelles techniques innovantes telles que les algorithmes génétiques ont remplacé des méthodes classiques qui étaient souvent adaptées à de simples modèles linéaires [44].

Cependant, il y a encore des applications où les estimations des processus à l'aide de modèles linéaires tels qu'ARMA, ARX...ect, sont suffisantes [50], mais pour des ordres limités (le nombre de paramètres ne doit pas être trop grand).

Pour résoudre cette difficulté, les chercheurs ont introduit les méthodes évolutionnaires basées sur les algorithmes génétiques, qui sont une catégorie de méthodes d'optimisation probabiliste qui permettent une meilleure sélection des modèles classiques comme le modèle ARMA et une bonne estimation de ses paramètres.

IV.3.1 Aspects d'implémentation communs à de nombreuses applications:

Cependant, il y a quelques aspects d'implantation qui sont en commun avec la plupart des algorithmes génétiques, que nous examinerons brièvement. Pour obtenir davantage d'informations, Il existe différents moyens de mettre en construction certains des mécanismes essentiels d'un algorithme génétique. Par exemple, la sélection des parents peut s'effectuer de diverses façons. Dans une population $P = x_1, x_2, \dots, x_N$ où chaque individu est évalué par la fonction f , l'opérateur traditionnel consiste à appliquer une probabilité proportionnelle à associer à chaque individu x_i :

$$P_i = \frac{f(x_i)}{\sum_{j \in P} x_j} \quad (\text{IV. 24})$$

Souvent, il existe d'autres méthodes de sélection qui peuvent être facilement paramétriser. Par conséquent, dans la sélection par tournoi, un ensemble d'individus est sélectionner au hasard, dont seuls les meilleurs sont retenus. Afin de choisir deux parents, il est possible de choisir aléatoirement 5 individus et de ne garder que les deux meilleures. Dans d'autres approches, les individus sont classés selon leur valeur pour la fonction f , et la sélection est aléatoire selon le rang occupé par chaque individu. Une distribution biaisée s'applique alors en faveur des premiers individus. Un autre mécanisme essentiel est le mode de remplacement des individus de la population. Dans le modèle original, chaque population de N individus

est complètement remplacée à chaque génération. Plus récemment, des approches « élitistes » cherchent à garantir à chaque génération la survie des meilleurs individus de la population. C'est le cas entre autres des modèles « stationnaires » où un nombre limité d'individus est remplacé à chaque génération. Dans ce cas, des mécanismes supplémentaires sont souvent ajoutés pour empêcher l'inclusion d'individus identiques (doublons) dans la population. Il existe également des implantations plus avancées pour les architectures parallèles [62].

IV.3.2 Représentation des solutions et opérateurs génétiques [63]:

Afin d'adapter un algorithme génétique à un problème spécifique, il est nécessaire de commencer par établir une méthode de codage des solutions. Traditionnellement, les premiers algorithmes génétiques s'utilisent une représentation binaire, où chaque solution est codée en une chaîne de bits. Si cette représentation est tout à fait adéquate pour certains problèmes d'optimisation combinatoire, il est maintenant courant d'utiliser d'autres représentations qui s'appuient sur la structure naturelle des solutions.

IV.3.3 Représentation binaire [63]:

Dans les premiers algorithmes génétiques, chaque solution s est codée sous la forme d'une chaîne de bits de longueur n . Utilisaient tous une représentation binaire où chaque solution s était codée sous la forme d'une chaîne de bits de longueur n , $s[i] \in \{0, 1\}$, $\forall i = 1, \dots, n$. Dans cette représentation, l'opérateur de croisement traditionnel à un point implique de sélectionner de manière uniforme une position de coupure aléatoire $l \in \{1, 2, \dots, n - 1\}$. Lorsque les parents p_1 et p_2 sont choisis pour la reproduction, les solutions enfants e_1 et e_2 sont alors élaborées de la manière suivante :

$$\begin{aligned} e_1 [i] &= p_1[i], \forall i \in \{1, \dots, l\}; e_1 [i] = p_2[i], \forall i \in \{l + 1, \dots, n\}; \\ e_2 [i] &= p_2[i], \forall i \in \{1, \dots, l\}; e_2 [i] = p_1[i], \forall i \in \{l + 1, \dots, n\}; \end{aligned} \quad (IV.25)$$

L'opérateur à un point peut être généralisé en choisissant k positions aléatoires au lieu d'une seule.

Conclusion :

Les SVM sont un outil puissant pour l'apprentissage automatique, proposant une solution efficace pour la résolution des problèmes de classification de données, avec des multiples fonctions de décision. Les différentes fonctions de SVM sont examinées dans ce chapitre. Alors que l'algorithme génétique (AG) est un meilleur moyen d'optimisation des paramètres. Ce qui nous mène dans ce travail à utiliser une combinaison de ces deux méthodes pour obtenir une meilleure optimisation et classification des paramètres et une meilleure précision.

Chapitre V

V.1 Introduction :

Les circuits électroniques sont présents partout dans notre quotidien, qu'ils soient présents dans différents appareils, allant des appareils portables aux algorithmes complexes. Néanmoins, ils peuvent présenter des imperfections causées par différents éléments tels que le bruit, les fluctuations de tension et les pannes de composants. Il est essentiel d'établir un diagnostic précis de ces défauts afin de garantir le bon fonctionnement des équipements électroniques. Toutefois, des logiciels tels que Pspice et Matlab offrent une meilleure rapidité et performance dans le diagnostic de ces circuits grâce à l'intelligence artificielle (IA). L'objectif de cette approche novatrice est d'optimiser l'efficacité et la précision du processus de détection, tout en diminuant le temps et les dépenses de réparation. C'est ce que nous tenterons de résoudre dans ce chapitre [64].

Etant donné que nous avons détaillés dans les chapitres précédents le modèle OE du système d'identification implanté dans le moyen MATLAB et les deux approches AG (Algorithmes génétiques), SVM (support vector machine) en détail qui sont utilisés dans ce chapitre pour l'extraction et la classification avec optimisation des paramètres des circuits analogiques et mixtes dans les deux cas avec et sans fautes. Nous nous sommes donc intéressés dans cette étude à ces approches.

V.2 Aperçu sur le simulateur PSPICE:

V.2.1 Historique:

PSPICE est un logiciel de simulation de fonctionnement de circuits électriques initialement analogiques puis numériques ou mixtes. Il est issu du logiciel SPICE (Simulation Program with Integrated Circuit Emphases) développé en FORTRAN en 1970 par D. OPEDEPERSON et L.W. NAGEL à l'université de Berkeley. Depuis cette époque si le cœur du logiciel a peu varié il n'en est pas de même de son environnement. Aujourd'hui on trouve plusieurs versions pouvant tourner sur station ou sur PC, telles que PSPICE de MICROSIM, HSPICE, ISPICE et SMASH qui ont tous le même moteur de base.

Pendant plus de 10 ans plusieurs versions de PSPICE se sont succédées fonctionnant d'abord sous DOS (jusqu'à la version 5) puis sous Windows. Depuis 1999 MICROSIM a été racheté par le groupe ORCAD grand spécialiste des logiciels de simulation sur PC. La version OrCAD PSPICE version 9.2 a des performances semblables à la version 7.1 de MICROSIM mais un environnement différent concernant la saisie des schémas.

V.2.2 Etapes d'une simulation par PSPICE:

Pour simuler le fonctionnement d'un circuit électrique plusieurs étapes sont nécessaires:

- Une description du circuit, les composants qui le constituent et leurs interconnexions sous forme de fichier "**CIRCUIT**".
- Une description des sources de tensions et courant qui sont reliées au circuit, alimentation et signaux d'excitation sous forme de fichier "**STIMULUS**".
- Une description des modèles de simulation des composants sous forme de "**modèles**".
- Le calcul de la réponse du circuit par le logiciel **PSPICE**.
- La visualisation des résultats de simulation effectuée dans une partie du logiciel appelée "**Probe**".

V.2.3 Prise en main du PSPICE:

Compte tenu de ce qui vient d'être dit, nous n'utiliserons que deux des modules qui composent **PSpice**: **schematics** qui permet de réaliser un schéma du circuit à tester et **PSPICE A/D**, le module de simulation et d'analyse. La démarche consiste à :

- Dessiner un schéma du montage et placer sur ce schéma un ou plusieurs appareils de mesure virtuels (voltmètres et /ou ampèremètres).
- Configurer et paramétrer le dispositif d'analyse.
- Lancer la simulation et étudier les résultats.
- Les deux premières étapes se déroulent à l'intérieur du module **SCHEMATICS**; pour la troisième étape, on passe à l'environnement du module **PSPICE A/D** [65].

V.2.4 Les modes d'analyse de PSPICE:

A son lancement PSPICE effectue d'abord une recherche des points de polarisation c'est-à-dire calcule les valeurs moyennes des courants et tensions en chaque point. L'utilisateur peut alors effectuer plusieurs types d'analyse.

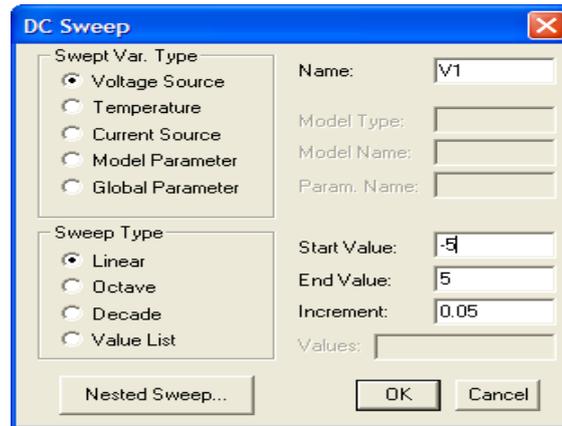
1-Analyse DC:

C'est l'étude de l'évolution d'une tension ou d'un courant continu en fonction d'une grandeur qui peut être une tension, un courant, la valeur d'un composant ou le paramètre d'un modèle. La syntaxe d'une telle analyse est la suivante:

DC <Source name> <Start value> <End value> <increment value>

- **Source name** est le nom de la source de courant ou tension qui doit varier.
- **Start value** est la valeur de début de variation de la source.
- **Increment value** est la valeur de l'incrément de la source.

- **End value** est la valeur finale de variation de la source.



FigureV.1: Fenêtre contextuelle de l'analyse en DC.

2- Analyse AC:

Une analyse fréquentielle AC permet d'effectuer une simulation en fonction de la fréquence.

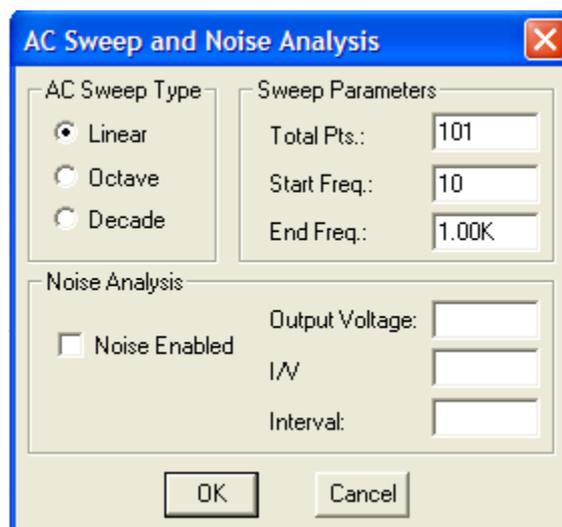
Les différentes sources utilisables pour effectuer une telle simulation sont:

VDC (alimentation continue des circuits) ; VAC (tension sinusoïdale) ; VSIN (tension sinusoïdale).

La syntaxe d'une telle analyse comme l'indique la figure (V.2) est la suivante:

AC <points value> <begin value> <end value>

- **Points value** est le nombre de points de balayage.
- **Begin value** est la valeur de début de balayage de fréquence.
- **End value** est la valeur de fin de balayage de la fréquence.



FigureV.2: Fenêtre contextuelle de l'analyse en AC.

3- Analyse TRAN:

Une analyse temporelle correspond à une simulation en fonction du temps. Cette fois le logiciel calcule l'évolution temporelle des tensions et courants en résolvant pas à pas les équations différentielles non linéaires du circuit. Toutes les non linéarités sont prises en compte et la forme exacte des signaux est obtenue. Ce type d'analyse est le seul possible pour l'étude des circuits multifréquences, mais le calcul peut être long.

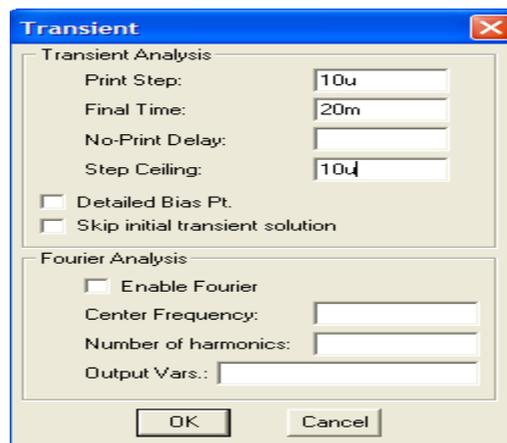
La syntaxe comme l'indique la figure (V.3) est la suivante:

TRAN <print step> <final time>

- **Print step** est le pas d'impression.
- **Final time** est la valeur finale du temps.

Les différentes sources utilisables pour effectuer une telle simulation sont:

VDC (alimentation continue); **VSIN** (tension sinusoïdale); **VSFFM** (tension modulée en fréquence.....)



FigureV.3: Fenêtre contextuelle de l'analyse en TRAN.

V.3 Présentation des circuits sous test et extraction des paramètres :

V.3.1 Processus de l'application des modèles du SI :

Dans cette partie, nous souhaitons présenter les circuits qui seront soumis à l'approche d'extraction des paramètres destinée à alimenter le classificateur de défauts. L'illustration donnée dans le digramme montré par la figure (V.4) présente les différents scénarios adoptés dans cette approche au sein de deux environnements logiciels distincts :

1- EnvironnementPSPICE:

- a- Description des circuits sous test (CUTs) en simulation sans et avec défaut dans le

domaine temporel.

- b- Collecte des échantillons de résultats d'entrée et de sortie du circuit défectueux et non défectueux.
- c- Mise en forme de ces données dans une matrice pour chaque condition de fonctionnement de chaque circuit (CUT).

2- Environnement Matlab :

- a- Sélection du modèle Système d'Identification (SI) pour le calcul de la Fonction de Transfert (FT) du circuit étudié dans des conditions sans défaut :
 - Application des méthodes ARMA, ARX et OE, ainsi que l'évaluation des coefficients et des ordres des polynômes.
 - Évaluation de la précision du modèle en fonction des coefficients (a_i, b_i) et de l'ordre (p, q) , ainsi que le choix du modèle le plus précis et le mieux ajusté.
- b- Utilisation du meilleur modèle pour différents circuits en présence de différentes pannes :
 - Évaluation de la précision ainsi que les coefficients et les ordres des polynômes de la fonction de transfert (FT) pour chaque faute.
 - Choix du modèle qui donne la meilleure précision et le meilleur ajustement, ainsi que la détermination de des coefficients de ses polynômes pour chaque faute.
- c- Assemblage de tous les coefficients des polynômes (a_i, b_i) sous forme d'une matrice pour transférés ces données au processus de classification des fautes.

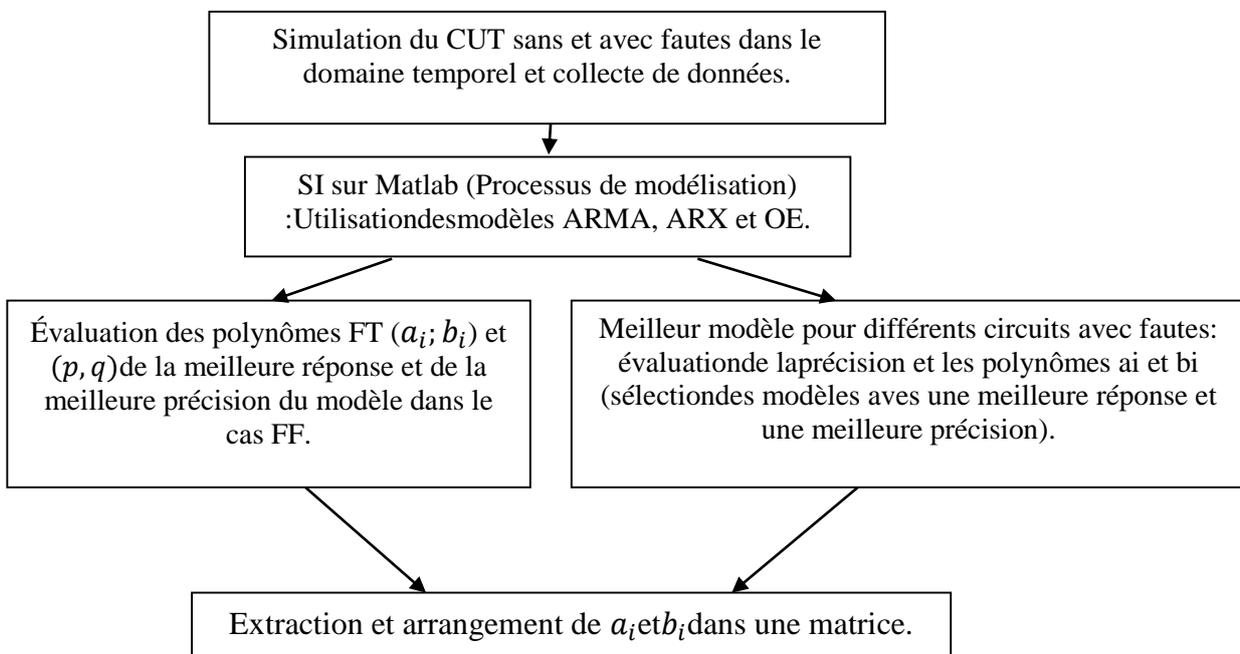


Figure V.4 : Diagramme des différentes étapes de la méthode pour extraire les coefficients des polynômes de la fonction de transfert pour le CUT.

V.3.2 Les circuits sous test (CUT's):

Dans notre travail, on considère deux types de circuits sou test, à savoir filtre passe bande de Sallen-Key et un filtre biquad passe haut. Plusieurs recherches [66,67,68] ont utilisées ces circuits, et ils sont choisis dans ce travail comme modèles types pour valider notre méthode proposée. Leurs configurations sont montrées dans les figures (V.5, V.7).

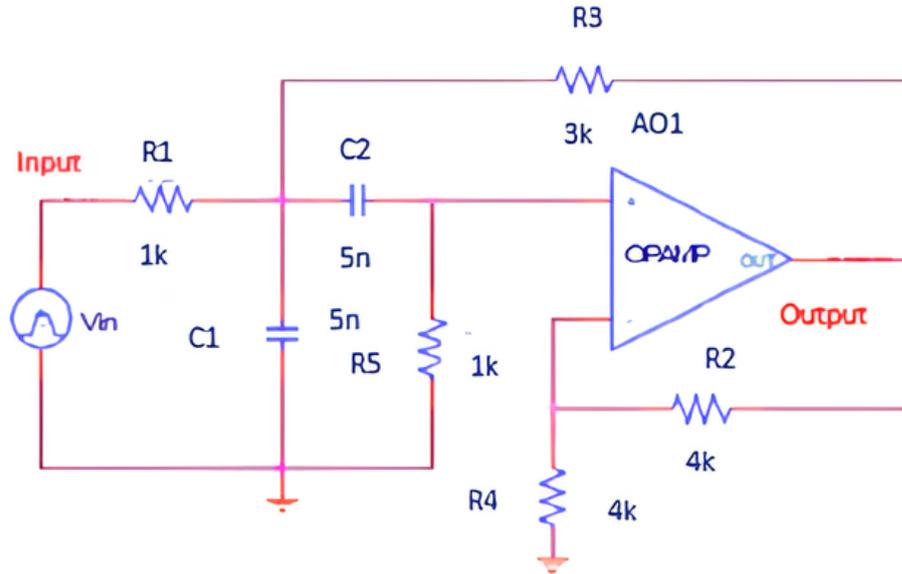


Figure V.5 : Configuration du filtre passe bande de Sallen-Key.

Où le schéma interne de l'amplificateur opérationnel AO1(μ A741) est montré dans la figure (V.6) :

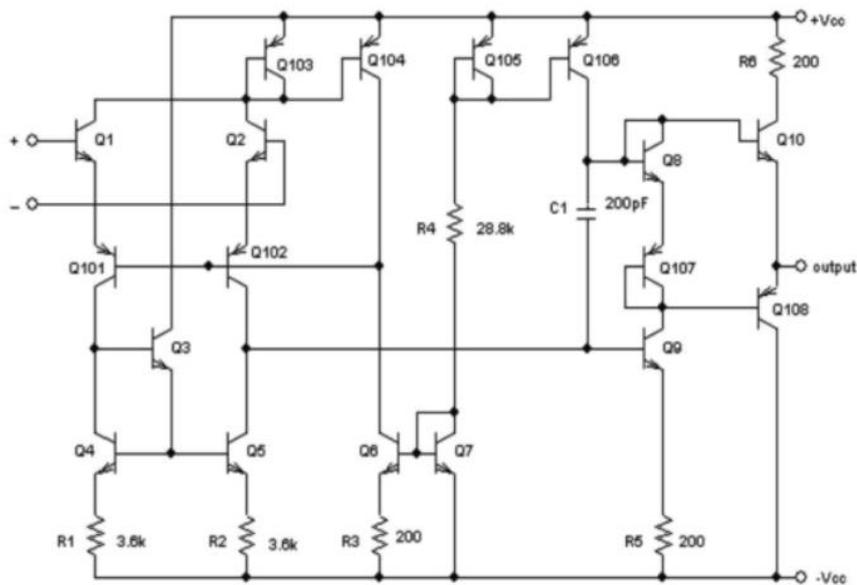


Figure V.6 : Schéma interne de l'amplificateur opérationnel AO1(μ A741).

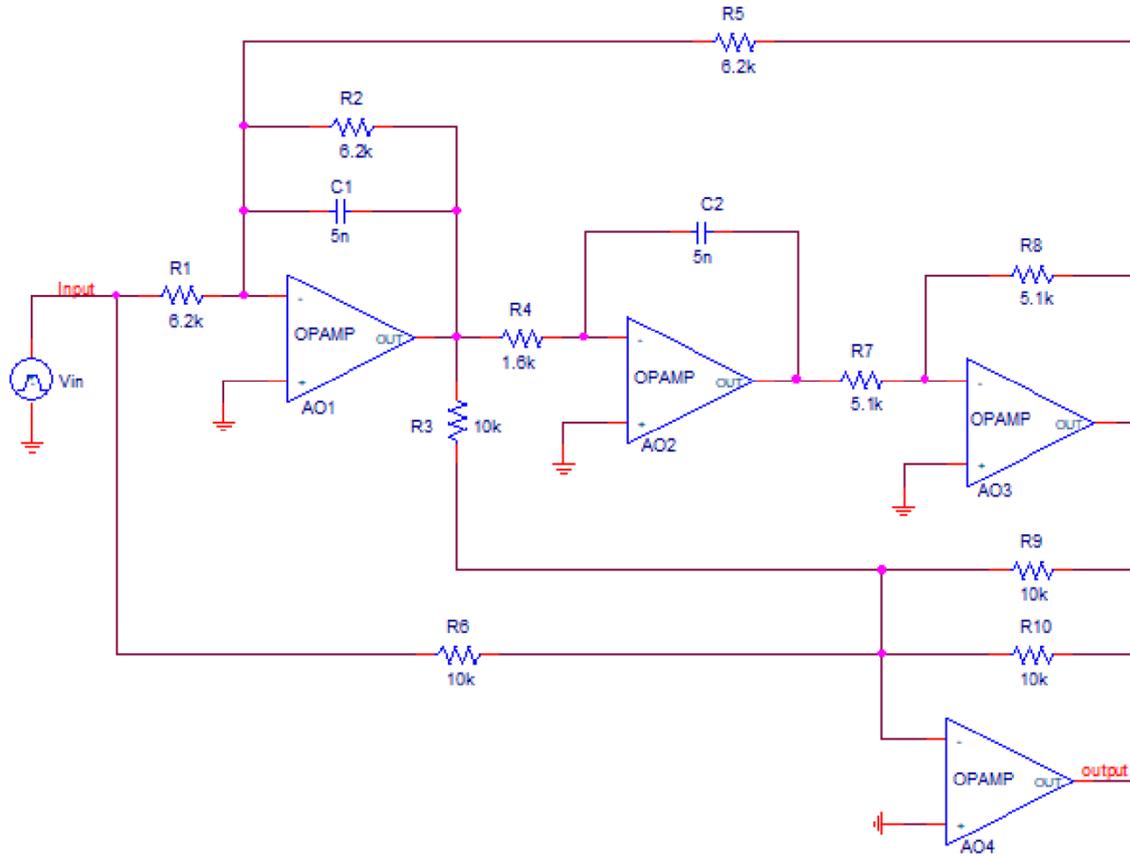


Figure V.7 : Configuration du filtre Biquad passe haut.

Ils sont exécutés sous le simulateur PSPICE, ce qui nous permet d'obtenir des signaux d'entrée et de sortie en tant qu'échantillons dans le domaine temporel. Ces derniers servent de données pour alimenter le processus de modélisation SI afin d'extraire les coefficients et les ordres des polynômes optimaux de la fonction de transfert (FT) du circuit sous test (CUT) à l'aide des modèles estimés comme était décrit précédemment.

De plus, cette procédure a été mise en œuvre sur ces circuits de filtrage fonctionnant dans des conditions défectueuses, qui sont limités à des fautes singulières dans notre étude.

Le signal d'entrée était un signal à impulsion unique, avec une amplitude de 5V et une largeur d'impulsion de 10 μ s. Une analyse du signal transitoire est effectuée à l'aide du simulateur mentionné ci-dessus afin d'obtenir des réponses dans le domaine temporel.

V.3.2.1 Sallen-Key passe-bande [69]:

Le circuit Sallen-Key passe-bande est un dispositif de filtrage passe-bande composé de résistances et de condensateurs. Dans notre situation, le circuit est composé de 5 résistances et de 2 capacités. Il permet de passer sélectivement une plage de fréquences autour de sa fréquence essentielle. Les résistances et les capacités sont responsables de la détermination de la fréquence centrale, tandis que le coefficient de qualité (Q) a un impact sur la largeur de la bande passante.

Il est possible d'analyser cela en utilisant des méthodes de conception de filtres, comme les équations de transfert. En adaptant les paramètres des éléments, nous avons la possibilité de modifier la fréquence centrale, la largeur de la bande et d'autres caractéristiques du filtre en fonction de nos exigences particulières.

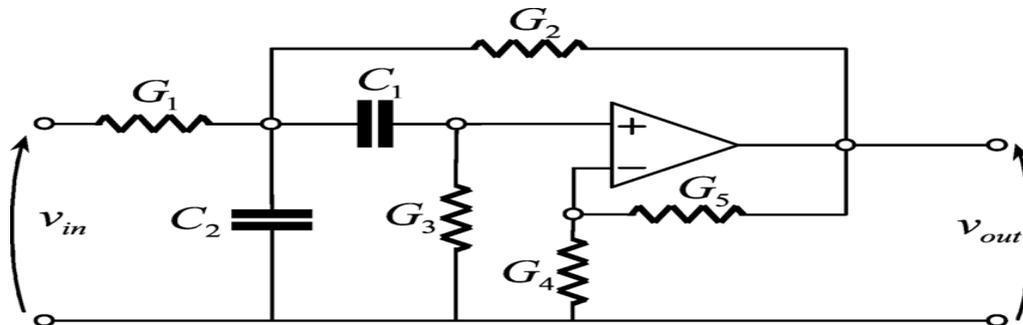


Figure V.8 : Circuit Sallen-Key passe bande.

Où $G_1=R_1$; $G_2=R_2$; $G_3=R_3$; $G_4=R_4$; $G_5=R_5$ dans notre cas à étudier. On cherche à simuler un circuit de Sallen-Key à l'aide du logiciel Pspice, comme illustré dans la figure (V.9).

On peut représenter la fonction de transfert $H(s)$ d'un filtre passe bande Sallen-Key selon l'équation (V.1):

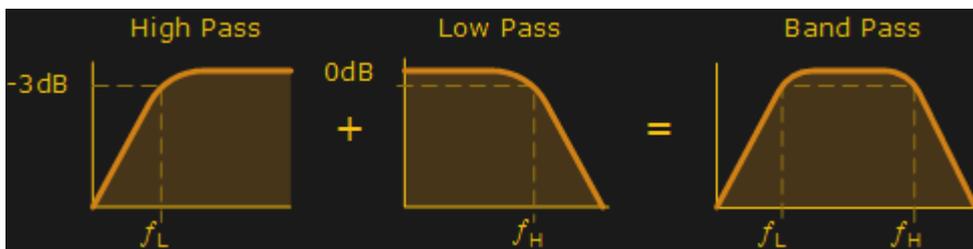


Figure V.9 : Réponse d'un circuit passe bande.

$$H(s) = \frac{\overbrace{\left(1 + \frac{R_5}{R_4}\right)}^G \frac{s}{R_1 C_1}}{s^2 + \underbrace{\left(\frac{1}{R_1 C_1} + \frac{1}{R_2 C_1} - \frac{R_5}{R_3 R_4 C_1}\right)}_{2\omega_0 \zeta = \frac{\omega_0}{Q}} s + \underbrace{\frac{R_1 + R_3}{R_1 R_3 R_2 C_1 C_2}}_{\omega_0^2 = (2\pi f_0)^2}} \quad (V.1)$$

V.3.3 Résultats expérimentaux des circuits sous test (CUT's): [6]

Les réponses des sorties des CUT's sont simulées dans les cas sans t et avec fautes (voir Tableaux V.1 et V.2). On s'occupe de deux types de fautes paramétriques, à savoir les déviations de -50% et +50% par rapport aux valeurs nominales des composants. Chacune de ces fautes est simulée à l'aide des composants de filtre passe-bande Sallen-Key à un amplificateur opérationnel et de filtre biquad passe-haut à quatre amplificateurs opérationnels ($R1 - R5, C1, C2$) et ($R1 - R10, C1, C2$) respectivement.

TableauV.1: Valeurs nominales sans et avec fautes paramétriques des composants pour un filtre passe-bande Sallen-Key.

Fault ID	Element	Nominalvalue	Fault type	Faulty value
F0	-	-	FF	-
F1	R1	1k Ω	R1+50%	1.5k Ω
F2	R1	1k Ω	R1-50%	0.5k Ω
F3	R2	4k Ω	R2+50%	6k Ω
F4	R2	4k Ω	R2-50%	2k Ω
F5	R3	3k Ω	R3+50%	4.5k Ω
F6	R3	3k Ω	R3-50%	1.5k Ω
F7	R4	4k Ω	R4+50%	6k Ω
F8	R4	4k Ω	R4-50%	2k Ω
F9	R5	1k Ω	R5+50%	1.5k Ω
F10	R5	1k Ω	R5-50%	0.5k Ω
F11	C1	5nf	C1+50%	7.5nf
F12	C1	5nf	C1-50%	2.5nf
F13	C2	5nf	C2+50%	7.5nf
F14	C2	5nf	C2-50%	2.5nf

TableauV.2 : Valeurs nominales sans et avec fautes paramétriques des composants pour un filtre Biquad passe-haut.

Fault ID	Element	Nominalvalue	Fault type	Faulty value
F0	-	-	FF	-
F1	R1	6.2k Ω	R1+50%	9.3k Ω
F2	R1	6.2k Ω	R1-50%	3.1k Ω
F3	R2	6.2k Ω	R2+50%	9.3k Ω
F4	R2	6.2k Ω	R2-50%	3.1k Ω
F5	R3	10k Ω	R3+50%	15k Ω
F6	R3	10k Ω	R3-50%	5k Ω
F7	R4	1.6k Ω	R4+50%	2.4k Ω
F8	R4	1.6k Ω	R4-50%	0.8k Ω
F9	R5	6.2k Ω	R5+50%	9.3k Ω
F10	R5	6.2k Ω	R5-50%	3.1k Ω
F11	R6	10 k Ω	R6+50%	15k Ω
F12	R6	10 k Ω	R6-50%	5k Ω
F13	R7	5.1 k Ω	R7+50%	7.65 k Ω
F14	R7	5.1 k Ω	R7-50%	2.55 k Ω
F15	R8	5.1 k Ω	R8+50%	7.65 k Ω
F16	R8	5.1 k Ω	R8-50%	2.55 k Ω
F17	R9	10 k Ω	R9+50%	15k Ω
F18	R9	10 k Ω	R9-50%	5k Ω
F19	R10	10 k Ω	R10+50%	15k Ω
F20	R10	10 k Ω	R10-50%	5k Ω
F21	C1	5nf	C1+50%	7.5nf
F22	C1	5nf	C1-50%	2.5nf
F23	C2	5nf	C2+50%	7.5nf
F24	C2	5nf	C2-50%	2.5nf

Les fautes paramétriques se réfèrent à la dégradation des paramètres des composants électroniques à un certain niveau. Effectivement, ces valeurs représentent des déviations par rapport aux valeurs nominales, également appelées valeurs hors tolérance, et peuvent être attribuées théoriquement à un grand nombre de paramètres de composants. Ce document s'appuie sur la détection des défauts paramétriques d'un filtre passe-bande Sallen-key et d'un filtre passe-haut biquad à quatre amplificateurs opérationnels (voir figures V.5 et V.7)), avec extraction des coefficients ordres des polynômes de la fonction de transfert des circuits sous test (CUT's). Cela est réalisé à partir des réponses d'entrée et de sortie du processus, basé sur l'estimation des modèles de sortie du système d'identification. Cette tâche est élargie pour inclure à la fois des circuits sains et défectueux, en supposant que les composants sont 50% supérieurs ou inférieurs à leurs valeurs nominales [70], comme il est indiqué dans les tableaux (V.1, V.2).

V.3.3.1 Analyse de réponse du circuit sans fautes et extraction des paramètres: [6]

1-Signal réponse du circuit Salle-Key sans faute :

Lorsque la simulation avec le simulateur PSPICE est terminée, la fenêtre « PROB » s'ouvre automatiquement et nous s'affiche la réponse du circuit testé sans faute suite a un signal vecteur de test impulsionnel apériodique. Ce signal est d'une amplitude maximale de $2,7v$ à $7 \mu s$ (figure V.10). Ces deux caractéristiques constitueront bien les paramètres clés à l'élaboration de la signature de référence par un traitement bien approprié sous MATLAB lors de développement des modèles du système d'identification (ARMA, ARX et OE) appliqués sur ce circuit comme était représentés dans le chapitre III.

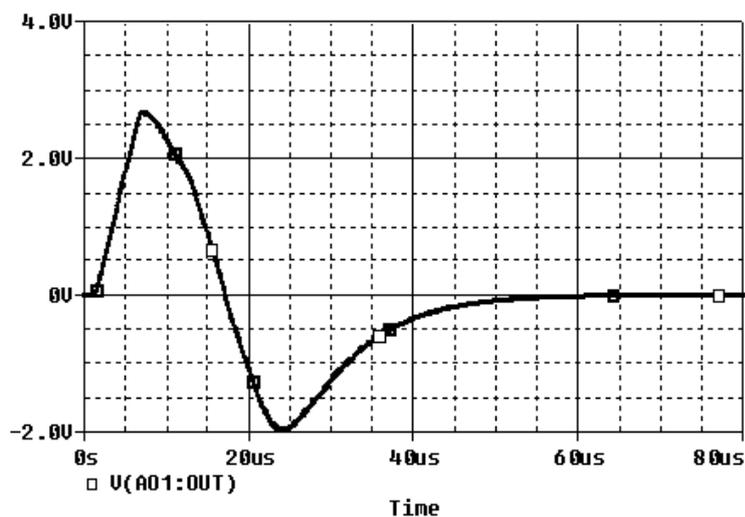


Figure V.10 : Signal de sortie du filtre passe-bande sans faute par PSPICE.

2- Traitement de données PSPICES par MATLAB :

L'objectif de ce traitement préliminaire est d'estimer et de valider les modèles du SI à partir de données d'une seule sortie (single-input/single-output (SISO)) et de trouver celle qui décrit mieux le

circuit en régime dynamique.

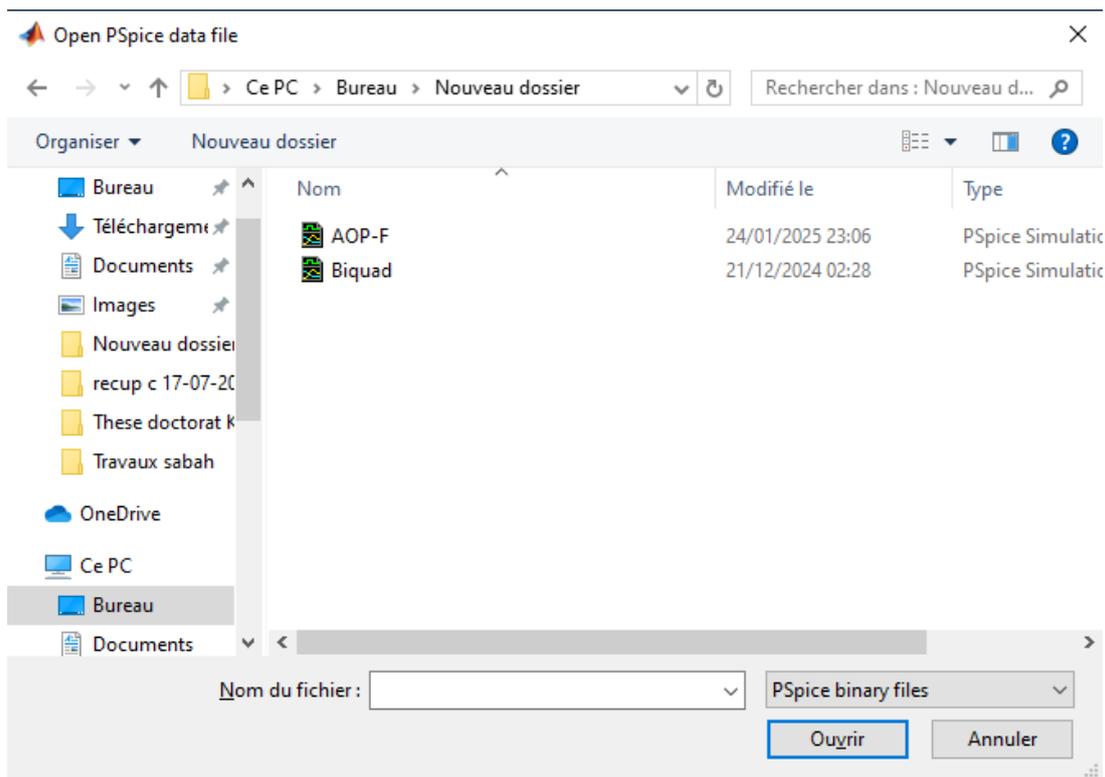
Cette dernière tâche sera rendu possible par l'exécution des applications d'identification de système que fournit MATLAB et qui se résume comme suit :

- Importation de données à partir de l'espace de travail du MATLAB à la partie d'application.
 - Enregistrement graphique de donnée data plot.
 - Traitement de donnée par élimination des erreurs d'offset aux niveaux des signaux d'entrée et de sortie.
 - estimation, validation et comparaison des modèles appliqués.

2- Traitement de données vers l'environnement MATLAB :

Cette opération de transfert de données PSPICE pour un traitement sous MATLAB s'effectue selon les étapes suivantes :

On importe les données des signaux à partir du fichier enregistré sous le simulateur PSPICE avec un programme « [readdata](#) » pour les traiter dans MATLAB.



```
>> y=readdat  
  
y =  
  
struct with fields:  
  
Head: [1x1 struct]  
Name: {1x115 cell}  
Time: [823x1 double]  
Data: [823x115 single]  
  
fx >>
```

Figure V.11: Ouverture du fichier PSPICE à partir du MATLAB.

Après avoir importé les tableaux de données de l'espace de travail MATLAB et procéder à leur lecture, nous avons produit leur graphe en exécutant le programme approprié ci-dessous :

```
>> e=y.Data(:,4);  
s=y.Data(:,14);  
ss=double(s);  
ee=double(e);  
t=y.Time(:,1);  
m=iddata(ss,ee, 'Tstart',0, 'Ts',8e-05/823, 'SamplingInstants',t);  
fx >>
```

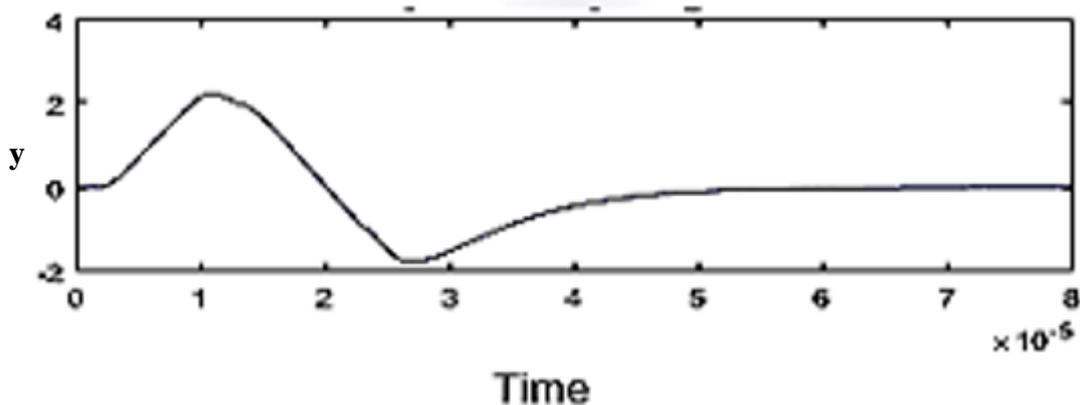


Figure V.12 : Reproduction par MATLAB du signal de sortie de PSPICE sans faute.

3- Préparation de données pour l'application du système d'identification :

Dans cette phase d'application d'identification du système, qui a consisté un chargement au préalable à un chargement (ident) de données dans l'espace de travail (Workspace) du MATLAB par l'intermédiaire de la commande ci-dessous suivi du petit programme :

Load file-bspice name

Cette commande permet de chargement de données sous forme d'un vecteur à deux colonnes ee et ss comme étant données d'entrée et sortie respectivement :

```
>> e=y.Data(:,4);
s=y.Data(:,14);
ss=double(s);
ee=double(e);
t=y.Time(:,1);
m=iddata(ss,ee, 'Tstart',0,'Ts',8e-05/823, 'SamplingInstants',t);
fx >>
```

Le système d'identification apparaît comme l'indique la figure (V.13) ci-dessous :

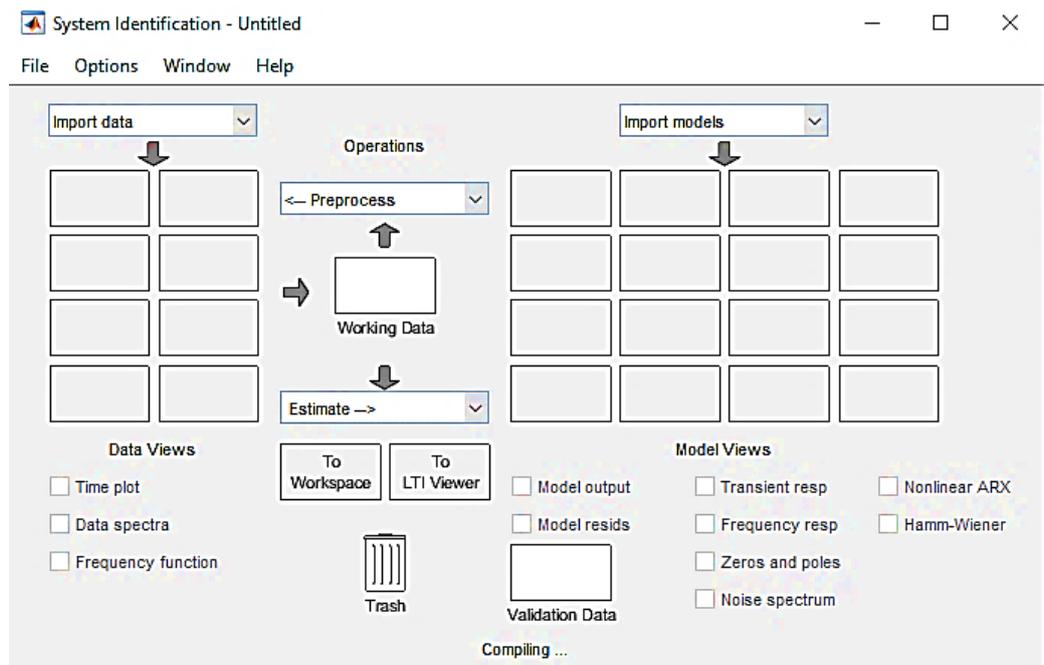


Figure V.13 : Fenêtre de système d'identification.

Comme 3^{ème} phase de traitement, on procède à l'import du vecteur de données à partir de cette application ; il s'agit ici d'importer les données SISO (the single-input/single-output data) à partir du fichier chargé dans le répertoire de l'application de l'espace de travail (work-space) du MATLAB.

Cette tâche se réalise par l'activation de la boîte de dialogue de donnée qui ressemble à celle de la figure (V.13) tout en procédant à la sélection de l'option « **Import data** > **Time domain data** » et suivi par un click sur **Data object** (figure V.14).

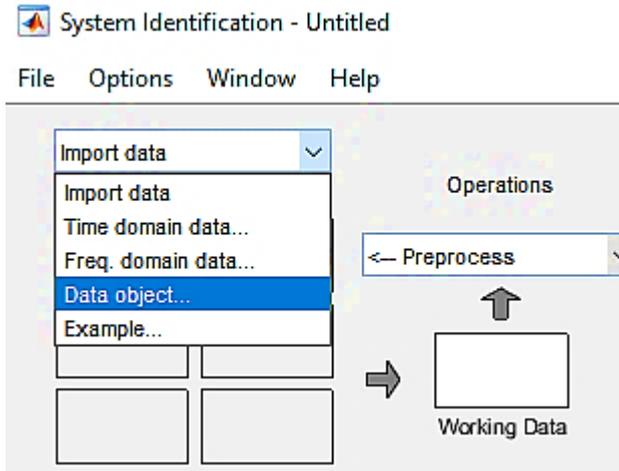


Figure V.14 : Boite de dialogue pour import de données temporelles.

La nouvelle boite qui s'active suite à la sélection de l'option Objet, nécessite d'introduire certaines informations utiles au traitement pour l'identification du système et qui concernent le temps de démarrage du signal, le temps final et le pas de l'échantillonnage ainsi que le nom des données d'entrée et de sortie (data), comme le montre la figure (V.15).

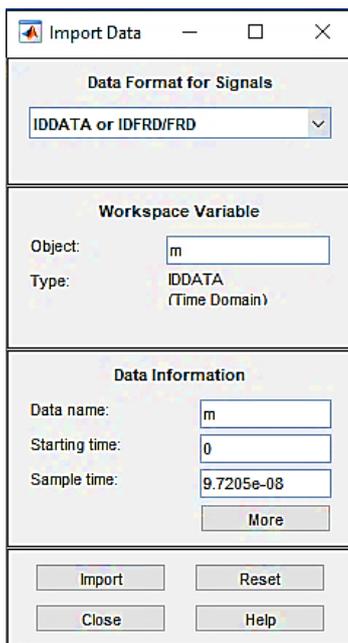


Figure V.15 : Boite de dialogue pour information sur les données du signal.

Pour visualiser les données graphiquement avant de procéder à leur traitement, le Toolbox du MATLAB offre à partir de cette même application d'identification du système l'option de rendre possible cette tâche-là. Il suffit alors de :

Cliquez sur « Import data » pour ajouter les données à l'application d'identification du système. L'application ajoute des icônes comme le montre la figure (V.16) des par flèches aux niveaux des différents rectangles des opérations (Import data, working data et preprocess) qui doivent être activés pour

un prétraitement et représentation des données.

Après, On sélectionne la case à cocher « **time plot** » pour ouvrir les fenêtres des tracés temporels (figure V.17)

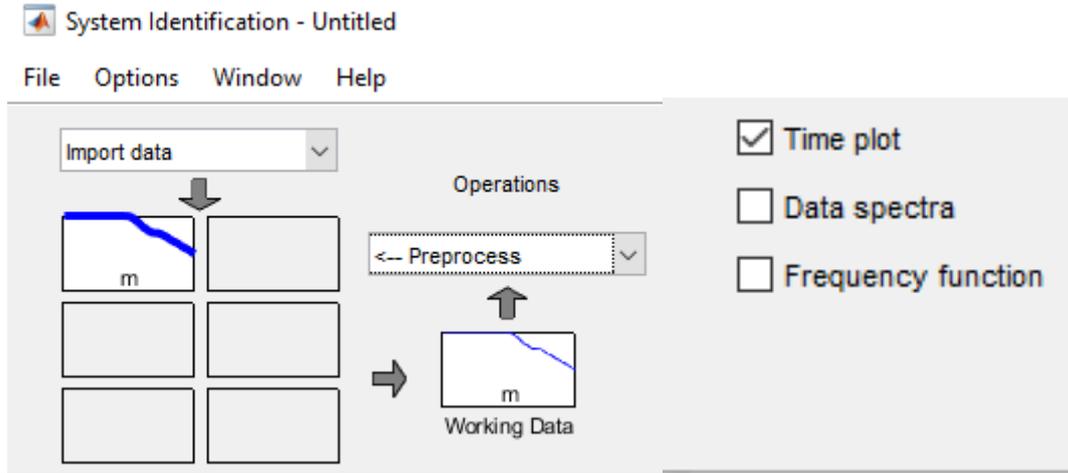


Figure V.16 : Les icônes d'application pour traitement de données.

Figure V.17 : Choix du type de données (tracé temporel).

Ilen résulte le tracé graphique des données d'entrée u_1 et de sortie y_1 dans le domaine temporel qui apparaissent sous deux fenêtres comme l'indique la figure (V.18). Qui sont des signaux pris du fichier PSPICE.

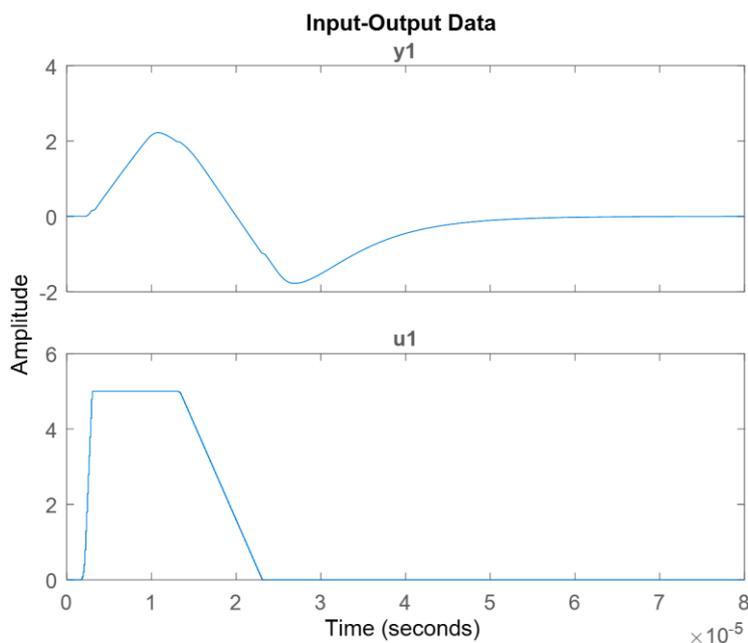


Figure V.18 : Signaux Input-Output sans faute par MATLAB pour un filtre passe-bande Sallen-Key.

V.3.3.2 Procédure d'identification et de validation des modèles ARMA, ARX et OE: [6]

Dans cette partie cruciale du travail, il est dans l'insistance d'aboutir à l'identification des modèles du SI précis à partir des données expérimentales (provenant de PSPICE) selon une application dont la stratégie doit suivre les étapes suivantes :

- Identification des coefficients selon différentes ordres du modèle à partir des données Expérimentales par utilisation de simple structure de polynôme ARMA, ARX et OE.
- Exploration plus large d'ordre du modèle selon ses deux structures tout en maintenant celui qui donnera un meilleur lissage pour chacun de ses polynômes.
- Recherchant le polynôme qui donne une description du système dynamique aussi précise que celle obtenue expérimentalement.

Dans la phase d'estimation du modèle polynomiale possible et de ses paramètres (Coefficients et ordres du polynôme), le système à identifier est vu comme une boîte noire où seuls les signaux d'entrée et de sortie sont connus. Ces derniers subissent un traitement selon les approches sélectionnées a savoir ARMA, ARX et OE, afin d'aboutir par comparaison à celui qui donne une meilleure performance. De même pour chacun de ces modèles, l'ordre du polynôme est choisi sur une gamme d'ordres afin d'atteindre la précision requise que fixe le cahier de charge du système à l'étude et la structure du modèle à savoir la fonction de transfert, modèle non linéaire, modèle linéaire paramétriqueect.

L'exécution de l'estimation se réalise suivant les actions qui consistent :

- Dans l'application d'identification du système, on sélectionne à partir de l'icone *< Estimation >* le type de modèle à obtenir « **Polynomial model** » il s'en suit l'ouverture de la boîte de dialogue Modèles polynomiaux (figure V.19), où figure toute une collection de modèles à choisir dans la liste « **Structure** » y compris les modèles choisis dans notre travail (ARMA, ARX et OE).

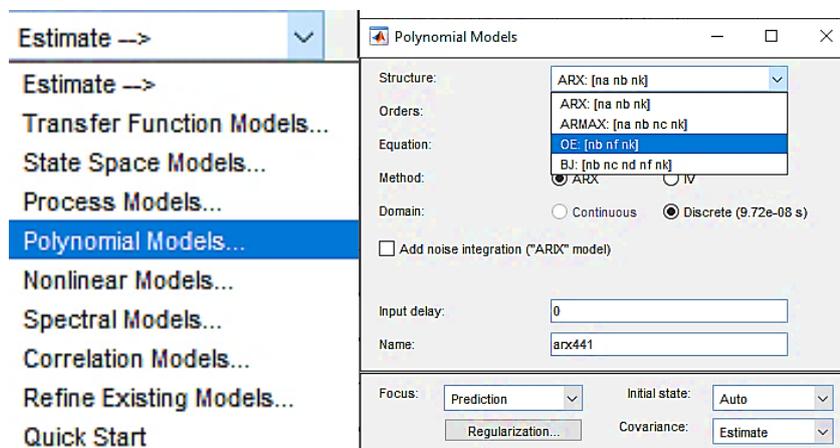


Figure V.19 ; Choix des approches ARMA, ARX et OE.

- Dans la liste Structure, on sélectionne la structure du modèle polynomial qu'on souhaite à estimer (ARMA, ARX et OE) avec plusieurs choix des nombres des pôles et des zéros (n_a, n_b) respectivement et aussi le retard d'entrée n_k pour estimer les modèles choisis.
- Par la suite, on clique sur la barre d'estimation *< Estimate >* pour ajouter le modèle (ARMA, ARX et OE), après traitement de données par ces approches, le résultat du modèle est sauvegardé dans un fichier par exemple sous le nom **OE [8 9 1]**.

Après on examine le modèle obtenu à travers l'option « Model Output » et de voir la combien ce modèle par son signal de sortie suit le signal de sortie mesuré. Le bon modèle est celui qui décrit mieux la dynamique du système et simule la réponse de sortie pour différentes entrées.

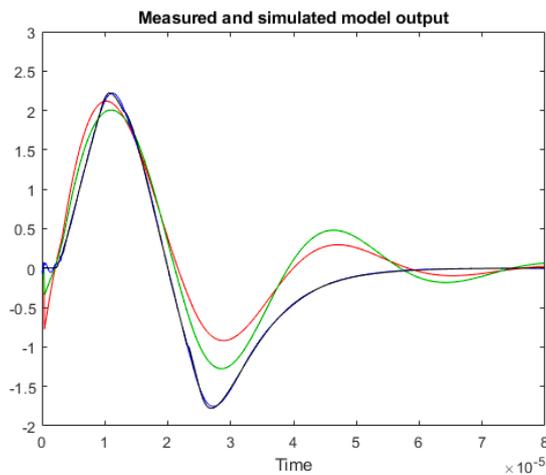
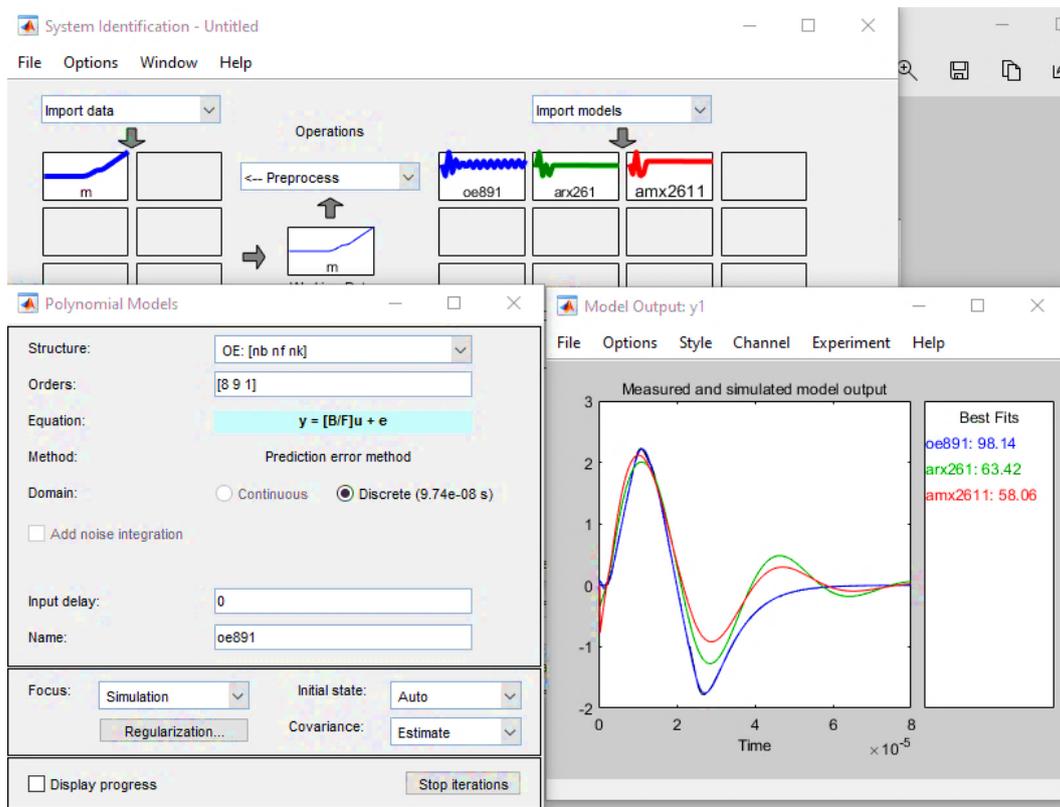


Figure V.20: Estimation des modèles ARMA, ARX, OE et ses plots.

Comme l'indique la fenêtre d'enregistrement graphique de droite de la figure (V.20), les signaux mesurés des modèles appliqués qui sont approximativement superposés à 58.06%, 63.42% et 98.18%. Alors on constate ici que OE est le meilleur modèle avec une meilleur précision.

V.3.3.3 Interprétation des résultats d'estimation des modèles ARMA, ARX et OE: [6]

1- Résultats des circuits (CUT's) sans fautes :

• Le cas du circuit filtre Sallen-Key :

La transformation du signal d'entrée et de sortie se réalise grâce à un traitement de signal très approprié sous le logiciel MATLAB au cours du processus de construction du modèle de circuit linéaire, conformément à l'approche mathématique OE, où le bruit blanc $e(t)$ est considéré comme un élément négligeable dans notre étude. Les deux caractéristiques de signaux (u_1 et y_1) illustrées dans la figure (V.17) représentent des paramètres essentiels pour l'élaboration de la signature de référence du circuit. Les caractéristiques d'identification de ce filtre passe-bande est effectuée en fonction de la différence entre les ordres des polynômes (p, q) et les valeurs ainsi que du nombre des coefficients polynomiaux a_p, b_q des trois modèles précédemment cités.

On note que pour chaque modèle, différents ensembles de valeurs de coefficients et d'ordres sont fournis en fonction du niveau de précision requis pour le modèle. Ainsi, notre but est de sélectionner la précision optimale dans des conditions de circuit sans fautes et défectueux tout en préservant l'essence d'une meilleure couverture des fautes. Les signaux présentés dans les figures V.10 et V.18) représentent le signal de sortie PSICE du circuit et le signal résultant du modèle estimé.

Concernant le résultat de ce modèle, il est à noter que les ordres de polynôme (p, q) du modèle OE ont montré un lissage optimal et une grande précision (98,17%) avec des ordres de polynôme (p, q) équivalents à (8,9) selon les données présentées sur la boîte droite de la figure (V.21).

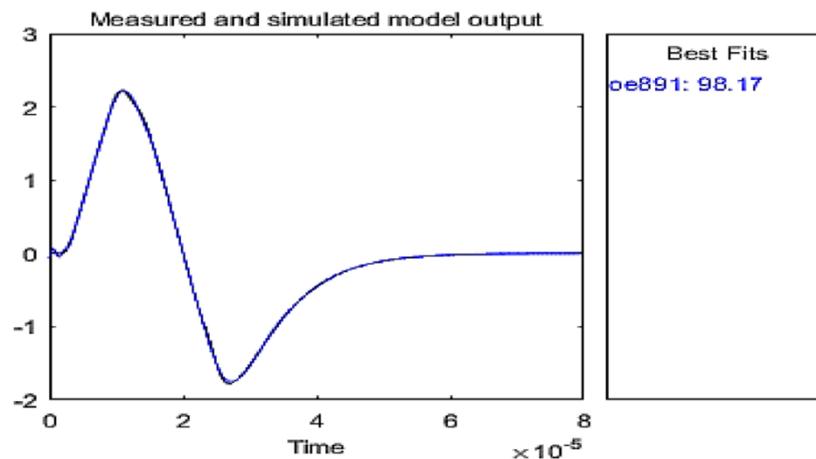


Figure V.21 : Les ordres mesurés et estimés du modèle OE du signal de sortie sans faute du filtre passe-bande Sallen-Key -F0-.

C'est une option de précision du modèle estimé que nous avons respectée pour toutes les conditions de panne du circuit, sur laquelle se base l'efficacité et la crédibilité du classificateur de fautes proposé.

Dans la légende « best fit », on peut remarquer que l'information du modèle OE inclut des valeurs numériques dont trois se réfèrent aux ordres polynomiaux p et q , ainsi qu'à la neutralité du bruit e égal à 1. La quatrième concerne la valeur du niveau de précision correspondant à l'ajustement optimal de la courbe. Ces informations se présentent avec le modèle OE résultants pour toutes les conditions de fonctionnement du circuit. D'après l'examen des données résultant du modèle, il est difficile de communiquer les données nécessaires liées au modèle. Par conséquent, nous avons limité cette étude aux niveaux de précision les plus élevés et les plus faibles dont les résultats sont résumés dans le tableau V.3. Ce dernier indique les valeurs minimales et maximales du niveau de précision (A_{min} , A_{max}) atteintes par le modèle OE pour les couples ordres (p, q) A_{min} et (p, q) A_{max} respectivement, en ce qui concerne les ordres du modèle. En ce qui concerne les autres paires d'ordres des polynômes (p, q) , leurs taux de précision se situent entre ces limites de niveaux et ils ont été écartés en raison de leur contribution négligeable à la construction d'un modèle précis.

En conclus que les résultats de cette étude récapitulative indiquent que le modèle OE est préféré à cet effet. Comme il est indiqué dans le tableau (V.3), la meilleure précision moyenne maximale (98,17 %) a été obtenue avec ce modèle, ce qui est nettement supérieur aux performances des modèles ARMA et ARX.

Tableau V.3 : Présentation des niveaux (minimum et maximum) de la précision des modèles ARMA, ARX et OE pour un filtre passe-bande Sallen-Key.

Model	$(p,q)_{A_{max}}$	A_{max} (%)	$(p,q)_{A_{min}}$	A_{min} (%)
ARMA	(2,6)	63.42%	(1,9)	13.43%
OE	(8,9)	98.18%	(1,4)	94.36%
ARX	(2,6)	63.42%	(1,9)	13.43%

● **Le cas du circuit filtre Biquad passe-haut :**

Le circuit de filtre Biquad à quatre amplificateurs opérationnels passe-haut est soumis à un processus de modélisation en utilisant ces trois approches afin d'obtenir le modèle le plus précis qui sera par la suite utilisé pour la classification des fautes d'une manière précise et fiable. En utilisant le signal mono-pulse à l'entrée du circuit similaire à celui du premier cas de circuit, la réponse du second CUT par PSICE est présentée dans la figure (V. 22).

Pour obtenir un modèle de circuit précis, le traitement des deux signaux d'entrée et de sortie en tant qu'environnement PSPICE est effectué par ces trois méthodes (OE, ARX et ARMA) mises en œuvre dans l'environnement MATLAB.

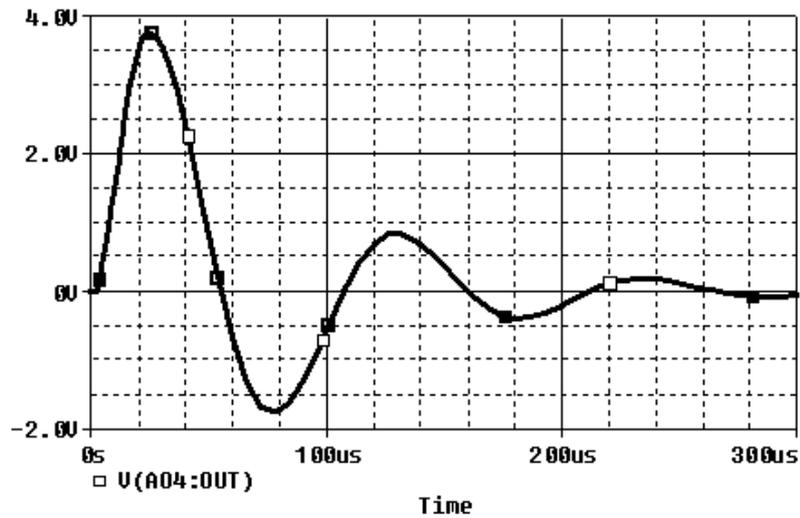


Figure V.22: Signal de sortie du filtre Biquad passe-haut sans faute par PSPICE.

D'après les résultats recueillis, le modèle OE a encore une fois été remarquable en démontrant un meilleur ajustement et une plus grande précision que les autres modèles, comme l'indique le tableau (V.22). Ce dernier montre à la fois les valeurs minimales et maximales de la précision ainsi que leurs ordres de polynômes correspondants.

Tableau V.4: Présentation des niveaux (minimum et maximum) de la précision des modèles ARMA, ARX et OE pour un filtre Biquad passe-haut.

Model	$(p,q)_{Amax}$	Amax (%)	$(p,q)_{Amin}$	Amin(%)
ARMA	(9,2)	86.44%	(8,4)	-2.139%
ARX	(9,1)	72.69%	(1,1)	4.964%
OE	(2,5)	97.06%	(9,7)	-3.487

2- Résultats des circuits (CUT's) sous des fautes paramétriques :

• Le cas du circuit filtre Sallen-Key :

La simulation du circuit défectueux est effectuée de la même manière que celle du circuit sans fautes. Pour tous les scénarios de fautes paramétriques possibles, la réponse impulsionnelle du circuit sous test (CUT) a été enregistrée et considérée comme indispensable dans nos travaux de diagnostic des pannes. Pour tous les composants du circuit ($R1, R2, R3, R4, R5, C1, C2$), on simule deux fautes paramétriques correspondant à des déviations de +50% et -50% par rapport à la valeur nominale du composant. En raison des données nécessaires à l'analyse des fautes, nous limitons l'étude des défauts des composants tels qu'on prend l'exemple de la résistance $R1-50%$ (F2). Concernant les modifications des ordres des

polynômes et des valeurs de coefficients, ces paramètres ont été calculés à partir de l'approche estimée OE. L'objectif de notre travail est d'obtenir à la fois les meilleurs ordres et coefficients des polynômes de la fonction de transfert (FT) qui contribuent fortement à un niveau de précision du modèle optimal d'une part, et de sélectionner les ordres les plus appropriés qui permettront d'effectuer une analyse des fautes paramétriques pour un cas choisi.

Dans le cadre de l'analyse des fautes, une étude du modèle choisi est effectuée sur les valeurs de p et q afin d'identifier la différence par rapport au circuit sans faute. Nous avons appliqué l'approche susmentionnée pour estimer les ordres équivalents à chaque défaut paramétrique.

Dans tout cas de défaut, une modification constatée au niveau de la réponse du circuit de sortie est interprétée comme une modification de cette caractéristique. Cela conduit donc à des variations des ordres des polynômes (p, q) et des valeurs des coefficients du modèle résultant par rapport au cas sans défaut.

Par exemple, pour le cas de la faute F2, les ordres (p, q) du modèle OE, ont été déterminés comme étant (9,9), en comparaison avec le cas sans faute (F0), on a observé une différence dans l'ordre polynomial passant de 8 à 9, et la précision du modèle est de 97.73%, comme illustré en figure (V.23).

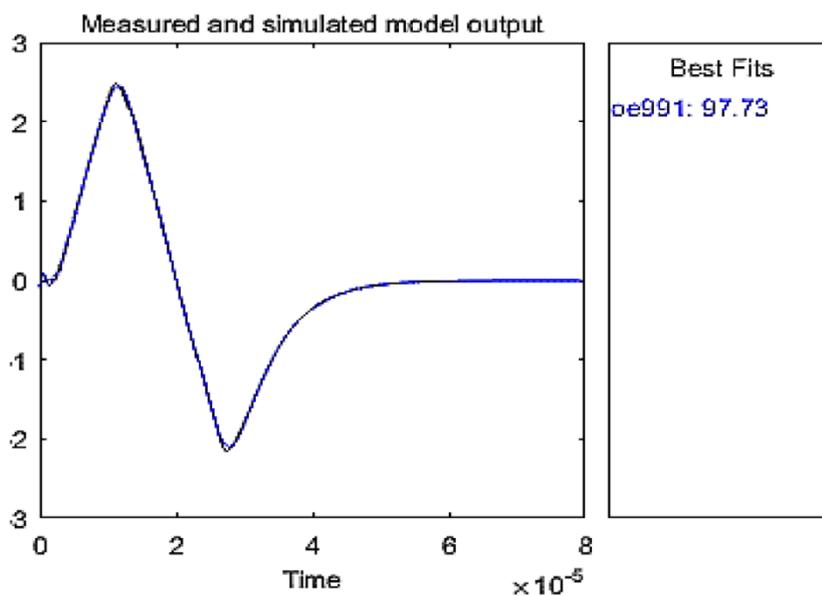


Figure V.23: Les ordres mesurés et estimés du modèle OE du signal de sortie avec la faute (F2) du filtre passe-bande Sallen-Key.

Cependant, ce paramètre ne permet pas de distinguer les fautes ambiguës entre eux, par exemple, les défauts F2 et F6 qui ont le même ordre polynomial (9,9). Pour résoudre ce problème, l'intervention des coefficients polynomiaux a été adoptée comme solution.

L'analyse de ces coefficients en tant que caractéristiques de détection des défauts, est montrée par le tableau (V.5), avec une illustration des points de couverture des fautes frappantes et une détection totale.

Tableau V.5: Les valeurs de coefficient $a_i(i=1; \dots;p)$ et $b_j(j=1; \dots;q)$, et la précision maximale (A_{max}) du modèle OE sélectionné pour le filtre passe-bande Sallen-Key.

Faults	F0	F1	F2	F3	F4	F5	F6	F7
a1	-0.2163	0.0478	-0.3218	-0.1774	0.1454	-0.0622	-0.1543	0.0341
a2	1.0916	-0.3214	1.7126	0.9225	-0.8565	0.3588	0.6904	-0.2680
a3	-2.0752	0.9261	-3.6925	-1.8595	2.1124	-0.8648	-1.0288	1.0010
a4	1.5579	-1.4800	4.0921	1.6567	-2.7913	1.1167	0.2435	-2.2748
a5	0.2612	1.4155	-2.5126	-0.2713	2.0840	-0.8160	0.8357	3.3564
a6	-1.2093	-0.8095	1.0596	-0.6417	-0.8334	0.3204	-0.7242	-3.2274
a7	0.7445	0.2560	-0.5903	0.4757	0.1395	-0.0528	-0.0220	1.9499
a8	-0.1543	-0.0345	0.3331	-0.1048	0	0	0.2310	-0.6718
a9	0	0	-0.0802	0	0	0	-0.0712	0.1007
b1	-3.7348	-4.8823	-3.9771	-4.2020	-4.6732	-3.8465	-3.6470	-4.4537
b2	3.7923	9.0388	4.7602	5.6583	8.0070	4.5082	3.2466	6.6990
b3	1.4037	-7.2513	0.1454	-1.0502	-5.2093	-0.4791	2.8420	-2.1360
b4	-3.5926	1.5824	-3.2240	-2.6240	-0.4124	-0.9696	-5.3947	-3.8360
b5	-0.2031	0.3310	-0.1706	-0.9673	1.1697	-2.3150	0.1680	2.6115
b6	1.0963	0.9329	2.1319	-4.389	1.0897	2.1640	3.0460	1.5860
b7	1.7379	-0.9496	0.0821	2.5377	-1.3223	1.3091	-0.8916	-1.9999
b8	-2.0788	0.1592	-1.1343	0.2070	0.3508	-1.9136	-0.6557	0.5292
b9	0.5792	0.0390	0.3865	0.1269	0	0.5424	0.2863	0
Amax	98,18%	99,19%	97,73%	98,74%	98,91%	98,28%	97,75%	99,05%
Faults	F8	F9	F10	F11	F12	F13	F14	
a1	-0.1380	-0.1059	0.1222	-0.1660	0.1327	-0.0213	-0.1113	
a2	0.9640	0.6281	-0.6619	1.0064	-0.8700	0.1114	0.6516	
a3	-2.9671	-1.6292	1.4423	-2.6672	2.4565	-0.1987	-1.5934	
a4	5.2669	2.473	-1.5446	4.1196	-3.8778	0.0398	2.0842	
a5	-5.9187	-2.5058	0.7174	-4.2004	3.7100	0.3770	-1.5384	
a6	4.3313	1.8263	0.0549	3.0260	-2.1706	-0.6390	0.6077	
a7	-2.0269	-0.9595	-0.1790	-1.5476	0.7376	0.4936	-0.1004	
a8	0.5579	0.3246	0.0488	0.5080	-0.1250	-0.1947	0	
a9	-0.0695	-0.0515	0	-0.0787	0.0065	0.0318	0	
b1	-4.9285	-4.9221	-4.0743	-4.9086	-4.8524	-4.8666	-4.8384	
b2	9.7193	9.6944	4.9792	9.6413	8.0732	9.4765	9.1338	
b3	-9.5870	-9.5502	0.7259	-9.4718	-2.7567	-9.2294	-8.7526	
b4	4.7299	4.7057	-5.5733	4.6542	-6.9055	4.4958	6.3239	
b5	-0.9338	-0.9278	2.0620	0.9151	7.0269	-0.8762	-7.2548	
b6	0	0	2.8677	0	1.2577	0	8.1019	
b7	0	0	-2.6127	0	-5.1985	0	-5.0625	
b8	0	0	0.6255	0	2.8908	0	1.5049	
b9	0	0	0	0	-0.5356	0	-0.1562	
Amax	98,16%	98,12%	98,89%	98,2%	99,33%	98,61%	97,55%	

Par exemple, en ce qui concerne le processus de détection des défauts, une analyse colonne par colonne de ce tableau, du F0 jusqu'à F14, nous permet d'observer différentes valeurs de a_p et b_q dans toutes les conditions de fonctionnement du circuit. Cette confirmation affirme qu'un taux de couverture des défauts

de 100% a été atteint avec succès. En fait, l'analyse des données de ce tableau concernant tous les cas de défauts nous a conduits à une conclusion principale : absence totale d'ambiguïté grâce aux coefficients polynomiaux dont les valeurs sont détectables entre elles dans tous les cas de fonctionnement avec et sans fautes.

Bien que le résultat soit très approfondi, la tâche reste extrêmement difficile à réaliser et prend beaucoup de temps. Par conséquent, l'utilisation d'un classificateur de défaut rapide est indispensable.

• **Le cas du circuit filtre Biquad passe-haut :**

Dans le cas du circuit Biquad, et en raison du nombre plus élevé de défauts considérés par rapport au circuit précédent, nous avons uniquement étudié un défaut spécifique, à savoir la résistance $R5+50\%$ (F10), afin d'illustrer le processus de modélisation des défauts en utilisant l'approche OE. D'après la figure (V.24), l'effet de cette faute s'est manifesté par le biais des valeurs des coefficients et ordres du polynôme selon cette méthode. valeurs des ordres $p=8$ et $q=8$ ont permis un ajustement optimal du signal, offrant une précision du modèle de 99.47%.

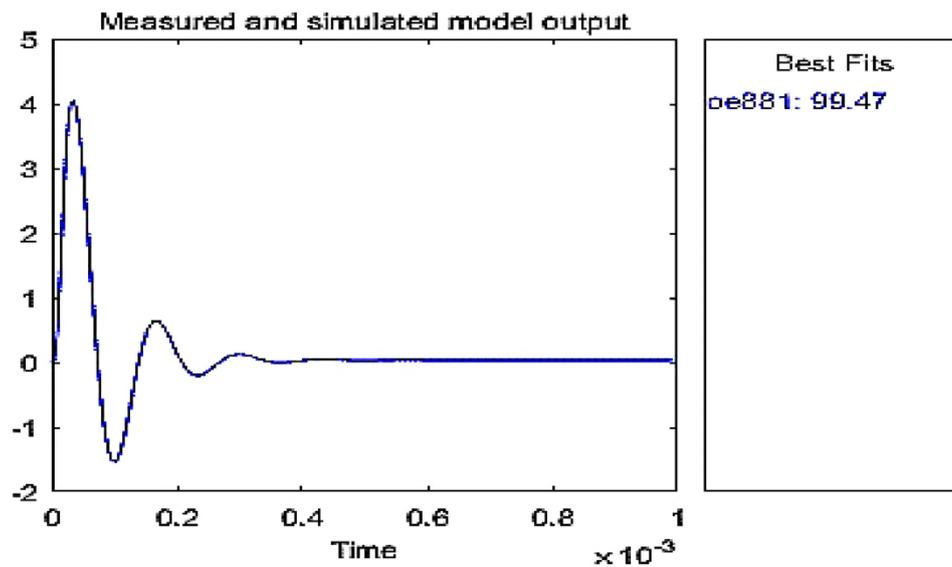


Figure V.24: Les ordres mesurés et estimés du modèle OE du signal de sortie avec la faute (F10) du filtre biquad passe-haut.

Cette séquence de travail est répétée pour l'ensemble de défauts de ce deuxième circuit. L'estimation du modèle OE offre une meilleure précision pour favoriser la classification des défauts. Les valeurs de précision de ces défauts, ainsi que leurs ordres polynomiaux et coefficients, sont également indiquées dans le tableau (V.6).

Tableau V.6: Les valeurs de coefficient (p, q) et la précision maximale (A_{\max}) du modèle OE sélectionné du filtre biquad passe-haut.

Faults	F0	F1	F2	F3
(p,q)	(2,5)	(6,4)	(9,8)	(3,4)
A_{\max}	97,06%	92,11%	99,31%	99,27%
Faults	F4	F5	F6	F7
(p,q)	(9,8)	(7,6)	(9,6)	(9,5)
A_{\max}	95,72%	98,7%	95,41%	93,84%
Faults	F8	F9	F10	F11
(p,q)	(7,5)	(7,9)	(8,8)	(6,8)
A_{\max}	97,74%	97,95%	99,47%	98,68%
Faults	F12	F13	F14	F15
(p,q)	(8,5)	(8,4)	(6,9)	(6,9)
A_{\max}	97,54%	93,77%	99,41%	99,43%
Faults	F16	F17	F18	F19
(p,q)	(9,5)	(9,5)	(8,5)	(9,7)
A_{\max}	96,69%	95,46%	95,72%	98,44%
Faults	F20	F21	F22	F23
(p,q)	(8,9)	(1,4)	(6,9)	(8,4)
A_{\max}	93,12%	95,26%	97,44%	93,01%
Faults	F24			
(p,q)	(9,8)			
A_{\max}	99,26%			

V.4 L'optimisation et la classification des fautes par l'approche de combinaison AG-SVM: [6]

L'approche SVM joue un rôle crucial dans la classification efficace des ensembles de données, même s'ils sont non linéaires. Le traitement du processus de données sera possible avec l'utilisation des fonctions Kernel de SVM. Elle dispose également de capacités pour éviter que l'apprentissage automatique (machine learning) ne fonctionne pas correctement (Over fitting) [71]. Cette situation mène à une performance insatisfaisante, interprétée comme une baisse plus au moins importante de la précision globale du classificateur.

L'idée d'améliorer la classification des défauts a conduit à utiliser des algorithmes génétiques, qui restent parmi de nombreuses autres, une approche d'optimisation très recherchée et compétitive.

Cette tâche fait partie d'un cadre conceptuel visant à sélectionner les meilleurs ensembles de caractéristiques susceptibles d'améliorer le taux de précision du classificateur SVM en suivant la stratégie « **un contre tous** ». Il est vrai que les meilleures caractéristiques sont obtenues grâce à la valeur de fitness (**VF**) calculée à partir de la fonction polynomiale Kernel du SVM, qui est sélectionnée par l'algorithme AG comme fonction de fitness (FF). Il s'agit d'un type polynomial dont le degré est sélectionné entre 1 et 6 afin d'obtenir le taux de précision espérée.

Cette décision est prise pour mettre en évidence l'efficacité que le degré de cette fonction polynomiale peut générer en termes de précision. Le critère pour arrêter l'évaluation de la valeur de fitness (FV) est défini en fonction de la précision maximale atteinte, qui est de 100% pour chaque classe avec laquelle chaque meilleure interprétation peut mesurer parmi ses paires. Cette opération est résumée dans le diagramme fourni à la figure (V.25).

Cette méthode de classification mixte est effectuée en fonction de différentes étapes de traitement, qui sont décrites ci-dessous :

- Dans la première étape, les données structurées sous forme de matrice sont traitées simultanément en tant que données d'apprentissage et données de test.

- La seconde étape : les données d'apprentissage traitées par AG à des fins d'optimisation génèrent des sous-groupes de caractéristiques optimales avec le plus petit nombre possible. Cela consiste à :

- 1- La sélection aléatoire de la population initiale, composée de 18 paramètres, se fait sur 20 itérations, chaque itération représentant un individu ou un chromosome. Il s'agit d'une séquence de bits codée en binaire dont la valeur est 0 ou 1, indiquant respectivement si le gène doit être conservé comme une caractéristique privilégiée ou rejeté.
- 2- La classification du meilleur chromosome (meilleure caractéristique) passe par l'évaluation de la fonction polynomiale du Kernel du modèle SVM, qui est sélectionnée comme fonction de fitness. La valeur de fitness (VF) est déterminée comme l'écart entre la valeur produite par ce modèle et celle des données de test ($Y_{fit} - Y_{test}$), tout en affichant la précision maximale (Accuracy -AC-) du classificateur. Les individus qui offrent la meilleure valeur de fitness sont conservés en tant que meilleurs éléments parentaux pour le processus de génération.
- 3- Troisième étape : pour cette même population, le traitement AG pour la recherche des meilleurs chromosomes utilise les 3 opérateurs habituels de la méthode, à savoir la sélection, le croisement et la mutation, dont les valeurs mesurées sont fixées à l'avance. Les chromosomes parentaux choisis par défaut donneront naissance à des enfants (nouvelles caractéristiques) remplaçant leurs parents en fonction des taux de mutation et de croisement, afin d'assurer le niveau de précision du classificateur le plus élevé possible. Ce processus est répété depuis sa première phase pour le chromosome suivant, dans son nombre d'itérations d'individus fixé à 20.
- 4- La quatrième étape consiste à considérer les nouveaux chromosomes sélectionnés comme étant les meilleurs qui constituent la première génération d'une nouvelle population, où un taux de précision global est alors estimé pour tous les chromosomes issus de cette population. Le nombre de générations est fixé à 10. On considère que ce nombre est suffisant pour optimiser les performances du classificateur étant donné que la valeur de fitness (VF)

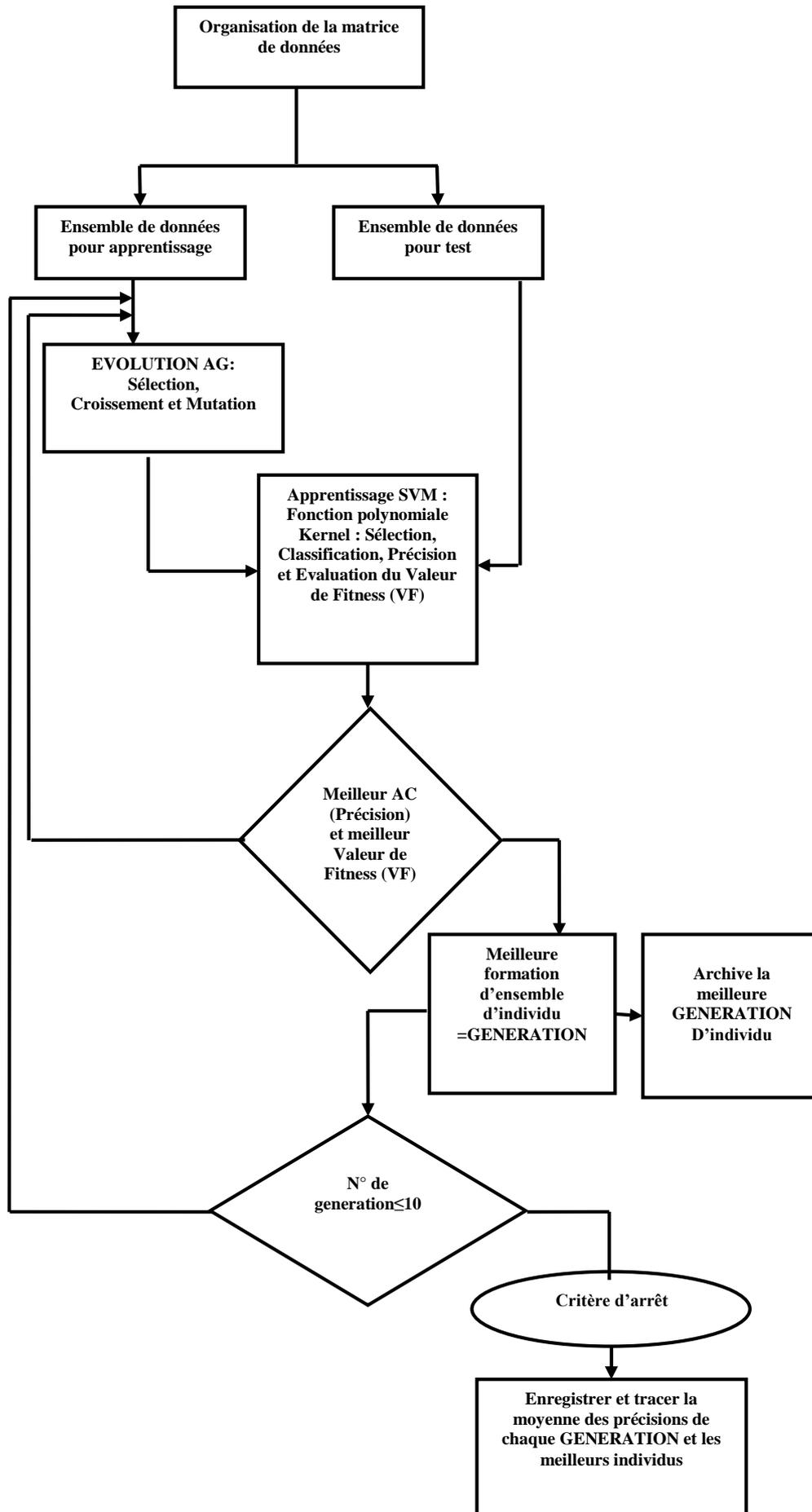


Figure V.25: Diagramme pour la classification et l'optimisation des fautes en utilisant la combinaison AG-SVM.

se stabilise à un niveau constant depuis la sixième génération (voir figure V.25).

- 5- La cinquième étape : chaque génération, qui correspond à un nouvel ensemble de meilleurs chromosomes, sert à créer la prochaine génération, dans le but d'atteindre la précision (AC) la plus possible élevée (100%) avec la meilleure VF ($VF=0$). Les gènes des chromosomes qui contribuent à ces valeurs sont archivés pour une utilisation future. Le processus se poursuit jusqu'à atteindre le critère d'arrêt.

L'exactitude moyenne est calculée pour les individus les plus performants de chaque génération, ainsi que pour les valeurs de fitness (VF). Cela permettra de visualiser l'évolution de la classification et de l'optimisation.

V.5 Résultats et interprétation : [6]

L'utilisation de la combinaison de AG-SVM pour l'optimisation et la réduction des caractéristiques, en employant différentes fonctions polynomiales Kernel de SVM, vise à augmenter la précision du classificateur et éliminer les paramètres susceptibles de créer de la redondance.

Les données d'apprentissage utilisées par cette approche AG-SVM ont servi à la fois à sélectionner les meilleures caractéristiques avec un nombre réduit et d'améliorer la précision. Cela signifie que la fonction polynomiale Kernel sélectionnée pour l'amélioration du classificateur sert également d'une fonction d'évaluation dont la valeur conservée pour le choix de ces caractéristiques dépend du degré de précision de classification, qui doit être optimal lors du processus de classification. Les individus ou les meilleurs parmi eux sont créés à l'avance conformément au principe de génération. Cela vise à une sélection de chromosomes parentaux permettant de générer, après croisement à un taux de 0.2, de nouvelles solutions caractéristiques qui seront soumises à une mutation avec une probabilité de 0.01. Ces enfants présentant de nouvelles caractéristiques optimales constituent la première génération et contribuent à créer une nouvelle population avec une meilleure précision de classification que la précédente. Ceci est évalué à partir du calcul de la valeur de fitness à partir de la fonction polynomiale Kernel du classificateur SVM. Ce processus de génération s'arrêtera à la génération qui offre la plus grande précision, et les caractéristiques sélectionnées seront identifiées.

La fonction de fitness (FF), qui est dans notre travail nommée (`select_features_svm`), est utilisée dans le calcul, considérée comme critère de sélection pour la meilleure caractéristique parmi les 18 paramètres du modèle OE, elle est choisie comme une fonction polynomiale Kernel dont le degré varie de 1 à 6 afin de mettre en évidence celle qui offre les meilleures performances du classificateur. D'autre part, les paramètres sigma et C sont sélectionnés par défaut, où cette option est offerte par l'algorithme SVM (figure V.26).

Pour valider l'approche AG-SVM suggérée en vue d'améliorer le processus de classification, les deux circuits précédemment cités ont été soumis à la nouvelle expérience, dont l'étude approfondie se concentre sur le classificateur dont la fonction noyau polynomial a donné un meilleur résultat en termes de précision.

Les résultats du classificateur sont présentés dans les tableaux V.7 et V.8.

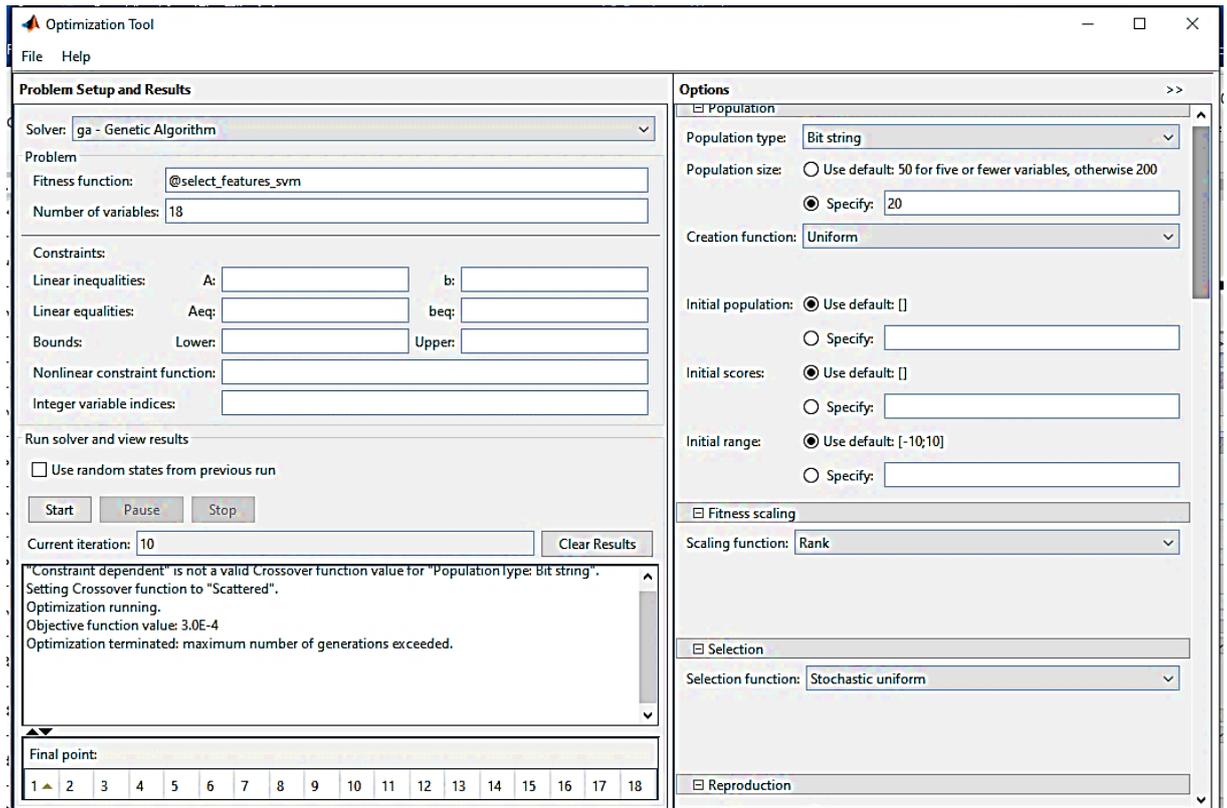


Figure V.26: Le processus de classification et d'optimisation par la combinaison AG-SVM.

Tableau V.7 : Résultats du modèle estimé OE AG-SVM du filtre passe-bande Sallen-Key.

OE-GA-SVM	Accuracy	Features (Coefficients a_i and b_i)
OE-GA-Linear SVM (1)	91.99%	$a_2, a_3, a_4, a_6, a_7, a_9, b_1, b_2, b_3, b_4, b_7$
OE-GA-Quadratic SVM (2)	100%	$a_1, a_5, a_8, b_1, b_3, b_7$
OE-GA- Cubic SVM (3)	100%	a_5, a_8, b_1, b_5
OE-GA-Fine Gaussian SVM (4)	100%	a_4, b_1, b_5
OE-GA-Medium Gaussian SVM (5)	100%	a_9, b_2, b_5
OE-GA-CoarseGaussian SVM (6)	100%	a_5, b_2, b_4

Dans le cas du filtre passe-bande Sallen-Key, nous remarquons dans la figure (V.27) que pour le SVM linéaire avec un ordre polynomial 1, la valeur de fitness décroît de la première à la dixième génération,

aboutissant à une moyenne de 9.35% de valeur de fitness tandis que la meilleure atteint environ 8.001%, ce qui correspond à une précision de classification de 92%.

Tableau V.8: Résultats du modèle estimé OE AG-SVM du filtre biquad passe-haut.

OE-GA-SVM	Accuracy	Features (Coefficients a_i and b_i)
OE-GA-Linear SVM (1)	88.20%	$a_2, a_3, a_4, a_6, a_7, b_1, b_4, b_5, b_6, b_8, b_9$
OE-GA-Quadratic SVM (2)	100%	$a_2, a_3, a_6, a_8, b_1, b_5, b_6, b_7, b_9$
OE-GA- Cubic SVM (3)	100%	a_2, a_6, b_1, b_5, b_8
OE-GA-Fine Gaussian SVM (4)	100%	a_4, a_8, b_4, b_5, b_7
OE-GA-Medium Gaussian SVM (5)	100%	$a_9, b_1, b_3, b_4, b_6, b_7$
OE-GA-Coarse Gaussian SVM (6)	100%	a_9, b_2, b_4, b_7

Ceci a été réalisé en utilisant certains coefficients polynomiaux comme les caractéristiques optimisées obtenues, qui sont $(a_2, a_3, a_4, a_6, a_7, a_9, b_1, b_2, b_3, b_4, b_7)$, comme illustré dans la figure V.27.

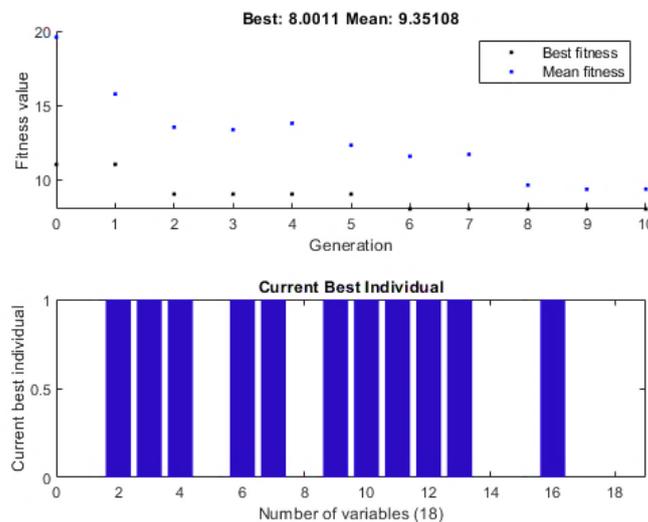


Figure V.27: OE-AG-SVM linéaire du filtre passe-bande Sallen-key : Valeur de fitness et meilleurs individus.

Dans le classificateur SVM avec un ordre polynomial supérieur à 1, la précision a été remarquablement améliorée, atteignant un score élevé (100%) avec une réduction plus ou moins significative du nombre de

caractéristiques. Par exemple, les classificateurs SVM Quadratique et Cubique obtiennent une précision de 100% avec six et quatre caractéristiques $[a_1, a_5, a_8, b_1, b_3, b_7]$, $[a_5, a_8, b_1, b_5]$ respectivement (voir le tableau V.7). Cependant, parmi ces classificateurs, les meilleurs résultats ont été obtenus grâce aux SVM fine Gaussian, medium Gaussian et Coarse Gaussian, correspondant respectivement aux ordres polynomiaux 4, 5 et 6. Ils ont montré une excellente performance de classification, atteignant un niveau de précision de 100% avec trois ensembles de caractéristiques optimales correspondant à $[a_4, b_1, b_5]$, $[a_9, b_2, b_5]$ et $[a_5, b_2, b_4]$.

Une illustration du classificateur SVM de l'ordre polynomial 5 comme fonction de Kernel est donnée dans la figure (V.28), où la meilleure valeur de fitness est d'environ 0.0003 correspondant presque à un niveau de précision de **100%**.

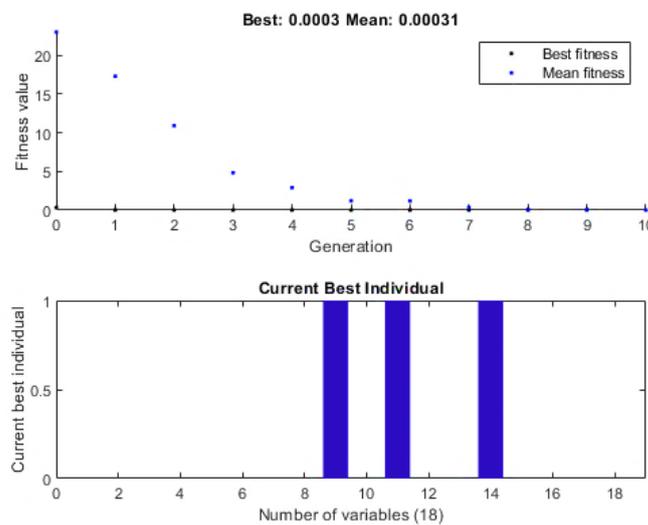


Figure V.28: OE-AG-medium Gaussian SVM du filtre passe-bande Sallen-key : Valeur de fitness et meilleurs individus.

En ce qui concerne le filtre biquad passe-haut à quatre amplificateurs opérationnels, le processus de classification basé sur le SVM linéaire (degré polynomial 1) en tant que fonction de Kernel a nécessité trop de coefficients polynomiaux optimisés $(a_2, a_3, a_4, a_6, a_7, b_1, b_4, b_5, b_6, b_8, b_9)$, comme l'indique le tableau (V.8), pour obtenir une précision de 88.20% (voir figure V.29).

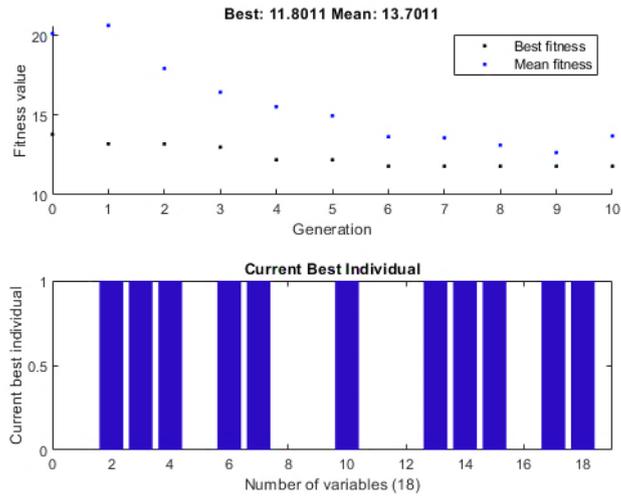


Figure V.29: OE-AG-SVM linéaire du filtre biquad passe-haut: Valeur de fitness et meilleurs individus.

Toutefois, dans le SVM de l'ordre polynomial 6, les caractéristiques les moins optimisées (a9, b2, b4, b7) se sont avérées suffisantes pour atteindre une précision de **100%** (figureV.30).

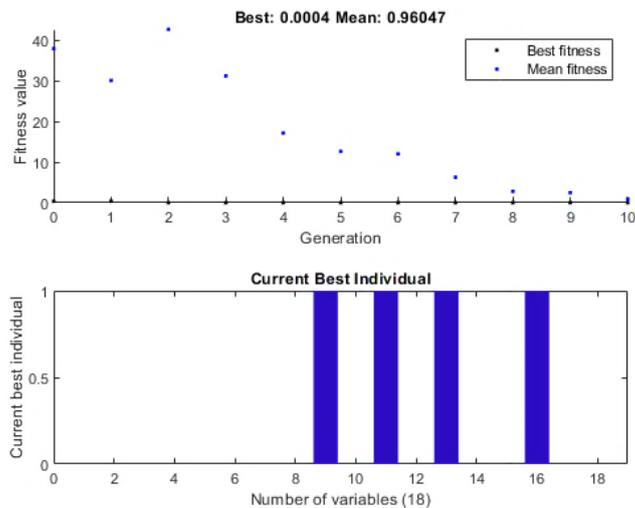


Figure V.30 : OE-AG-Coarse Gaussian SVM du filtre biquad passe-haut: Valeur de fitness et meilleurs individus.

Dans ce contexte, et une fois de plus, le modèle OE estimé avec GA-SVM utilisant la fonction Kernel Coarse Gaussian SVM (d'ordre polynomial 6) confirme sa performance de meilleur classificateur avec des caractéristiques de faible dimension et d'une meilleure précision.

V.6 Comparaison de l'efficacité de la méthode OE-AG-SVM avec d'autres méthodes : [6]

Pour valider notre travail proposé et le rendre plus pertinent, nous l'avons mis en comparaison avec d'autres travaux de recherche récents utilisant diverses méthodes d'extraction de caractéristiques et classificateurs à travers des calculs de précision comme il est montrée dans le tableau (V.9). Par exemple,

dans la référence [67], la méthode atteint une précision de 99,92% dans le cas du circuit 1 et de 99% dans le cas du circuit 2. Dans une autre étude [72] a présenté des valeurs de précision intéressantes, atteignant 100% et 99.68% dans le cas de circuit 1 et le cas de circuit 2 respectivement.

Dans notre étude, la méthode OE utilisée pour l'extraction des caractéristiques semble être parfaitement efficace (**100%**) dans la détection et la localisation de toutes les fautes. De plus, son association avec les méthodes AG et SVM considérablement amélioré l'efficacité et la précision du classificateur. Cela confirme l'obtention d'une précision de **100%** dans les deux CUT's et d'une réduction du nombre de caractéristiques, passant de **18 à 3** dans le premier cas, et **à 4** dans le second.

Tableau V.9: Résultats de différentes méthodes.

Methods	Accuracy (case 1)	Accuracy (case 2)
Référence 67	99.92%	99%
Référence 72	100%	99.68%
OE-GA-SVM	100%	100%

Conclusion:

Dans ce chapitre nous avons développé des méthodes du traitement de signal et des signatures numériques des fautes paramétriques de deux circuits, le premier est un filtre passe-bande Sallen-Key et le deuxième est un filtre biquad passe-haut à quatre amplificateurs opérationnels à partir des caractéristiques électriques obtenues lors de la simulation de ces deux circuits par l'emploi du simulateur Pspice dans le domaine temporel, avec transformation des signaux d'entrée et de sortie par la transformée Z avec le système d'identification (SI) dans l'environnement MATLAB. On appliquant trois modèles tels que ARMA, ARX et OE, qui nous a permis d'avoir des signatures de chaque faute considéré comme un polynôme avec des coefficients et ordres différents. Cette signature est prise comme un moyen de détection et d'identification des fautes, où on a trouvé que le modèle OE est le meilleur pour une précision optimale. Pour l'amélioration de la performance de ce modèle on a utilisé la combinaison AG-SVM comme classifieur des caractéristiques obtenues, où on a abouti de plus à une meilleure précision et une bonne réduction des paramètres.

Dans ce travail, nous avons proposé une méthode de classification des fautes paramétriques singulières pour deux circuits analogiques de filtrage: le filtre passe-bande Sallen-Key et le filtre passe-haut à quatre amplificateurs opérationnels Biquad. La proposition repose sur l'application des méthodes de traitement de signal pour la modélisation des signaux d'entrée et de sortie des CUTs, On utilisant un modèle d'erreur de sortie (OE) basé sur l'identification du système estimée pour l'extraction des caractéristiques, ainsi que sur la combinaison de deux méthodes: AG et SVM. Cette technique vise à trouver une solution pour une prédiction optimale et une détection totale des pannes dans ces circuit. La méthode d'extraction de caractéristiques consiste à l'identification des paramètres avec lesquels les modèles de circuit sont construits dans des conditions défectueuses et sans défaut. En réalité, ces paramètres de modèle correspondent aux coefficients polynomiaux de la fonction de transfert (FT) déduites a partir des signaux d'entrée et de sortie du CUT dans le domaine temporel. Ces circuits ont été utilisés comme éléments d'investigation pour la construction d'un modèle et ont été exécutés dans un environnement de simulation PSPICE. Les données de simulation recueillies ont été traitées à l'aide du logiciel MATLAB afin d'extraire les coefficients de la fonction de transfert qui caractérisent les modèles de circuit. Pour maintenir la précision du modèle, trois méthodes de modélisation estimées ont été mises en œuvre et basent sur les approches ARMA, ARX et OE, réalisées dans le système d'identification (S.I) sur l'outil MATLAB. Les résultats obtenus pour ces modèles confirment que l'efficacité du modèle OE estimé est supérieure à celle des deux autres modèles (ARMA et ARX). Ces résultats sont optimisés et classés en utilisant une combinaison des méthodes AG et SVM afin d'obtenir une meilleure précision et une bonne réduction de nombre de paramètres.

En perspective, nous envisageons d'élargir cette méthode pour inclure divers circuits analogiques et couvrir tous les paramètres électriques susceptibles d'être influencés par la présence de défauts. En ce qui concerne ce dernier point, l'étude concerne les défauts catastrophiques et paramétriques à la fois et déterminera s'ils s'expriment de manière isolée ou multiple.

- [1] Serge BERNARD. « Test Intégré pour Convertisseurs Analogique/Numérique » thèse de doctorat Avril 2001, Université Montpellier II.
- [2] Arabi Abderrazak, « Méthodes de diagnostic et de maximalisation de la couverture des fautes singulières fréquentes dans les circuits analogiques », thèse de doctorat Avril 2019, Université Ferhat Abbas - SETIF 1.
- [3] Laidani Imad, « Développement de techniques de test des circuits analogiques par simulation à l'aide de SPICE », thèse de doctorat Novembre 2023, Université Ferhat Abbas - SETIF 1.
- [4] MANOJ SACHDEV. « Test Intégré pour Convertisseurs Analogique/Numérique » thèse de doctorat Avril 2001 Université Montpellier II.
- [5] K. Gunanandhini, P. Jayachandar and S.P. Karthi, “Analog Circuit Fault Detection using Soft Computing Techniques”, (*IJERT*), 2278-0181, 2016. DOI: 10.17577/IJERTV5IS050961
- [6] S. Kouachi, N. Bourouba, K. Mebarkia, and I. Laidani, “Analog Circuits Fault Diagnosis Using ISM Technique and a GA-SVM Classifier Approach”, *Electronics / Elektronika Electronics / Elektronika* (1450-5843), 2024, Vol 28, Issue 2, p54. DOI:10.53314/ELS2428054K
- [7] Francois Fadhuile-Crepy. « Méthodologie de Conception de Circuits Analogiques pour des Applications Radio Fréquence à faible Consommation de Puissance », Janvier 2015, Université de bordeau.
- [8] K.D. Wagner and T.W. Williams. “Design For Testability of Mixed Signal Integrated Circuits”. In *IEEE International Test Conference*, 1988, pp. 823-828.
- [9] C.L. Wey. “Built-In Self-Test (BIST) Structure for Analog Circuit Fault Diagnosis”. *IEEE Transactions on Instrumentation and Measurement*, 39(3), June 1990, pp. 517-521.
- [10] M.J. Ohletz, Hybrid Built-In Self-Test (HBIST) for Mixed Analog/Digital Integrated Circuits. In *2nd European Test Conference*, 1991, pp. 307-316.
- [11] S. Kouachi, N. Bourouba, “Fault Signature Analysis for An Operational Amplifier Inverter using a BIST Technique”. In *the International Conference on Advances in Communication Technology, Computing and Engineering ICACTCE'21*. Editors: Mariya Ouaisa, Sarah El Himer, Zakaria Boulouard pp. 555 – 567, Copyright © 2021 RGN Publications, Morocco 2021. DOI:10.26713/978-81-954166-0-8
- [12] S. Mir. Integrated circuit testing: From microelectronics to microsystems. In 5th IFAC Symposium on fault detection, supervision and safety of technical processes (Safe process), *Invited Talk*, pages 13–24, Washington D.C. USA.
- [13] A. Bounceur. « Plateforme CAO pour le test de circuits mixtes ». Thèse de doctorat, Institut National Polytechnique de Grenoble, Avril 2007.
- [14] Yiqian Cui, Junyou Shi and Zili Wang, "Analog circuits fault diagnosis using multi valued Fisher's fuzzy decision tree (MFFDT)", *International journal of Circuit theory and Applications*, 2015.
- [15] W. R. Simpson and J. W. Sheppard, “System Test and Diagnosis”. Boston, MA: Kluwer, 1994.

Références bibliographiques

- [16] Duhamel and J-C. Rault « Automatic test generation techniques for analog circuits and systems: A review in *IEEE transactions on circuits and systems* ». 26(7) :411.440, Juillet 1979.
- [17] L. Lizarraga. « Techniques d'auto test pour les imageurs CMOS ». Thèse de doctorat, Institut National Polytechnique de Grenoble, Novembre 2008.
- [18] Ian. I. A. Grout, "Integrated Circuit, Test Engineering Modern Techniques". *Springer-Verlag London*, 2006.
- [19] A. Bounceur. « Plateforme CAO pour le test de circuits mixtes ». Thèse de doctorat, Institut National Polytechnique de Grenoble, Avril 2007.
- [20] A. Khouas, « Simulation de Fautes et Optimisation des Tests de Production pour les Circuits Analogiques avec Prise en Compte des Tolérances ». Thèse de doctorat, Université de ParisVI, 2000.
- [21] Asquini Anna, « technique de test pour synthétiseur de fréquence ». Thèse de doctorat Janvier 2010 au Grenoble.
- [22] S. Sunter and A. Roy, "Purely Digital BIST for any PLL or DLL". *12th European Test Symposium*, May 2007, pp.185-192.
- [23] M. L. Bushnell and V. D. Agrawal. "Essentials of Electronic Testing For Digital, Memory and Mixed-Signal VLSI Circuits". *Kluwer Academic Publishers*, 2002.
- [24] Ian. A. Grout, "Integrated Circuit Test Engineering". *Springer-Verlag London Limited*, 2006.ch5 p 123-125.
- [25] M.SC. Mauricio De Carvalho. « Innovative Techniques for Testing and Diagnosing SOCs ». Thèse de doctorat, Ecole polytechnique de Torino, Italie, Février 2015.
- [26] A. A. Ghani, « Étude et modélisation de défauts des circuits fortement submicroniques sécurisés en vue du test ». Thèse de doctorat en sciences, Université Mouloud Mammeri de Tizi-Ouzou, 2016.
- [27] N. Bourouba, "Développement des techniques de test pour des circuits analogiques de type SSI.". Thèse de Doctorat, Novembre 2007.
- [28] Charles E. Stroud, "A Designers Guide to Built In Self Test", University of North Carolina at Charlotte.
- [29] L.T. Wang, C. W. Wu and X. Wen. "VLSI Test Principles and architectures". *Morgan Kaufmann Publishers, Elsevier*, 2006.
- [30] C. Wannaboon, N. Jiteurtragool, W. San-Um and M. Tachibana. "Phase difference analysis technique for parametric faults BIST in CMOS analog circuits". *IEICE Electronics Express*, Vol.15, N°9, pp.1-9, 2018.
- [31] Nourredine AKKOUCHE, « Optimisation du test de production de circuits analogiques et RF par des techniques de modélisation statistique ». Thèse de doctorat septembre 2011.

Références bibliographiques

- [32] Chenouf Amel, « Conception testable et vérification formelle de circuits intégrés à partir de des criptions VHDL », Thèse de magister Département d'électronique, Université de Sétif, (2004).
- [33] Guessoum Abdelhakim, « Test par compaction des circuits modernes », Thèse de magister Département d'électronique, Université de Sétif, (2008).
- [34] N.G. Einspruch, «VLSI Handbook, academic Press Orlando », FL.1985.
- [35] V. Agrawal and S. Seth, Tutorial: Test Generation for VLSI Chips, Los Alamitos, California, IEEE Computer Society Press, 1988.
- [36] E. McCluskey, «Logic Design Principles with Emphasis on Testable Semicustom Circuits», Upper Saddle River, New Jersey: Prentice Hall, 1986.
- [37] A.Maddi. «Algorithmes implémentables d'identification paramétrique : Application au signal de parole bruitée ». Thèse de doctorat en électronique, Ecole Nationale Polytechnique, Département d'Electronique, 2008.
- [38] R. Ben Abdennour, P. Borne, " Identification et commande numérique des procédés industriels ", Avril 2001.
- [39] D. Landau, " Identification et commande des systèmes", *Hermès*, Paris, 1998.
- [40] Y.Aziza. « Modélisation AR et ARMA de la Parole pour une Vérification Robuste du Locuteur dans un Milieu Bruité en Mode Dépendant du Texte », Département d'électronique, Université de Sétif, 2013.
- [41] Jacques Richalet, « Pratique de l'identification », *Hermès*, Paris 1998.
- [42] A. Fiordaliso, « Systèmes Flous et Prévision de Séries Temporelles », Paris: *Hermès Science Publication*, 1999.
- [43] S.J. Orfanidis, "Introduction to Signal Processing", *NJ Prentice-Hall, Upper Saddle River, Signal Processing Series*, NJ, USA, 183-186, 1996. ISBN: 0-13-209172-0.
- [44] S.M. Kay, "Modern Spectral Estimation: Theory and Application", *NJ: Prentice-Hall, Upper Saddle River, Signal Processing Series*, New Jersey, 1st Edition, Pages: 560, 1988. ISBN: 013598582X
- [45] Olivier Nelles. "Nonlinear System Identification", *Second edition springer*, Heidelberg, ISBN 978-3-030-47438-6, Springer-Verlag Berlin 2001.
- [46] M. Kunt, M. Bellanger, "Techniques modernes de traitement numérique des signaux", *collection électricité, traitement de l'information*, Volume 1, Année 1991.
- [47] A. Borrie, " Stochastic System for Engineering, Modelling, Estimation and Control ", Prentice hall, 1992.
- [48] Olav Kallenberg. "Foundations of modern probability". Probability and its Applications (New York). *Springer-Verlag*, New York, second edition, 2002. ISBN 0-387-95313-2.

- [49] L. Schwartz. "Analyse". I, volume 42 of *Collection Enseignement des Sciences [Collection: The Teaching of Science]*. Hermann, Paris, 1991. ISBN 2-7056-6161-8. Theorie des ensembles et topologie. [Set theory and topology], With the collaboration of K. Zizi.
- [50] James A. Cadzaw. "ARMA time series modeling: an effective method", *Aerospace Electronic Systems*, IEEE Transactions on: Jan. 1983 Volume: AES-19, On page(s): 49-58.
- [51] O. Besson, "Analyse Spectral Paramétrique", Département Avionique et Systèmes assure, Avril 2009.
- [52] U. Forssel and L. Ljung, "Identification of Unstable Systems Using Output Error and Box-Jenkins Model Structures", *IEEE Transactions On Automatic Control*, 45, N°1, 2000. DOI: 10.1109/9.827371
- [53] Rahul Semil and Pratesh Jaiswal, "Bearing Fault Diagnosis using Support Vector Machine with Genetic Algorithms Based Optimization and K Fold Cross-Validation Method", *International Journal of Recent Technology and Engineering (IJRTE)*, 8, Issue 2: 3242-3250, 2019. DOI: 10.35940/ijrte.B2828.078219
- [54] A. Djeflal, « Utilisation des méthodes Support Vector Machine (SVM) dans l'analyse des bases de donnée », Thèse de doctorat en science, Université Mohamed Khider - Biskra, 2011/2012.
- [55] F. Ouslimani, « Etude comparative des techniques de codage d'images en vue d'une segmentation », Thèse de doctorat en électronique, Université Mouloud Mammeri, Tizi-Ouzou, 2018.
- [56] N. Laouti, « Diagnostic de défauts par les Machines à Vecteurs Supports : application à différents systèmes multivariés non linéaires », L'Université Claude Bernard Lyon 1, Lyon 2012.
- [57] M. C. Marin FERECATU, « SVM linéaire (cas non séparable), » chez *Apprentissage, réseaux de neurones et modèles graphiques (RCP209) Machines à vecteurs de support Support Vector Machines (SVM)*, Paris, Conservatoire National des Arts & Métiers, Paris, France, pp. 22-23.
- [58] N. E. AYAT, « Sélection Automatique de Modèle dans les Machines à Vecteurs de Support: Application à la Reconnaissance d'Images de Chiffres Manuscrits », Thèse de doctorat en génie, Montréal, École de Technologie Supérieure, Université du Québec, 2004.
- [59] C. Savas and F. DAVIS, "The Impact of Different Kernel Functions on the Performance of Scintillation Detection Based on Support Vector Machines", *Sensors*, 19, 5219, 2019. DOI: 10.3390/s19235219
- [60] J. Clever. Brownlee, "Algorithms: Nature-Inspired Programming Recipes", *first edition Lulu*, Melbourne Australia, pp. 92, 2011. ISBN: 978-1-4467-8506-5.
- [61] S. Kayalvili and M. Selvam, "Hybrid SFLA-GA algorithm for an optimal resource allocation in cloud", *Springer*, 2019. DOI: 10.1007/s10586-018-2011-8
- [62] H. Muhlenbein, M. Gorges-Schleuter et O. Kramer, « Evolution Algorithms in Combinatorial Optimization », *Parallel Computing*, 1988, 7, p. 65-88.
- [63] Charles. Fleurent et Jacques A. Ferland, « Algorithmes génétiques hybrides pour l'optimisation combinatoire », *Revue française d'automatique, d'informatique et de recherche opérationnelle*, vol. 30, n° 4, pp. 373-398, 1996, France.

- [64] N. AKKOUCHE, « Optimisation du test de production de circuits analogiques et RF par des techniques de modélisation statistique » Thèse de doctorat, Université de Grenoble, 2011, Grenoble.
- [65] Norbert Bastide, « Problèmes d'électronique et simulation OrCad Pspice », Edition CASTEILLA -25rueMonge-75005 Paris.
- [66] I. Laidani, N.Bourouba, “Analog Circuit Fault Classification and Data Reduction Using PCA-ANFIS Technique Aided by K-means Clustering Approach”, *Advances in Electrical & Computer Engineering*, Vol 22, Issue4, p73 ISSN 1582-7445, 2022. DOI: 10.4316/AECE.2022.04009
- [67] T. Gao, J. Yang, S. Jiang and C. Yang “A novel fault diagnostic method for analog circuits using frequency response features”, *Review of Scientific Instruments*, 90, 104708, 2019. DOI: 10.1063/1.5120560
- [68] P. Song, Y. He and W. Cui “Statistical property feature extraction based on FRFT for fault diagnosis of analog circuits”, *Analog Integrated Circuits and Signal Processing*, vol 87: 427–436, March 2016. DOI: 10.1007/s10470-016-0721-5
- [69] B.Cannas, A. Fanni et A. Montisci . « Algebraic Approach to Ambiguity-Group Determination in Nonlinear Analog Circuits », *IEEE Transaction Circuits and Systems*, Vol: 57, N°: 2, 2010, DOI: 10.1109/TCSI.2009.2023834
- [70] Z. Yuan, Y. He and L. Yuan, “Diagnostics Method for Analog Circuits Based on Improved KECA and Minimum Variance ELM”, *IOP Conference Series: Materials Science and Engineering*, 242 012117, 2017. DOI: 10.1088/1757-899X/242/1/012117
- [71] C. Cawley. Gavin and L. C. Talbot. Nicol, “On Over-Fitting in Model Selection and Subsequent Selection Bias in Performance Evaluation”, *Journal of Machine Learning Research*, 11, 2079-2107, 2010. DOI: 10.5555/1756006.1859921
- [72] X. Su, C. Cao, X. Zeng, Z. Feng, J. Shen, X. Yan and Z. Wu, “Application of DBN and GWO-SVM in analog circuit fault diagnosis”, *Scientific Reports*, 11, N° 7969, nature portfolio, 2021. DOI: 10.1038/s41598-021-86916-6

Liste de Publications

La liste de mes travaux scientifiques durant mon cycle de doctorat.

1) Publications internationales :

S. Kouachi, N. Bourouba, K. Mebarkia, and I. Laidani, 2024. “**Analog Circuits Fault Diagnosis Using ISM Technique and a GA-SVM Classifier Approach**”, *Electronics / Elektronika* (1450-5843), 2024, Vol 28, Issue 2, p54. DOI: 10.53314/ELS2428054K

Lien : https://els-journal.net/wp/?page_id=849

<https://els-journal.net/wp/wp-content/uploads/2024/12/2024-28-2-03.pdf>

2) Articles présentés dans des conférences internationales :

[1] S. Kouachi, N. Bourouba, (2020). “Analog Circuit Fault Diagnosis Using Parameters Estimation of the Identification System Models”. *In the 4th International Conference on Artificial Intelligence in Renewable Energetic Systems. IC-AIRES2020*. Tipaza ALGERIA 2020.

Lien : <https://www.sciencedz.net/fr/conference/68657-ic-aires2020-international-conference-on-artificial-intelligence-in-renewable-energetic-systems>.

[2] S. Kouachi, N. Bourouba, (2021). “Fault Signature Analysis for An Operational Amplifier Inverter using a BIST Technique”. *In the International Conference on Advances in Communication Technology, Computing and Engineering ICACTCE’21*. Editors: Mariyam Ouaisa, Mariya Ouaisa, Sarah El Himer, Zakaria Boulouard pp. 555 – 567, Copyright © 2021 RGN Publications, Morocco 2021. DOI: 10.26713/978-81-954166-0-8

Lien : <https://rgnpublications.com/ICACTCE2021/>

المذكورة: تطبيق تقنيات جديدة لمعالجة الإشارة لحل مشاكل تشخيص الأخطاء في الدوائر التناظرية المتكاملة.

اللقب: كواشي الإسم: صباح المؤطر: السيد الأستاذ بوروبة نصر الدين

الملخص:

يهدف عملنا إلى المساهمة في حل المشاكل التي نواجهها في تشخيص أعطال الدوائر الإلكترونية. من بين المشاكل العديدة التي نواجهها هو عدم وجود ميزات فعالة تساعد على تحسين مصنف الخطأ، وبالتالي تحسين الكشف عن أخطاء الدائرة وتحديد هياكلها. لذلك، تعتمد طريقة استخراج الميزات لدينا على دالة التحويل (FT)، ولكشف وتحديد هذه الأخطاء استخدمنا تقنيات معالجة الإشارات المختلفة، مثل نماذج نظام تحديد (MSI) على Matlab مثل نموذج خطأ المخرج (OE) وهو جزء من عائلة نموذج ARMA. تمثل هذه الميزات معاملات متعدد الحدود لدالة التحويل، والتي تعد ضرورية في نمذجة الدوائر الخالية من الأخطاء والدوائر المعطلة، وكذلك من أجل تغذية مصنف الأخطاء. تم تحقيق دقة أفضل وتحسين جيد للميزات من خلال استخدام مزيج بين خوارزميتين AG-SVM.

كلمات مفتاحية: اختبار، الدوائر التناظرية، خوارزمية AG، نموذج OE، الأخطاء المعطلة، خوارزمية SVM.

Thèse : *Application de nouvelles techniques de traitement de signal pour la résolution des problèmes de diagnostiques de défauts des circuits analogiques intégrés.*

Nom : *KOUACHI Prénom: Sabah Directeur de thèse: Pr. BOUROUBA Nacereddine*

Résumé:

Notre travail vise une contribution à la résolution des problèmes rencontrés dans le diagnostic des pannes de circuits électroniques. Un des plusieurs problèmes rencontrés est l'absence de fonctionnalités efficaces qui contribuent à optimiser le classificateur de pannes, et par conséquent, à améliorer la détection et l'identification des fautes de circuit. Par conséquent, notre méthode d'extraction de caractéristiques base sur la fonction de transfert (FT). Pour détecter et identifier ces défauts, nous avons employé diverses techniques du traitement du signal, comme des modèles du système d'identification (MSI) sur Matlab tel que le modèle d'erreur de sortie OE (Output Error) qui fait partie de la famille des modèles ARMA. Ces caractéristiques représentent les coefficients du polynôme de la fonction de transfert, qui sont essentiels dans la modélisation des circuits sans défauts et défectueux, ainsi que pour alimenter le classificateur en vue d'un diagnostic des pannes. Une meilleure précision et une bonne optimisation des caractéristiques ont obtenues par l'utilisation d'une combinaison de deux algorithmes AG-SVM.

Mots clés:

Test, Circuit Analogique, Algorithme Génétique (AG), Modèle OE, Fautes Paramétriques, Machine à Support Vecteurs de Support (SVM).

A Thesis: *Application of new signal processing techniques for solving fault diagnosis problems of integrated analog circuits.*

Name: *KOUACHI First Name: Sabah Director of thesis: Pr. BOUROUBA Nacereddine*

Abstract:

This present work aims to contribute to the solution of the problems encountered in electronic circuits fault diagnosis. One of these troubleshoots faced is the lack of effective features that help to optimize fault classifier and hence improve circuit fault detection and identification. Thus, our feature extraction approach is based on the CUT's transfer function. In order to detect and identified those faults, we used several techniques from treatment of signal, such us Matlab identification system IS model (ISM), namely the OE model belonging to the ARMA model's family. These features are the transfer function polynomial coefficients playing a crucial role in the fault free and faulty circuits construction models and feeding the classifier for the fault diagnosis purpose. A best accuracy and a best reduction for coefficients are obtained by using of an algorithms combination GA-SVM.

Keywords:

Test, Analog circuit, Ggenetic Algorithm (GA), OE model, Parametric Faults, Support Vector Machine (SVM).