

الجمهورية الجزائرية الديمقراطية الشعبية

République Algérienne Démocratique et Populaire

Ministère de L'Enseignement Supérieur et de la Recherche Scientifique



UNIVERSITÉ FERHAT ABBAS - SETIF1

FACULTÉ DE TECHNOLOGIE

THÈSE

Présentée au Département d'électronique

Pour l'obtention du diplôme de

DOCTORAT

Domaine : Sciences et Technologie

Filière: Electronique

**Option: Caractérisation en
électronique**

Par

LAIDANI Imad

THÈME

**Développement de techniques de test des circuits
analogiques par simulation à l'aide de SPICE**

Soutenue le 16/11/2023 devant le Jury:

AMARDJIA Nouredine	Professeur	Univ. Ferhat Abbas Sétif 1	Président
BOUROUBA Nacerdine	Professeur	Univ. Ferhat Abbas Sétif 1	Directeur de thèse
BOUZIT Nacerdine	Professeur	Univ. Ferhat Abbas Sétif 1	Examineur
KHEDROUCHE Djamel	Professeur	Univ. M. Boudiaf M'sila	Examineur
KHOUNI Habib	M.C.A	Univ. Ferhat Abbas Sétif 1	Examineur

Laboratoire d'Instrumentation Scientifique "LIS"

Remerciements

Tout d'abord, je remercie le bon Dieu, tout-puissant, de m'avoir donné la force pour survivre et le courage pour dépasser toutes les difficultés, de m'avoir guidé vers cette aventure de doctorat, une expérience à la fois stimulante et enrichissante aux niveaux professionnel et personnel.

Je remercie ensuite mon encadreur Monsieur **BOUROUBA Nacerdine**, Professeur à l'université Ferhat Abbas Sétif 1, qui n'a ménagé aucun effort pour que ma thèse voit le jour et dont les conseils et encouragements m'ont été très utiles dans la préparation de ce travail.

Mes remerciements vont également à Monsieur **AMARDJIA Nouredine**, Professeur à l'Université Ferhat Abbas Sétif 1, de m'avoir fait l'honneur de présider le jury de cette thèse. Je remercie au même titre Monsieur **BOUZIT Nacerdine**, Professeur à l'Université Ferhat Abbas Sétif 1, Monsieur **KHEDROUCHE Djamel**, Professeur à l'Université Mohamed Boudiaf M'sila, et Monsieur **KOUNI Habib**, Maître de conférences classe A à l'Université Ferhat Abbas Sétif 1, qui m'ont fait l'honneur d'accepter d'être examinateurs et membres du jury de ce mémoire de thèse, et d'avoir bien voulu me faire profiter de leurs remarques constructives, ainsi que pour les enrichissantes observations faites dans leurs rapports.

Enfin, j'adresse un grand merci à toutes les personnes qui m'ont soutenu et encouragé durant tout mon parcours.

Dédicaces

À ma chère mère

À mon cher père

À mes chers frères et sœurs

À tous mes enseignants

À toute la famille

À tous mes amis

Résumé

Le travail présenté dans ce manuscrit porte sur l'application de nouvelles techniques employées dans le diagnostic des défauts présents dans les circuits analogiques intégrés. Plus précisément, il aborde la détection et la classification des défauts dans ce type de circuits susceptibles de tomber en panne et se dégrader pendant la durée de fonctionnement. Ces derniers quoiqu'ils représentent un quart de leur monde électronique en le comparant à leur contrepartie numérique, ils constituent l'élément clef de notre monde. Ces circuits sont de nature analogique et sont devenus alors de plus en plus nécessaires dans le monde de l'électronique. Cette nécessité est due à leur importance dans les domaines de la science et de la recherche à savoir la télécommunication, l'avionique, du biomédical...etc. Ce qui nécessite un diagnostic pointu dont l'objectif principal est de fournir un outil automatique et efficace qui permet la détection précoce des défauts pour en protéger les circuits, et en plus de les classier. Pour ce faire des classificateurs à base de l'intelligence artificielle ont été construits, tels que les classificateurs neuronal et Neuro-flou, ANFIS. En outre, le processus de diagnostic a été amélioré par l'introduction de ce classificateur précédé d'une approche de réduction de dimensionnalité appelée PCA. Ce dernier a été comparé à d'autres types de classificateurs et s'est remarqué par son efficacité et sa précision.

Mots clés : circuits analogiques ; détection des fautes ; classification des fautes ; classificateur neuro-floue ; réduction de dimensionnalité.

Abstract:

This manuscript deals with the application of new techniques used in the diagnosis of defects present in analog integrated circuits. This is the detection and classification of defects in this type of circuits that can fail and degrade during operation. The latter though they represent one quarter of their electronic world by comparing it to their digital counterpart they constitute the key element of our world which is of analog nature and then became increasingly necessary in the world of electronics. This necessity is due to their importance in all fields of science and research, namely telecommunications, avionics, biomedical...etc. This requires a sharp diagnosis whose main objective is to provide an automatic and effective tool that allows the early detection of defects to protect the circuits, and in addition to classifying them. Artificial intelligence-based classifiers have been built, such as neuronal and neuro-fuzzy classifiers, ANFIS. Finally, the diagnosis was improved by the introduction of this classifier preceded by a dimensionality reduction approach called PCA. The latter has been compared to other types of classifiers and has stood out from them for its efficiency and accuracy.

Keywords: analog circuits; fault detection; fault classification; neuro-fuzzy classifier; dimensionality reduction.

Sommaire

Remerciements

Résumé

Liste des Figures

Liste des Tableaux

Liste des acronymes

Introduction générale

Chapitre 1 : Les principes fondamentaux du test des circuits et systèmes intégrés

1.1 Introduction	6
1.2 Définition des principaux concepts de base du test.....	7
1.3 Le test dans le cycle de vie des circuits intégrés	8
1.4 Les défauts dans les circuits intégrés	10
1.4.1 Défauts d’erreurs de conception	10
1.4.2 Défauts de fabrication.....	11
1.5 Mécanisme de défaillance	13
1.5.1 Les défauts des semi-conducteurs	13
1.5.2 Les modes de défaillance des circuits intégrés bipolaires	16
1.5.3 Les modes de défaillances de l’état de la surface [35-36].....	19
1.5.4 Les défauts de canalisation	20
1.6 Effet des défauts sur les circuits numériques et analogiques	22
1.6.1 L’impact des défauts sur les circuits numériques.....	22
1.6.2 Effet des défauts sur les circuits analogiques	22
1.7 Test de circuits numériques.....	23
1.7.1 Test structurel de circuits numériques	23
1.7.1.1 Modèles de fautes	24
1.7.1.2 Simulation de fautes.....	24
1.7.1.3 Génération de vecteurs de test	25

1.7.1.4 La conception pour la testabilité(DFT).....	26
1.7.2 Test fonctionnel de circuits numériques.....	28
1.8.1 Test structurel de circuits analogiques et mixtes.....	30
1.8.1.1 Modèles de fautes.....	30
1.8.1.2 Simulation de fautes.....	31
1.8.1.3 Génération de vecteurs de test.....	31
1.8.2 Test fonctionnel de circuits analogiques et mixtes.....	32
1.9 L'importance du coût de test des circuits intégrés : la règle de dix.....	35
1.10 Conclusion.....	36
 Chapitre 2 : Diagnostique des circuits analogiques défectueux	
2.1 Introduction.....	37
2.2 Test et diagnostic.....	37
2.3 Complexité du test et du diagnostic des circuits analogiques.....	38
2.4 Tâches des systèmes de diagnostic des fautes.....	39
2.5 Méthodes de diagnostic des circuits analogiques défailants.....	39
2.5.1 Simulation avant test (SBT).....	40
2.5.1.1 Méthode basée sur des règles (Rule-based methode).....	41
2.5.1.2 Méthode de dictionnaire de fautes.....	42
2.5.2 Simulation après test (SAT).....	43
2.5.2.1 Méthodes d'identification des paramètres.....	43
2.5.2.2 Méthodes de vérification de défauts.....	44
2.5.2.3 Méthode de modèle comportemental.....	44
2.6 Méthodes d'extraction de caractéristiques pour le diagnostic des circuits analogiques.....	45
2.7 Génération de stimuli de test.....	45
2.8 Approches de localisation et de classification de fautes.....	47
2.8.1 Les réseaux de neurones artificiels (ANN, Artificial neural network) [93].....	47
2.8.2 Machine à vecteurs de support (SVM : Support Vector Machine).....	49

2.8.3 L'algorithme des K plus proches voisins (k -nearest neighbour, k -NN)	50
2.8.4 La logique floue.....	51
2.9 Conclusion.....	52

Chapitre 3 : Techniques de classification de défauts basés sur l'intelligence artificielle

3.1 Introduction	53
3.2 Méthodes de diagnostic des défauts basés sur l'intelligence artificielle	53
3.3 Etat de l'art sur les méthodes de détection et de classification basé sur AI.....	55
3.4 Introduction au réseau de neurones artificiels (ANN)	56
3.4.1 Neurone formel et réseaux de neurones	56
3.4.2 Réseau de neurones feedforward	58
3.4.3 Algorithme « error back propagation, BP »	60
3.4.4 Fonction de transfert/activation	61
3.4.5 Stratégies d'apprentissage des réseaux de neurones.....	62
3.4.6 Algorithmes d'apprentissage	64
3.4.7 Conditions d'arrêt de l'apprentissage [125]	65
3.5 La logique floue	66
3.5.1 Généralités sur la logique floue	66
3.5.2 Notion de sous-ensemble flou	66
3.5.3 Variable floue	67
3.5.4 Fonction d'appartenance	67
3.5.5 Base de règles floues	68
3.5.6 Système d'inférence floue	69
3.5.6.1 Fuzzification	69
3.5.6.2 Inférence floue	70
3.5.6.3 Défuzzification.....	71
3.5.7 Caractéristiques des systèmes d'inférences flous (SIF)	73
3.6 Les réseaux neuro-flous	73

3.6.1 Définition du système Neuro-Flou	74
3.6.2 Architecture des systèmes neuro-flous	75
3.7 Conclusion.....	80

Chapitre 4 : Détection et maximalisation des fautes des circuits analogiques par la logique floue

4.1 Introduction	81
4.2 Conception de la méthode de classification des fautes basées sur la logique floue.....	81
4.3 Description et simulation du circuit à tester	83
4.4 Construction du dictionnaire de fautes du circuit sou test	86
4.5 Description du Module d'inférence floue du logiciel MATLAB	89
4.6 Conception et implémentation du système d'inférence floue.....	90
4.7 Application du FIS pour la localisation des fautes au CUT	93
4.7.1 Fuzzification des variables d'entrées et de sorties.....	93
4.7.2 Édition de règles floues	96
4.7.3 Défuzzification	97
4.7.4 Exemples d'applications et résultats.....	98
4.8 Conclusion.....	102

Chapitre 5 : Classification des fautes des circuits analogiques à l'aide de la technique PCA-ANFIS

5.1 Introduction	104
5.2 Les concepts principaux des méthodes de détection et de classification proposées	104
5.2.1 Analyse en Composantes Principales	104
5.2.1.1 Fondement théorique de la méthode PCA	105
5.2.1.2 Choix du nombre ℓ de composantes principales	106
5.2.2 La méthode de regroupement de donnée : K-mean clustering	107
5.2.3 ANFIS.....	108
5.3 L'approche proposée de détection et de classification de fautes	109

5.4 Circuits sous test et résultats de simulation.....	112
5.4.1 Premier circuit sous test : le filtre passe bande de Sallen-Key	112
5.4.1.1 Résultats de simulations.....	114
5.4.1.2 Génération des entrées du classificateur pour le premier CUT	115
5.4.2 Deuxième circuit sous test : le filtre passe haut biquad à quatre opamp.....	116
5.4.2.1 Résultats de simulations.....	117
5.4.2.2 Génération des entrées du classificateur pour le deuxième CUT	118
5.5 Résultats et discussions	119
5.5.1 Résultats et discussions pour le premier circuit sous test.....	119
5.5.2 Résultats et discussions pour le deuxième circuit sous test.....	123
5.6 Conclusion.....	126

Conclusion générale et perspectives

Bibliographie

Liste des publications

Liste des Figures

Figure 1.1 Les étapes de fabrication d'un circuit intégré.....	8
Figure 1.2 Courbe en baignoire du taux de défaillance.....	9
Figure 1.3 a) Exemple de non-alignements des masques, b) Rondelle de silicium (wafer) avec cinq zones PCM qui contiennent les structures de test.	12
Figure 1.4 Electro-migration	14
Figure 1.5 Fissure dans les couches de passivation	14
Figure 1.6 Réalisation des liaisons	15
Figure 1.7 Exemple de corrosion d'aluminium.....	16
Figure 1.8 Attaque d'Aluminium par le Plomb (Pb) et le Chlorine	17
Figure 1.9 a) Le déplacement de l'oxyde le plus épais. b) Coupure d'aluminium qui dope l'oxyde de l'émetteur.....	17
Figure 1.10 Pont d'Aluminium reliant l'émetteur à la base d'un transistor.....	18
Figure 1.11 Exemple de verre craqué causé par hillocking d'aluminium.....	18
Figure 1.12 La coupure de verre à l'interface Aluminium-Nichrome	19
Figure 1.13 Trous de fixation dans l'oxyde thermique	20
Figure 1.14 L'augmentation de la diffusion phosphorique le long d'un cristal	21
Figure 1.15 Structure d'un filtre passif RL	23
Figure 1.16 Structure générale de la technique: (a) scan path, (b) auto-test intégré.....	28
Figure 1.17 Banc de test analogique	34
Figure 1.18 Banc de test basé sur un DSP.....	35
Figure 1.19 Coûts de détection des défauts	36
Figure 2.1 Description des approches SBT et SAT	40
Figure 2.2 Classification des différentes approches de diagnostic des fautes.....	40
Figure 2.3 Arbre de défaillance simple	41
Figure 2.4 Méthode de dictionnaire de fautes	43
Figure 2.5 Paramètres d'un signal sinusoïdal.....	47

Figure 2.6 Un ANN monocouche	48
Figure 2.7 Hyperplan à marge maximale utilisé dans SVM	49
Figure 2.8 Mappage spatial du SVM à l'aide de la fonction Kernel.....	50
Figure 2.9 La méthode k-NN dans un espace des mesures de diagnostique en deux dimensions	50
Figure 3.1 Organigramme de diagnostic de défauts basé sur l'intelligence artificielle	54
Figure 3.2 Neurone biologique et neurone formel	57
Figure 3.3 Structure d'un réseau de neurones	58
Figure 3.4 Structure des réseaux : (a) Réseau feedforward, (b) Réseau récurrent.....	58
Figure 3.5 Structure de Back-propagation	60
Figure 3.6 Apprentissage supervisé	63
Figure 3.7 Représentation floue de la variable linguistique «vitesse».....	67
Figure 3.8 Les formes des fonctions d'appartenance usuelles	68
Figure 3.9 Structure générale d'un système d'inférence flou	69
Figure 3.10 Composition Max-min de Mamdani pour deux entrées et deux règles	71
Figure 3.11 Défuzzification par centre de gravité.....	72
Figure 3.12 Défuzzification par la méthode de la moyenne des maxima.	72
Figure 3.13 Défuzzification par la méthode du plus grand maximum.....	72
Figure 3.14 Représentation d'un système neuro-flou	75
Figure 3.15 Exemple d'association en série d'un réseau de neurone et d'un système flou.....	76
Figure 3.16 Exemple d'association en parallèle d'un réseau de neurone et d'un système flou.....	76
Figure 3.17 Architecture d'ANFIS avec deux entrées, une sortie et deux règles.....	77
Figure 4.1 Organigramme des principales étapes de la méthode proposée	82
Figure 4. 2 La structure de base d'un système d'inférence floue.....	83
Figure 4.3 Circuit analogique sous test : filtre Sallen-Key passe bande	84
Figure 4.4 Schéma interne de l'amplificateur opérationnel $\mu A741$	84
Figure 4.5 Le signal d'excitation.....	85
Figure 4. 6 Le signal de sortie pour les cas : sans faute (FF) et avec faute (F58, F18, F33)	85

Figure 4.7 Outils de la boîte à outils flou (Fuzzy) de Matlab	90
Figure 4.8 Aperçu général du système flou proposé.....	91
Figure 4.9 Fenêtre principale de l'éditeur de logique floue.....	92
Figure 4.10 Système d'inférence floue « Mamdani » à trois entrées.....	92
Figure 4. 11 Processus de fuzzification.....	93
Figure 4.12 Fonctions d'appartenance de la composante continue (S0) relative à la faute R3 et ses variantes	94
Figure 4.13 Fonctions d'appartenance de taux de distorsion (THD) relative à la faute R3 et ses variantes	94
Figure 4.14 Fonctions d'appartenance de l'amplitude du fondamental (S1) relative à la faute R3 et ses variantes.....	95
Figure 4.15 Fonctions d'appartenance pour l'indice de faute 51	96
Figure 4.16 Les règles floues	97
Figure 4.17 Défuzzification avec la méthode centre de gravité pour l'ensemble flou issu de l'agrégation des conclusions.....	98
Figure 4.18 La sortie du FIS pour la faute F52	99
Figure 5.1 Taux de représentativité des composantes principales dans le modèle	105
Figure 5.2 Architecture du modèle ANFIS	108
Figure 5.3 La procédure de diagnostic basée sur PCA-ANFIS.....	109
Figure 5.4 Diagramme illustrant la méthode de diagnostic des défauts basée sur PCA-ANFIS	112
Figure 5.5 Schéma du filtre passe bande de Sallen-Key	113
Figure 5.6 Réponse de sortie des différents défauts paramétriques du circuit 1	114
Figure 5.7 Réponse temporelle du circuit sous test sans fautes	115
Figure 5.8 Filtre biquad passe haut à quatre amplificateurs opérationnels	116
Figure 5.9 Réponse de sortie des différents défauts paramétriques du circuit 2.....	117
Figure 5.10 Réponse temporelle du deuxième circuit sous test sans fautes par la méthode de Monté Carlo	118

Figure 5.11 Résultats de la classification PCA-ANFIS du filtre passe-bande de Sallen pour différents PCs	120
Figure 5.12 Somme cumulative de la variance contenue dans les composantes principales	121
Figure 5. 13 Résultats de classification PCA-ANFIS du filtre passe haut biquad à quatre opamp pour différents PCs.....	124
Figure 5.14 Somme cumulative de la variance contenue dans les composantes principales	124

Liste des Tableaux

Tableau 1.1 Les mécanismes de défaillance les plus communs dans les BiCMOS circuits	21
Tableau 3.1 Les fonctions d'activation	62
Tableau 3.2 Différent algorithmes d'apprentissage dans Neural Network Toolbox.....	65
Tableau 3.3 Comparaison entre la logique floue et les réseaux de neurones.....	74
Tableau 4.1 Le dictionnaire de fautes	86
Tableau 4.2 Les entrées et les sorties du FIS pour les cas de test F58(C1-40%), F18 (R3-40%), et F33 (R5+20%).....	99
Tableau 4.3 Les sorties FIS et leurs fautes correspondantes.....	100
Tableau 5.1 Valeurs nominales et altérées par fautes des composants du premier circuit sous test	114
Tableau 5.2 Les valeurs nominales et fautives des composants du deuxième circuit sous test ..	116
Tableau 5.3 Comparaison de la précision de classification pour le filtre passe bande de Sallen-Key entre la méthode proposée et d'autres méthodes.....	122
Tableau 5.4 Comparaison du nombre de caractéristique et de classificateur utilisés entre la méthode proposée et d'autre méthode pour le filtre passe bande Sallen-Key	122
Tableau 5.5 Comparaison de la précision de classification entre la méthode proposée et d'autres méthodes pour le filtre passe haut biquad à quatre opamp	125
Tableau 5.6 Comparaison du nombre de caractéristique et de classificateur utilisés entre la méthode proposée et d'autre méthode pour le filtre passe haut biquad à quatre opamp.....	125

Liste des acronymes

AC	Alternative Current
AI	Artificial Intelligence
ATE	Automatic Test Equipment
ATPG	Automatic Test Pattern Generation
ANFIS	Adaptive Neuro Fuzzy Inference System
ANN	Artificial Neural Network
AWG	Arbitrary Waveform Generator
BIST	Built In Self Test
BP	Back Propagation
CUT	Circuit Under Test
CMOS	Complementary Metal Oxide Semiconductor
CPV	Cumulative Percent Variance
DC	Direct Current
DFT	Design For Testability
DOT	Defect Oriented Test
DSP	Digital Signal Processing
DUT	Devise Under Test
EFSM	Extended Finite State Machine
ELM	Extreme Learning Machine
EPROM	Erasable Programmable Read-Only Memory
FAN	FANout-oriented Test Generation
FF	Fault Free
FFT	Fast Fourier Transform
FIS	Fuzzy Inference System
FL	Fuzzy Logic

FRFT	Fractional Fourier Transform
FSM	Finite State Machine
FWT	Fractional Wavelet Transform
HHT	Hilbert–Huang Transform
IC	Integrated Circuit
KMC	K-Means Clustering
k-NN	k-Nearest Neighbour
KPCA	Kernel Principal Component Analysis
LFSR	Linear Feedback Shift Register
LSE	Least Squares Estimate
MLP	Mmultilayer Perceptron
MOS	Metal Oxide Semiconductor
NF	Neural Fuzzy
PC	Principal Component
PCA	Principal Component Analysis
PCB	Printed Circuit Board
PCM	Process Control Monitoring
PODEM	Path-Oriented DEcision Making
RAM	Random Access Memory
RBF	Radial Basis Function
RMS	Root Mean Square
SAT	Simulation After Test
SBT	Simulation Before Test
SEM	Scanning Electron Microscope
SFG	Signal Flow Control
STFT	Short-Time Fourier Transform

SoC	System on Chip
SPICE	Simulation Program with Integrated Circuit Emphasis
SVDD	Support Vector Data Description
SVM	Support Vector Machine
TDDDB	Time Dependent Dielectric Break down
TDH	Total Harmonic Distortion
OpAmp	Operational Amplifier
VHSIC	Very High Speed Integrated Circuit
VVRKFA	Vector-Valued Regularized Kernel Ffunction Approximation
WT	Wavelet Transform
WVD	Winger-Ville Distribution

Introduction Générale

De nombreux nouveaux domaines sont devenus très importants dans la vie quotidienne récemment, tels que la télécommunication, le multimédia, les applications biomédicales, etc. Ces domaines nécessitent une utilisation intensive des circuits intégrés analogiques et mixtes. En raison de la complexité et de la réduction de taille de ces circuits, d'une part, et des ressources d'accès extrêmement limitées, d'autre part, la réalisation d'un test de leur bon fonctionnement est devenue extrêmement difficile. Le test et le diagnostic de ces circuits sont devenus un sujet crucial dans le domaine de la recherche, dans le but de répondre à une exigence critique de l'industrie électronique, de résoudre le problème de défaillance et d'améliorer la fiabilité des circuits intégrés [1].

Le test a enregistré une augmentation significative dans le domaine de l'électronique numérique, avec des résultats fructueux et un processus de vérification entièrement automatisé [2]. Malheureusement, malgré les efforts considérables des chercheurs et des groupes industriels, la partie analogique n'a connu que des avancées très modestes. Bien entendu, ces efforts ont fourni des indications clés sur "la méthode de détection des défauts" à différents niveaux d'abstraction de circuit (élémentaire, bloc fonctionnel, etc.). En raison de la grande variété de facteurs électriques qui caractérisent ce type de circuit, de nombreuses mesures de résolution doivent être mises en place pour surmonter les obstacles technologiques. Par conséquent, une approche systématique est nécessaire pour résoudre le problème du test et du diagnostic des circuits.

De nos jours, toutes les recherches se concentrent sur l'amélioration des méthodologies et des algorithmes afin de détecter plus efficacement les circuits analogiques défectueux. Dans ce domaine de recherche, le défi pour les concepteurs et les ingénieurs de test consiste à développer des méthodes de diagnostic plus performantes. En d'autres termes, malgré la complexité du circuit et les limites d'accès, il est devenu essentiel sur le plan économique d'établir des "modèles de défaillance universelle" précis à un coût abordable pour les circuits intégrés analogiques (IC) [3]. Cette nécessité de diagnostic de circuit analogique est en augmentation radicale en raison de son importance à la fois dans le processus de validation et l'évaluation des performances de conception et de test des circuits analogiques. Les types de défauts les plus courants à diagnostiquer dans ces circuits, ainsi que les plus traités sont divisés en deux catégories : le premier est le groupe de défauts catastrophiques, qui comprend des défauts qui détruisent complètement le circuit et le rendent inutilisable. Généralement, ce type de défaut provient de la fabrication, des défauts physiques et chimiques, de la présence inhabituelle de corps étrangers [4-5], et il est modélisé électriquement par des courts-circuits ou des circuits ouverts. Le deuxième ensemble de défauts, connu sous le nom de groupe de défauts

paramétriques, caractérise les erreurs de défaillance de circuit, d'imprécision et de dépassement de tolérance. Une modification de la valeur d'un composant électronique ou un écart par rapport à la valeur nominale entraîne ce genre de panne. En outre, le vieillissement du circuit, les erreurs de tolérances de fabrication ou les phénomènes parasites dans les circuits sont tous responsables de la variation de la valeur nominale du composant qui la fait sortir de la plage de tolérance. Selon leur quantité et leur fréquence d'apparition, ces problèmes se manifestent sous forme de défauts individuels et de défauts multiples. Cependant, en raison de la quantité considérable de travail nécessaire pour analyser tous les types de défauts, nous avons décidé de concentrer nos efforts sur les défauts individuels, en laissant le deuxième type de défaut pour des recherches futures.

Les techniques de diagnostic des circuits analogiques sont développées pour garantir la détection, l'isolation et l'identification des défauts présents dans les circuits intégrés. Dans ce but, les caractéristiques électriques de ces circuits sont évaluées. Les mesures de réponse correspondantes dans des conditions de circuit défectueux et sans défaut sont utilisées pour réaliser cette évaluation. En raison des difficultés rencontrées dans ce domaine de recherche, les chercheurs s'efforcent constamment de trouver des moyens de les contourner et de surmonter les obstacles tels que [6] : - L'absence de méthodes fiables et pratiques de modélisation des défaillances des circuits analogiques. - Les valeurs constantes des paramètres des composants analogiques. - Les problèmes de tolérance et de non-linéarité des composants. - Les limitations d'accès aux emplacements de test externes du circuit intégré.

La simulation après test (SAT) et la simulation avant test (SBT) sont les deux principaux types d'approches de diagnostic analogique [7]. En raison de leurs modèles de réseau linéarisés, la technique SAT se concentre sur l'identification des paramètres et la vérification des pannes. Son efficacité réside dans la détection des pannes mineures. Cependant, la faiblesse fondamentale de cette méthode est le problème d'identification des paramètres, qui réclame un temps de traitement important à cause de la complexité de la fonction du circuit et de l'impossibilité de tester tous les éléments du circuit liés à la difficulté d'accès au point d'essai [8]. Sur la base de la construction d'un dictionnaire de défauts, la méthode SBT est utilisée pour trouver un compromis entre les tests de couverture et de simulation. Il s'agit de mesurer la réponse correspondante dans des conditions exemptes de défauts en utilisant les paramètres du circuit. Ce dictionnaire de défauts, qui est simplement une table de recherche qui enregistre chaque cas défectueux et cas nominal à des fins de comparaison, nécessite beaucoup de ressources informatiques. L'objectif est de rendre le diagnostic aussi clair que possible en termes de détermination de la capacité de détection et de diagnostic des pannes.

Dans un certain nombre d'études rapportées dans différents travaux, différentes méthodes ont été orientées vers la détection et la classification des défauts et les efforts pour améliorer le diagnostic des défauts. En fait, l'optimisation de l'extraction des caractéristiques et l'application d'une classification correcte sont l'une des principales tâches du diagnostic des circuits analogiques. Certes, ceux-ci prendront en compte l'exigence d'un coût de calcul inférieur et d'une meilleure efficacité de diagnostic. Dans ce contexte, une méthode basée sur la Transformée Fractionnaire de Fourier (FRFT) a été implémentée par Song P. et al pour détecter des défauts [9]. Dans ce document de recherche, l'analyse en composantes principales du noyau (KPCA) est utilisée conjointement avec cette méthode pour réduire la taille des données et ainsi terminer le processus de classification des défauts à l'aide d'une machine à vecteur de support (SVM). La méthode de simulation donne de bons résultats de diagnostic et a de nombreuses applications. Kumar et Singh considèrent le gain en tension, ainsi que la fréquence et la phase à ce niveau du gain de réponse en fréquence du circuit analogique comme des caractéristiques pour formation du classificateur [10]. Dans une autre étude, le classificateur ANFIS (Multi-Layer Adaptive Fuzzy Neural Inference System) a été utilisé pour améliorer la précision du classificateur d'erreurs. Cette nouvelle méthode fonctionne avec la technique de sélection des caractéristiques pour diagnostiquer les erreurs de paramètre unique en fonction de la valeur d'écart des composants passifs de +/-50% par rapport à leur valeur nominale [11]. Cette méthode était basée sur les caractéristiques de fréquence et de temps. Une fois sélectionnées, celles-ci sont utilisées comme données d'entrée pour le classificateur. En général, pour des raisons de modélisation des défauts, l'extraction et la sélection de ces caractéristiques ont donné les meilleurs résultats pour les tâches de diagnostic des défauts dans ces deux domaines d'étude précités. Cependant, elles sont souvent confrontées à un traitement de signal complexe, tel que des limitations de classification liées à des paramètres de réseau inefficaces. Cela rend la conception du diagnostic de panne complexe et non extensible à d'autres circuits.

Dans [12], Guangquan. Z. et al proposent une nouvelle méthode de diagnostic de défaillance du circuit analogique basée sur Extreme Learning Machine (ELM). Dans cette technique, les signaux de réponse de sortie générés par le circuit à l'essai (CUT) sont utilisés directement comme signaux caractéristiques pour former le classificateur. La méthode a obtenu de bons résultats, mais l'énorme quantité de données fournies par le signal de réponse en temps brut pose des problèmes de dimensionnalité et de redondance des fonctionnalités au processus de classification. Par conséquent, l'application du modèle de classification à ce type de données sans prétraitement a réduit l'exactitude du classificateur. Plusieurs études antérieures [6, 10], [13-15] ont présenté différentes méthodes de classification des erreurs visant le même objectif que le nôtre. Il

s'agit d'obtenir un classificateur précis avec des caractéristiques d'efficacité et dont leur nombre doit être réduit. Dans le domaine fréquentiel, certaines méthodes ont été appliquées en utilisant différents paramètres comme caractéristiques de détection d'erreur, tandis que d'autres incluent l'analyse d'erreur dans le domaine temporel [12], [16-20]. Les différences résultant de ces méthodes de diagnostic de défaut résident dans les caractéristiques choisies soit dans le mode de fonctionnement du circuit, soit dans la nature du signal appliqué comme stimulus de propagation d'erreur, soit dans les techniques utilisées pour classer les erreurs. Sur ce point, on peut citer les techniques les plus récentes utilisées à cet effet qui fournissent une grande précision des résultats et sont basées sur un système d'inférence en logique floue [10], [15-16], ou des algorithmes de réseaux de neurones [12-13].

En raison des lacunes susmentionnées, la conception du système de diagnostic des défaillances pose de problèmes de réalisation et d'utilisation généralisée. Dans ce travail de recherche, nous présentons une méthode simple et efficace pour détecter et classer les défauts dans les circuits analogiques. Les travaux proposés sont fondés sur l'intégration d'algorithmes numériques tels que PCA et ANFIS, avec l'aide du regroupement des K-means. Le PCA est appliqué comme outil de processus d'extraction de caractéristique en raison de sa capacité de recherche et de fournir un petit nombre de caractéristiques pertinentes, et à sa forme de calcul simple ainsi. L'ANFIS, aidé par le regroupement des K-means, est alors impliqué comme élément de classification essentiel en raison de sa grande précision d'apprentissage et de son évolutivité. Dans cette étude, les signaux de sortie échantillonnés du CUT sont utilisés directement comme données de processus de formation après le traitement de l'analyse des composantes principales (PCA). Le regroupement K-means est introduit pour donner plus de disposition des données et d'optimisation des paramètres au processus ANFIS.

La nouvelle contribution de la recherche est de développer une méthode de diagnostic automatisée intelligente pour surmonter le défi de l'extraction et de la réduction manuelle des caractéristiques et atteindre une précision de classification élevée. Cette méthode est démontrée à l'aide de deux circuits électroniques bien connus, un filtre passe-bande Sallen-Key et un filtre passe-haut Biquad à quatre amplificateurs opérationnels, tous les deux fonctionnant en modes de vérification des erreurs structurelles et de paramètres et à différents niveaux de complexité.

La thèse est structurée en 5 chapitres avec une introduction, une conclusion et perspectives.

Dans le premier chapitre, les concepts de base des tests de circuits intégrés et de systèmes sont rappelés. Nous présentons les tests de cycle de vie des circuits intégrés ainsi que les défauts rencontrés sur ces circuits. Nous décrivons également dans ce chapitre la classification des tests et les différents types de tests, fonctionnel, structurel et alternatif, les différentes techniques de

modélisation et de simulation, les techniques de génération de vecteurs de test en font également partie.

La notion de diagnostic de défaut de circuit analogique est abordée dans le deuxième chapitre, où nous traitons en détails les différentes techniques utilisées pour le diagnostic de fautes des circuits analogiques et plus précisément la simulation avant test (SBT) et la simulation après test (SAT).

Dans le troisième chapitre, nous rappelons d'abord les fondamentaux des réseaux de neurones artificiels (ANN), de la logique floue, et les systèmes d'inférence neuro-flou adaptatif (ANFIS) précédé par une étude bibliographique de l'application de ces algorithmes dans le diagnostic de défauts.

Dans le chapitre 4, une méthode est proposée pour détecter les défaillances des composants dans les circuits intégrés analogiques et pour maximaliser le taux de couverture des erreurs. Ces techniques sont validées par des applications sur différents composants passifs du circuit testé pour différents types d'erreurs de paramètres.

Le chapitre 5 traite de la classification des fautes des circuits analogiques en utilisant des algorithmes d'intelligence artificielle. Les limites des méthodes existantes de détection et de classification des erreurs sont expliquées. Les éléments constitutifs d'un classificateur Neuro-flou sont présentés, ce dernier est proposé pour la détection et la classification d'erreurs dans les circuits analogiques. Le classificateur proposé est comparé à d'autres méthodes. La validation de ce classificateur est effectuée sur deux circuits de tailles et de structures différentes.

Au terme de cette thèse, une conclusion viendra compléter le travail effectué en précisant les points positifs de celui-ci, suivis de conseils et recommandations qui devront être pris en compte dans les travaux de recherche futurs. Cette conclusion est suivie de points de vue présentés comme une passerelle vers d'autres recherches à prévoir dans le futur.

Chapitre 1

**Les principes fondamentaux du test
des circuits et systèmes intégrés**

1.1 Introduction

Les progrès de la micro-électronique et de la technologie des semi-conducteurs a boosté l'insertion des appareils électroniques d'une façon majestueuse dans presque tous les aspects de la vie quotidienne. Il s'agit de produits allant des appareils utilisés quotidiennement, tels que les téléphones mobiles et les ordinateurs portables, à des équipements automatisés plus sophistiqués et complexes dans les secteurs de la santé, de l'automobile, de l'aéronautique et défense, etc.

L'élément principal de chaque appareil électronique est le circuit intégré (IC), qui est un appareil regroupant de nombreux composants électroniques tels que des transistors, des résistances et des condensateurs sur une seule puce. Les systèmes modernes incluent un nombre croissant de circuits intégrés. De plus, la tendance actuelle est aux dispositifs hétérogènes System on Chip (SoC), qui intègre divers circuits intégrés, tels que des processeurs analogiques, numériques, des mémoires, etc, sur un même substrat de silicium. Cela améliore les performances et la vitesse du système tout en réduisant la taille du système et la consommation d'énergie. Afin d'améliorer les performances et la compétitivité du marché, la complexité des conceptions de circuits intégrés et le nombre de circuits intégrés sur un SoC ont augmenté d'une façon vertigineuse.

Sur le plan fiabilité des dispositifs électroniques, il est constaté que la bonne performance des ces derniers revient au fait que la majorité des circuits intégrés sont généralement censés durer plusieurs années, cependant ceci n'a pas épargné les circuits intégrés à s'échapper à certaines déconvenues en raison de divers modes de défaillance. Les principales causes de ceux-ci sont les défauts induits au cours des différentes étapes du processus de fabrication, des imperfections produites lors de l'emballage, des variations de processus globales affectant des régions complètes ou partielles d'une plaquette de composants ou de circuits imprimés. Certaines anomalies lors de la production de ces dispositifs sont recensées à travers des variations locales du processus provoquant une inadaptation des composants, les défauts causés par le vieillissement des composants etc. L'apparition de nombreux mécanismes de défaillance, leur complexité et leur diversité ont entraîné des désagréments chez les producteurs de ce type de composants comme ils ont conduit à une rentabilité amoindrie. Il a été alors dans l'urgence de générer de techniques de test diversifiées afin de contrecarrer ses facteurs contre performants et d'améliorer la production de composants électroniques en terme de qualité-prix a travers la mise en existence de circuits intégrés (IC) robustes. De plus, il est également très important qu'après la détection d'une panne, d'identifier le mécanisme qui a causé la panne du IC. En conséquence, la nécessité de développer des méthodes automatisées pour leurs tests et diagnostics est devenu une question cruciale pour les chercheurs dans ce domaine.

Dans ce chapitre nous allons rappeler quelques définitions concernant le diagnostic. Ensuite, il s'en suit une description sommaire des différents types de défaillances qui peuvent affecter les circuits intégrés et en particulier celles qui touchent les circuits analogiques. Puis nous énonçons le principe du diagnostic des circuits intégrés et nous présentons une revue non exhaustive des méthodes appliquées au diagnostic.

1.2 Définition des principaux concepts de base du test

Avant de rentrer dans le vif du sujet du test et diagnostic des circuits électroniques, nous devons définir certains concepts fréquents dans ces domaines afin de mieux comprendre le processus qui y est impliqué ainsi de se familiariser avec les termes linguistiques qui s'y accommodent. A cette fin en vue d'établir une base commune pour le vocabulaire utilisé dans le diagnostic de circuits analogiques, il est d'abord nécessaire de dresser une liste de ces termes usuels et les définitions et concepts qui les accompagnent.

- Défaut : construction mal effectuée au niveau d'une des parties du circuit qui le rend défaillant.
- Défaillance ou panne: l'effet d'un défaut.
- Faute: la nature résultante de l'effet de défaut exprimé en terme d'une grandeur électrique ou autre. En électronique, elle peut être exprimée par circuit/composant conçu pour modéliser un défaut dans le but de simuler ce dernier.
- Erreur: résultat d'une faute produisant un fonctionnement anormal.
- Détection: c'est une procédure permettant de confirmer l'existence d'une faute dans un circuit.
- Localisation: c'est une tâche qui s'effectue une fois la faute est détectée. Elle permet de déterminer l'élément défectueux qui a causé la défaillance (ou la panne).
- Diagnostic: détermination de la cause produisant la faute (ou le dysfonctionnement du circuit).
- Stimulus: signal appliqué à l'entrée d'un circuit et servant à la manifestation de la faute à travers son effet à la sortie du circuit.
- Signature de faute: c'est une trace ou un effet caractéristique d'une faute résultant d'une défaillance.
- Points de test: les différentes connections ou nœuds/points d'accès d'un circuit à partir desquelles il est possible de brancher un instrument de mesure.
- Équipement Automatique de Test (ATE): ensemble intégré de logiciels et matériels utilisé pour réaliser la procédure de test.
- CUT (Circuit Under Test): Circuit Sous Test représentant le circuit soumis à la phase de test.
- Paramètres process: les paramètres liés au procédé de fabrication et la physique des composants.

- Paramètres du circuit: les paramètres liés soit à la géométrie du design (la longueur ou la largeur du canal d'un transistor CMOS) ou paramètres électriques (résistance, capacité, etc).
- Paramètres du design: appelés aussi les performances, ils représentent les paramètres permettant de décider si le CUT est fonctionnel ou non.
- Paramètres de test: appelés aussi critères de test, ils peuvent être une partie des paramètres du design ou bien d'autres paramètres pouvant aider à décider si le circuit passe le test ou non.
- Couverture de fautes: représente le rapport du nombre de fautes détectées sur le nombre de fautes global.

1.3 Le test dans le cycle de vie des circuits intégrés

Le but du test des circuits intégrés n'est pas unique. Il varie selon les différentes phases qui constituent le cycle de vie d'un circuit. La fabrication d'un circuit intégré (IC) passe par deux étapes principales: l'étape de conception ou de design et l'étape de fabrication ou de manufacturing (voir figure 1.1) [21]. Il en existe ainsi deux types de tests qui doivent être effectués et qui sont: le test de caractérisation et le test de production.

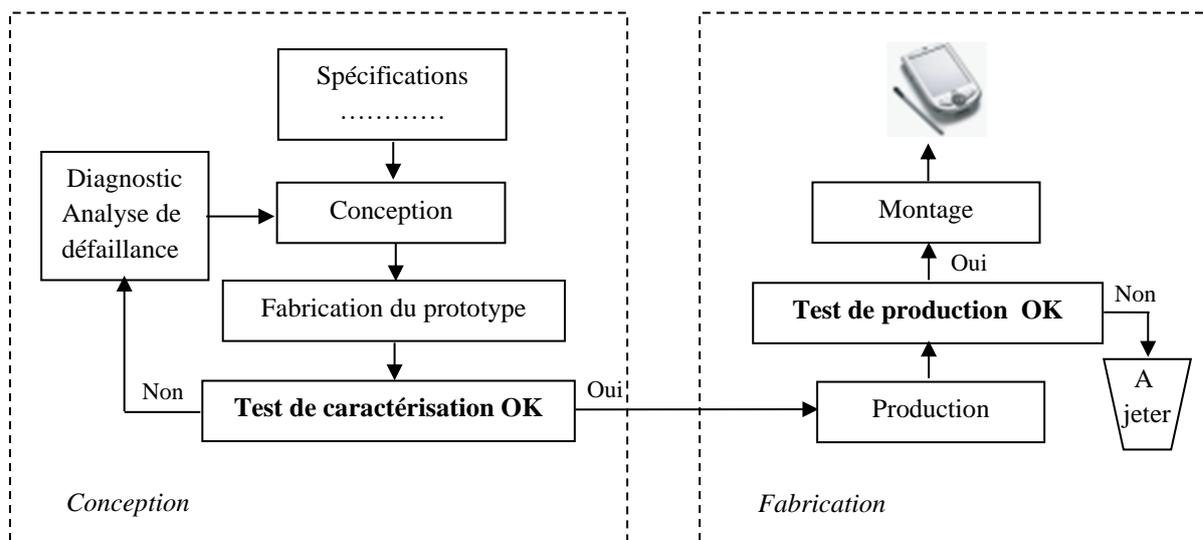


Figure 1.1 Les étapes de fabrication d'un circuit intégré

Les premiers prototypes du circuit, créés à l'issue de la phase de conception, subissent un test de caractérisation. Le but de ce test est d'assurer que la conception du circuit est précise et qu'il répond à toutes ses spécifications prédéterminées. Une fois la conception du circuit est confirmée, le circuit entre alors en phase de production, c'est-à-dire qu'il est fabriqué à plus ou moins grande échelle. Le test de production est relatif à la fabrication du circuit et son objectif est de s'assurer que celle-ci est correcte.

Le test de production consiste à détecter les défauts de fabrication des circuits et ainsi de distinguer les bons circuits des mauvais. La durée de vie des circuits ayant passé le test de production est très inégale: certains circuits deviennent défectueux rapidement (mortalité infantile et défaillances aléatoires) tandis que d'autres fonctionneront correctement pendant longtemps. En effet, la fiabilité des composants électroniques est décrite par une courbe en forme de « baignoire » [22], elle montre trois types de défauts différents, en fonction de la durée de l'opération (figure 1.2) :

- Période de défauts prématurés (défaillances précoces).
- Période de fonctionnement (défaillances aléatoires).
- Période de fin de vie (défaillances d'usure).

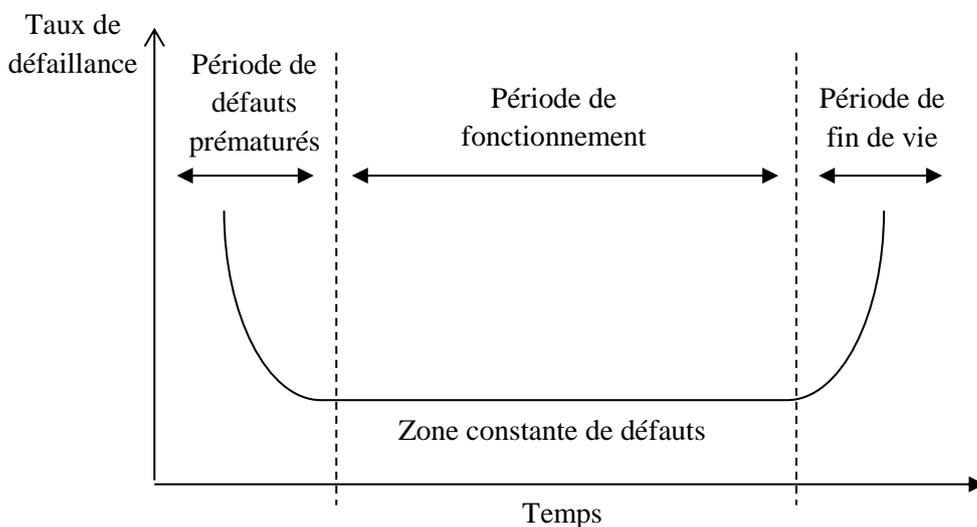


Figure 1.2 Courbe en baignoire du taux de défaillance

Lorsqu'il s'agit de tester des circuits, deux approches principales peuvent être utilisées à savoir l'approche structurelle et l'approche fonctionnelle. Ces deux techniques ont leurs propres caractéristiques et sont utilisées en fonction des exigences et des objectifs spécifiques du processus de test. Chaque approche est détaillée ci-dessous.

- Le test selon l'approche structurelle (test basé sur les fautes) : La méthode de test utilisée dans ce processus suit le principe du test en « boîte blanche », qui consiste à examiner un circuit dont la structure est connue. L'objectif de ce test est de s'assurer que le circuit fonctionne correctement en se basant sur sa structure. Tout écart entre la conception du circuit et sa mise en œuvre réelle est considéré comme un défaut. Pour effectuer le test, un ou plusieurs vecteurs de test sont créés pour identifier toute défaillance dans le circuit, c'est-à-dire l'effet d'un défaut visible au niveau des sorties primaires du circuit. Cette approche de test est connue sous le nom de Defect Oriented Testing (DOT) et repose sur l'utilisation d'algorithmes basés sur des modèles de fautes. Un modèle

de faute sert de représentation abstraite d'un défaut à différents niveaux d'abstraction (électrique, logique,...). La représentation abstraite d'un défaut doit modéliser avec précision le défaut physique tout en étant facile à mettre en œuvre pour générer des données de test. Lorsque nous aborderons le sujet des tests structurels pour les circuits numériques et les circuits analogiques/mixtes, nous explorerons divers modèles de fautes et leur rôle dans la génération de données de test.

- **Le test fonctionnel (test basé sur les spécifications)** : utilise le concept du test en « boîte noire » car la structure interne du circuit est inconnue. L'objectif principal de ce type de test est d'évaluer la fonctionnalité du circuit, c'est-à-dire son comportement et ses performances. Cela se fait en vérifiant que le circuit satisfait aux spécifications fonctionnelles (Specification based Test). Pour y parvenir, les paramètres fonctionnels du circuit sont mesurés en analysant ses réponses à des stimuli d'entrée donnés, obtenus par la couverture totale ou partielle des spécifications.

1.4 Les défauts dans les circuits intégrés

La majorité des défauts rencontrés dans les circuits intégrés proviennent de deux sources différentes, à savoir les erreurs de conception et les défauts de fabrication. Ces défauts peuvent entraîner un dysfonctionnement complet du circuit ou à des degrés moindres. Dans ce qui va suivre, nous essayons de définir ces deux sources de défauts.

1.4.1 Défauts d'erreurs de conception

En allant en crescendo, la complexité des circuits rend de plus en plus la tâche de test délicate et qui suit au même instant la conception afin de vérifier que celle-ci implémente bien les spécifications de haut niveau. Des validations à tous les niveaux de la conception (fonctionnel, comportemental et circuit) peuvent assurer cette vérification. Ces dernières sont en général faites par simulation voire même quelquefois par preuve formelle, et sont très consommatrices de temps [23]. Quoiqu'elles sont de plus inachevées car elles ne peuvent pas être exhaustives pour des raisons économiques (temps de simulation trop importants) mais aussi pour des raisons techniques (paramètres environnementaux trop importants). Ces erreurs de conception sont mises en évidence pendant la phase de caractérisation du produit avant fabrication: celle-ci est dite phase de test de prototype. Elles sont résolues par une conception adéquate appuyée par emploi d'instruments de précision indispensable pour s'assurer de la performance du circuit: il s'agit d'une opération de débogage de conception [24-26]. Cette opération est suivie d'une évaluation de la conception (design) par la mesure de cette performance sous des conditions spécifiques (dans le pire des cas) de températures de tensions...etc. Bien que parfois mises en évidence par des procédures de test,

ces erreurs ne constituent pas la cible et l'objectif des techniques et méthodes présentées dans nos travaux de recherche.

1.4.2 Défauts de fabrication

Indépendamment des qualités du processus de validation et du niveau de confiance placé dans la conception sur la base des spécifications, il convient de reconnaître que des défauts de fabrication peuvent survenir à tout moment au cours du processus de fabrication ou même après post- production. Ils doivent donc être pris en compte

- En essayant de les minimiser le plus possible par une amélioration du rendement de production,
- Lors de l'élaboration de techniques de test pour le circuit.

Certains de ces défauts peuvent avoir lieu sur toute la ligne ou chaîne de production de circuits. Ils sont appelés défauts globaux. Par contre d'autres défauts ne se produisent que sur de faibles zones de circuits: on les appelle les défauts locaux. Quant à leurs causes d'apparition sont dues à différents mécanismes qui contribuent à l'occurrence de ces défauts de fabrication et dont on relatera les plus importants dans les paragraphes qui suivront ce chapitre.

a) Défauts globaux

Des exemples typiques de défauts globaux sont le mauvais alignement de masques (figure 1.3a), le mauvais dimensionnement (largeur) des interconnexions ou encore des problèmes d'implantation affectant les paramètres des transistors (tension de seuil) [25,27]. Ces types de défauts sont en général détectés par monitoring de paramètres dans quelques emplacements de la tranche (rondelle) de silicium [28]. L'occurrence de défauts globaux dans une ligne de production peut s'avérer extrêmement coûteuse en particulier pour des lignes de fabrication à grand volume. Pour éviter ce genre de problèmes, la qualité du processus de fabrication est surveillée ("monitor"). Dans ce cas, la surveillance doit s'effectuer parfois par l'intermédiaire de modules de test spécialement conçus qui sont connus sous le terme PCM (pour "Process Control Monitoring"). Ces PCM contiennent des éléments ou des structures de base tels que les transistors, connexions de matériaux conducteurs ou encore chaîne de contacts et sont contenus au nombre de cinq par tranche (figure 1.3b). Ils sont repartis de telle façon à couvrir toute la surface et de la meilleure façon. Ils sont détruits une fois la découpe de la tranche est achevée.

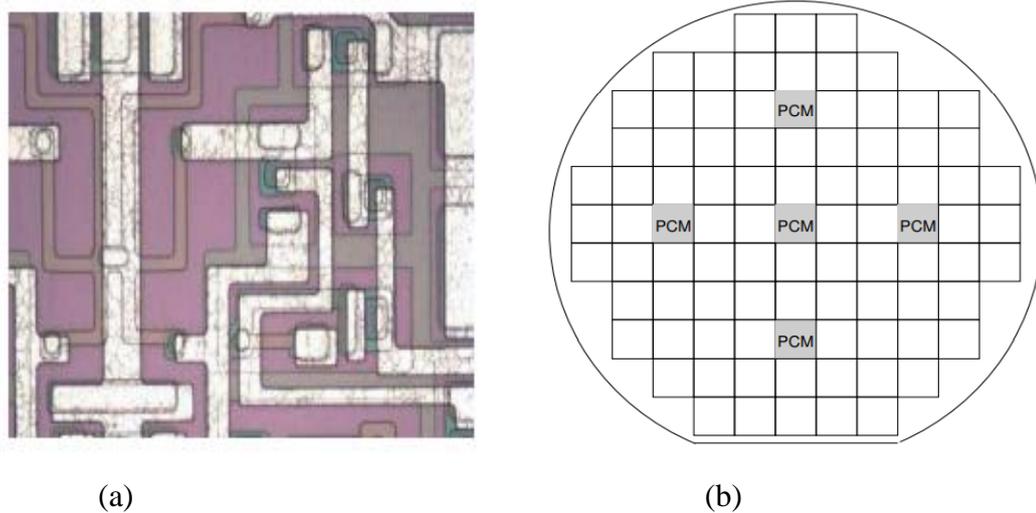


Figure 1.3 a) Exemple de non-alignements des masques, b) Rondelle de silicium (wafer) avec cinq zones PCM qui contiennent les structures de test.

b) Défauts locaux.

Les défauts locaux ont un impact limité et n'affectent que de faibles zones des circuits. Un exemple typique de ces anomalies est constitué par les particules de poussière. Ces défauts peuvent naturellement affectés plus d'un circuit sur la tranche. Chacun des circuits devra donc être testé pour s'assurer de son bon fonctionnement.

Lors de la production de circuits de haute qualité, certaines tranches contenant le moins de défauts possibles sont présentées au client avec une certaine spécification de la qualité précisée en terme de nombre de particules dont la taille dépasse un seuil donné. Ce nombre peut-être vérifié en utilisant des techniques d'inspection à laser ou des microscopes à balayage électronique (SEM, Scanning Electron Microscope). Si le nombre est supérieur à la valeur attendue, ceci est du soit au fournisseur qui n'a pas tenu ses engagements soit au processus de nettoyage en surface des tranches qui est insuffisant et il convient alors de l'améliorer. Dans le cas des technologies CMOS actuellement utilisées, il s'avère qu'une très large majorité des défauts locaux induits par le processus de fabrication sont des défauts d'oxyde de grille et des défauts dans les couches d'interconnexions. Afin d'effectuer un "monitoring" efficient de tels défauts deux approches sont envisageables [29]:

- Le monitoring en ligne: c'est une approche de test implémenté sous forme de module de surveillance externe ou interne (intégré) se substituant à l'opérateur humain. Il est d'un grand usage dans des circuits très complexes ou des systèmes mixtes et embarqués. L'objectif ciblé est de détecter les fautes opérationnelles dès qu'elles apparaissent en cours d'exploitation. Ce module exécute des taches de diagnostic qui à l'occurrence d'une défaillance commence par la détection

du défaut, sa localisation et se termine dans certains cas d'application critique par une auto-reconfiguration de la partie défectueuse permettant ainsi au système de poursuivre sa mission.

- Le monitoring hors ligne des défauts: cette opération consiste à éliminer de façon simple et efficace tout circuit défectueux dont les défauts sont révélés par l'application d'une séquence de détection. Il permet de déterminer les raisons d'un dysfonctionnement du circuit durant les phases de fabrication ou en sortie de la chaîne de production. Il peut être utilisé en complément au premier type de test puisqu'il permet de fournir des interprétations ou des explications aux anomalies ou aux disparités dévoilées par le premier type de test. L'action entreprise par le monitoring hors ligne est l'application des vecteurs de test aux entrées du circuit sous test et de comparer ses sorties observées à des données de référence pré-calculées par simulation.

1.5 Mécanisme de défaillance

Lorsque nous parlons de mécanismes de défaillance, nous abordons les différents processus physiques ou chimiques qui peuvent causer une défaillance d'un dispositif entraînant une panne ou d'un défaut de fonctionnement (hard fault) ou de défaut paramétrique (soft fault). Les mécanismes de défaillance peuvent être classés en ceux spécifiques aux semi-conducteurs, aux appareils et à ceux qui sont propres à l'environnement dans lequel l'appareil fonctionne.

1.5.1 Les défauts des semi-conducteurs

On rencontre le plus souvent des circuits électroniques analogiques tels que les diodes, les transistors, les circuits qui tombent en panne même si apparemment ces composants n'ont subi aucune usure. Cela est dû à plusieurs mécanismes qui se manifestent au niveau de leur structure interne, tels que :

- **Claquage de couches isolantes (Oxyde break down):** Ce mécanisme de dégradation se manifeste au fur et à mesure que le taux d'intégration de composant croît considérablement. Ce problème est très fréquent chez les circuits de technologie CMOS. Il est observé que les couches isolantes des semi-conducteurs deviennent de plus en plus minces, et finissent par se détériorer avec le temps même si elles ne sont pas soumises à une tension de claquage (Time Dependent Dielectric Break down, TDDB). L'effet de cette défaillance comme le précise certains travaux de recherche [30] est traduit par des décalages de valeurs des niveaux haut et bas de tension (des erreurs de bit) pour des circuits de cette même technologie.
- **Electro-migration:** Dans les pistes conductrices très minces, des ions métalliques lorsque la densité de courant est suffisamment élevée peuvent se déplacer en formant comme le montre la

figure 1.4 des vides (voids) ou des tertres (hillocks) qui peuvent provoquer des courts circuits, des circuits ouverts ou une transformation du matériau le rendant beaucoup plus résistif.

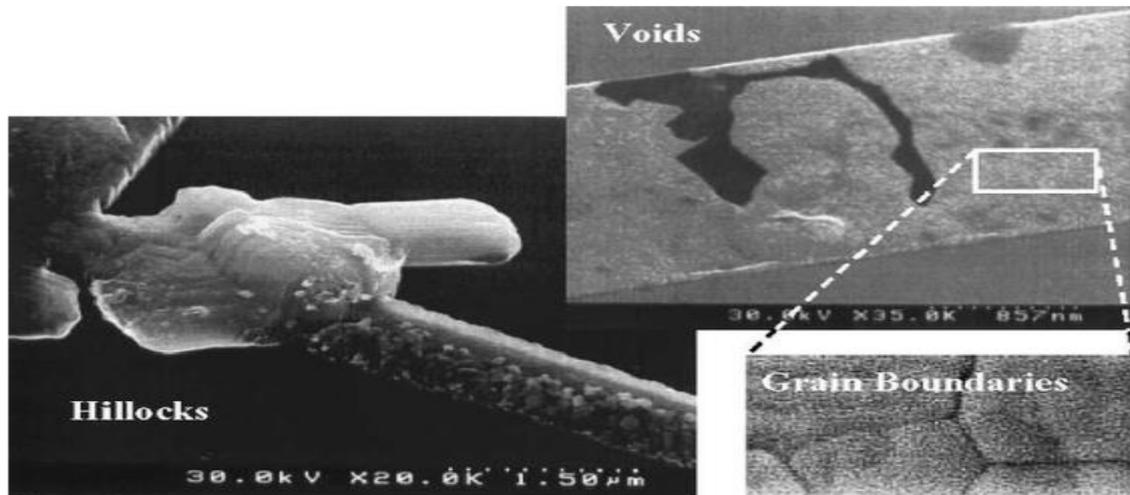


Figure 1.4 Electro-migration

- **Craquelure dans les couches de passivation ou les couches métallisées:** ces effets apparaissent au niveau des boîtiers en matière plastique. Ces derniers présentent une inertie thermique tellement plus forte que celle du Silicium, que les contraintes risquent de conduire à des craquelures ou crevasse au niveau des couches de protection et d'entraîner la fragmentation des pistes conductrices en Aluminium (figure 1.5), et/ou de permettre dans certains cas l'attaque chimique de ce métal par la présence de résidu.

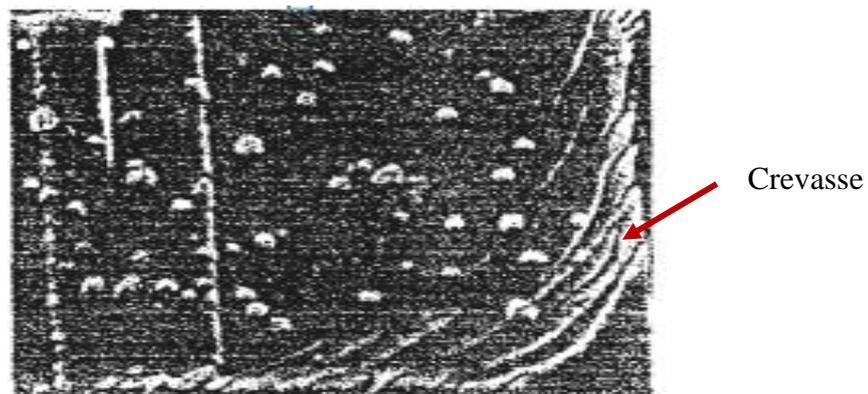


Figure 1.5 Fissure dans les couches de passivation

- **Cassure des fils de liaison:** dans un circuit intégré, la puce proprement dite est reliée aux broches par un fil fin en Or ou en Aluminium, collé sur une plage métallisée. Les fils comme les collures sont sujettes à rupture ou aux fissures par suite de différents mécanismes de défaillance, voir figure 1.6.

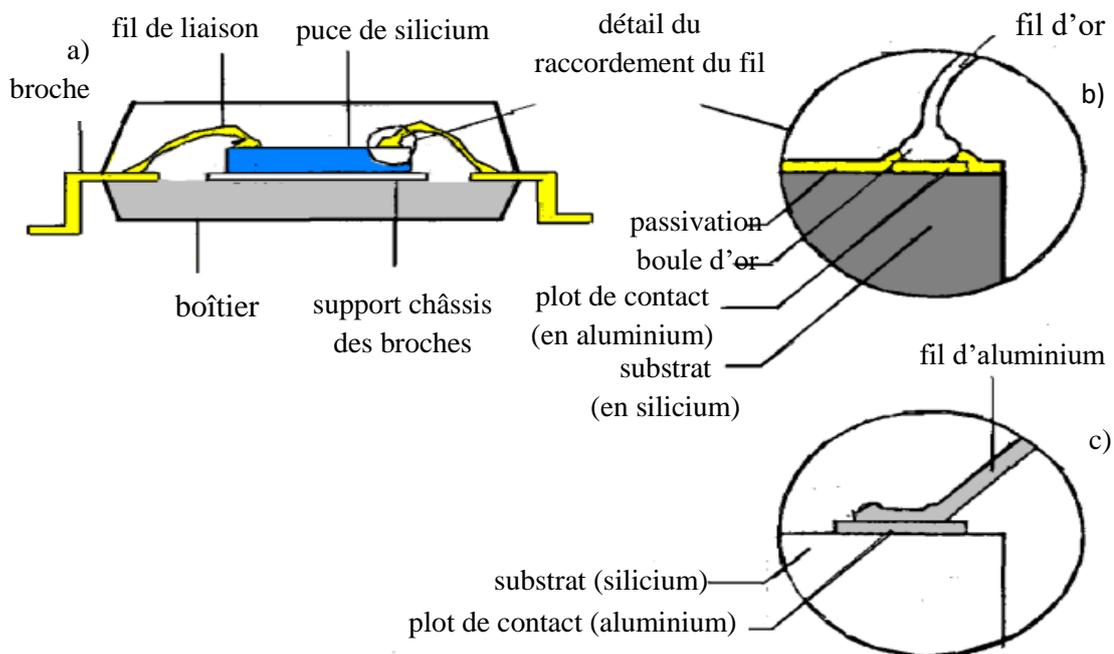


Figure 1.6 Réalisation des liaisons

- a) coupe des circuits en capsulés
- b) détail de liaison par fils d'or
- c) Aspect d'une liaison en fil d'aluminium collé aux ultrasons

- **Injection de porteurs chauds (Hot carrier injection):** Dans les semi conducteurs, les porteurs de charges sont accélérés par les champs électriques. L'énergie produite risque d'être suffisante pour traverser les couches isolantes en structures MOS. Ce mécanisme de défaillance provoque souvent des défauts de fonctionnement intermittents.

- **Effet thyristor (latch-up):** Ce mécanisme de défaillance se produit dans les circuits CMOS. Si la tension appliquée à une broche est supérieure à la tension d'alimentation (V_{cc}) ou inférieure à celle de la masse (V_{dd}), le thyristor parasite que constitue la structure P-N-P entre V_{cc} et la masse risque de s'amorcer.

- **Corrosion par l'humidité:** Les boîtiers en matière plastique sont particulièrement perméables à l'humidité. Il a été confirmé dans pas mal d'étude sur les mécanismes de défaillance que le taux d'humidité est un facteur grave quant à la défaillance liée au collage par adhésion [31-32]. En cas de fonctionnement dans les conditions d'humidité extrême, les plages métalliques en Aluminium risquent de se corroder, ce qui altérera les propriétés du circuit, si cela ne provoque pas une panne franche.

1.5.2 Les modes de défaillance des circuits intégrés bipolaires

La plus part des modes de défaillance se produisent dans la technologie des circuits intégrés (IC). Contrairement aux circuits de la famille MOS, les IC bipolaires, dissipent plus d'énergie et plus de courant à travers les interconnexions d'aluminium. Donc, ils sont considérés comme des circuits très susceptibles à la densité de courant et l'effet des échauffements locaux. Ces modes de défaillance provoquent son mauvais fonctionnement suite à la manifestation des défauts particuliers.

A travers les sections qui suivent, on essaie de présenter quelques modes de défaillance les plus rencontrées dans cette frange de IC Bipolaires dues aux interconnexions d'Aluminium, des couches minces en Nichrome ou de l'état de la surface des couches implantées.

a) Les modes de défaillances des interconnexions en Aluminium

- **La corrosion:** L'aluminium est susceptible à l'attaque par plusieurs produits contaminants. Dans la figure 1.7 l'aluminium s'oxyde et à cause d'un excès d'humidité pénétrant dans le circuit suite aux conditions ambiantes non contrôlées lors de l'encapsulation, l'aluminium se corrode et forme un composé non-conducteur Al_2O_3 , entraînant un circuit ouvert. Cette annulation d'aluminium peut être provoquée par l'acide phosphorique résidu utilisé lors de la gravure, pour le traçage des interconnexions ce qui donne aussi comme résultat un circuit ouvert. D'après certains travaux de recherches [33], les éléments contaminants les plus importants sont à base d'oxygène, de phosphore, de chlore, de potassium etc. Leur présence constituent une pollution chimique lors du procédé de fabrication et endommage les interconnexions en aluminium. La figure 1.8 montre une attaque d'aluminium par la présence du plomb et de chlore.

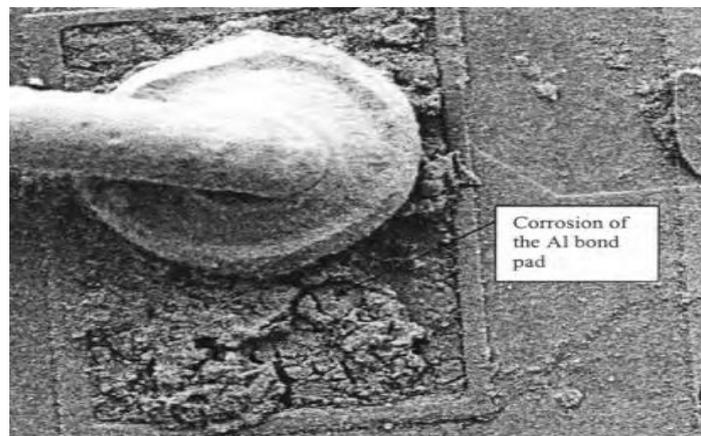


Figure 1.7 Exemple de corrosion d'aluminium



Figure 1.8 Attaque d'Aluminium par le Plomb (Ph) et le Chlorine

- **La micro craquelure de l'Aluminium:** L'aluminium peut être exposé aux ouvertures hasardeuses de façon discontinue. Celles-ci sont usuellement fonction de la température ambiante. L'amincissement du métal causé par l'ombrage durant la dépôt, la sur-macération ou la sur-gravure de l'oxyde de silicium peuvent causer des micro craquelures au point de l'amincissement (voir figures 1.9a et 1.9b). Ces craquelures agissent comme sources de fissures et diminuent en conséquence la résistance du métal vis-à-vis de la fatigue. Dans certains travaux de recherche [34] ce genre de micro cracks conduit à une haute résistance comme mode de défaillance.

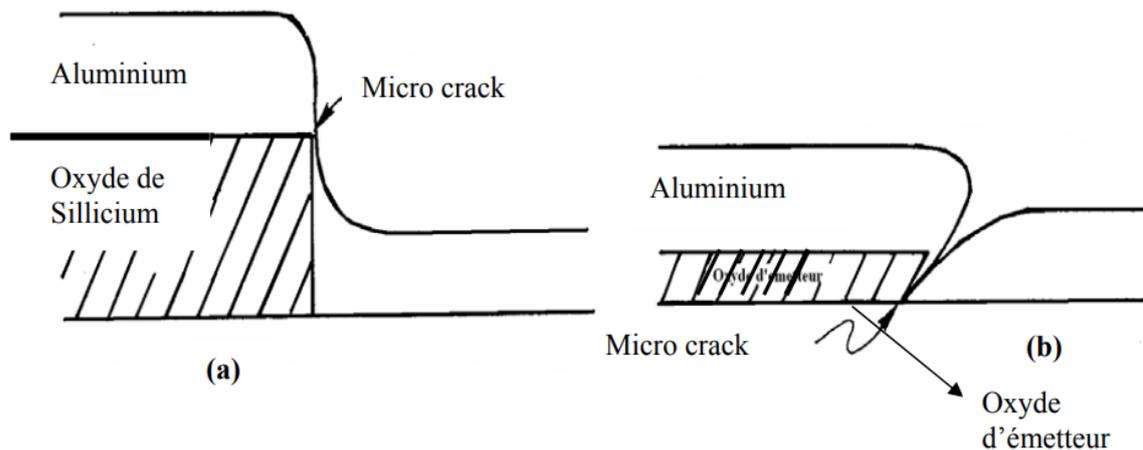


Figure 1. 9 a) Le déplacement de l'oxyde le plus épais. b) Coupure d'aluminium qui dope l'oxyde de l'émetteur

- **Pont d'Aluminium:** Ce type de défaut présenté en figure 1.10, provoque le court-circuit métal-métal est dû à une gravure inadéquate des espaces entre les lignes de métal. Cette anomalie n'est pas créée durant le test accentué mais plutôt c'est un échappement au test électrique.

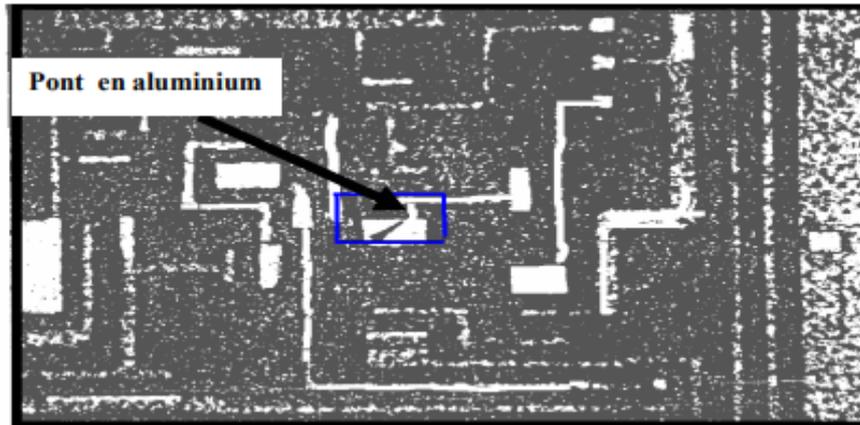


Figure 1. 10 Pont d'Aluminium reliant l'émetteur à la base d'un transistor

- **Les interconnexions multicouches d'Aluminium:** plusieurs couches d'Aluminium séparées par un diélectrique sont sujettes aux modes susmentionnés avec certaines différences. Les problèmes surviennent avec la mise à jour d'une bonne isolation ou un bon contact électrique entre les couches du métal. Les vias ou les trous gravés pour prévoir les connexions entre les couches de métal peuvent être une source de défaillance. Si ces vias sont sous gravés ou que le Al_2O_3 est présent sur la première couche du métal, alors il en résulte un contact hautement résistif entre les couches de métal qui peut se dégrader avec le temps. Si au contraire les vias sont surgravés, la couverture du métal peut résulter en micro craquelures. Ensuite, si l'intégralité du diélectrique isolant est ratée, alors un contact inter métal non désiré peut résulter. Ceci parvient lors d'une crevasse générale du verre qui peut être thermiquement ou mécaniquement induite par les débordements d'Aluminium. La figure 1.11, donne un exemple de crevasse de type débordement ou excroissance «hillocking» de l'aluminium.

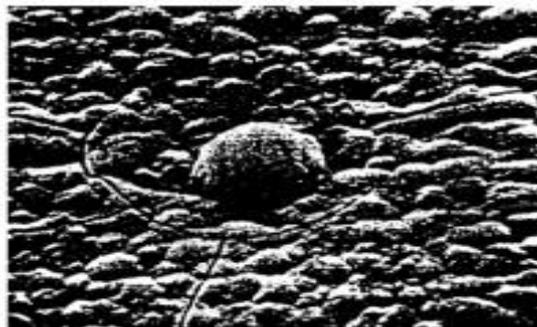


Figure 1.11 Exemple de verre craqué causé par hillocking d'aluminium

b) Les modes de défaillance des couches minces en Nichrome.

Le Nichrome est un matériau prédominant des couches minces qui résiste dans les circuits intégrés monolithiques. Il est principalement utilisé pour les applications à haute radiation «radiation-hardened application» ou comme un élément fusible dans une EPROM (Erasable Programmable Read-Only Memory signifiant mémoire morte reprogrammable).

Dans les sections qui vont suivre, l'étude sera consacrée seulement à quelques modes de défaillance qui sont associés avec les éléments du nichrome, on peut citer:

- **L'oxydation du Nichrome:** comme le montre la figure 1.12 si le dessus du verre ne couvre pas l'interface Aluminium-Nichrome et si une quantité d'oxygène est présente à l'encapsulation alors la résistance s'oxyde et un court-circuit résulte. Un recuit à haute température pendant plusieurs jours, suivi d'un test fonctionnel détectera cet effet.

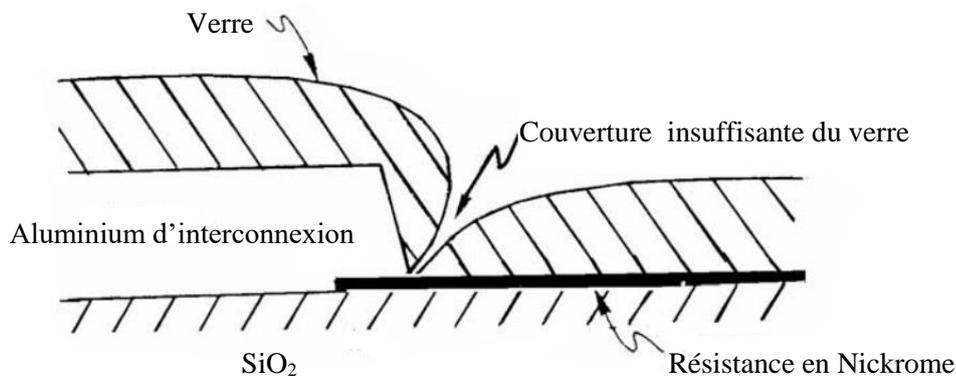


Figure 1. 12 La coupure de verre à l'interface Aluminium-Nichrome

- **Annulation du Nichrome:** la présence d'une humidité suffisante dans un circuit intégré et si l'intégrité du verre est pauvre à cause des trous ou fissures, une attaque électrochimique du Nichrome peut apparaître introduisant ainsi un circuit ouvert. L'humidité doit se condenser sur la surface et une tension de 2V doit être appliquée à travers la résistance pour que cet effet apparaisse.

1.5.3 Les modes de défaillances de l'état de la surface [35-36]

Les circuits bipolaires sont les parties les plus sensibles aux problèmes de l'état de surface que les parties MOS. Il a été établi que si le bioxyde du silicium thermique se casse (sous les conditions : la tension de 15V pour 1500°A d'épaisseur et la force du champ de 0 à 106V/cm), la cause peut être attribuée par des trous de fixation (pinholes). Ceux-ci sont créés par les défauts ou la poussière sur les masques, qui sont exposés improprement par la technique de gravure. L'oxyde thermique sert comme un isolant électrique entre le métal d'interconnexion (Aluminium) et le silicium au dessous du métal, et l'amincissement de l'oxyde peut produire un court-circuit entre

les deux. Les oxydes les plus minces comme par exemple oxyde de l'émetteur quelquefois utilisé pour former des chemins de croisement sur le métal, sont les plus susceptibles.

Cet événement est représenté en figure 1.13, où l'Aluminium est court-circuité au silicium à travers une rupture du diélectrique au trou de fixation. Le résultat qui en suit est un contact au silicium que nous pouvons le considérer comme une résistance ohmique.

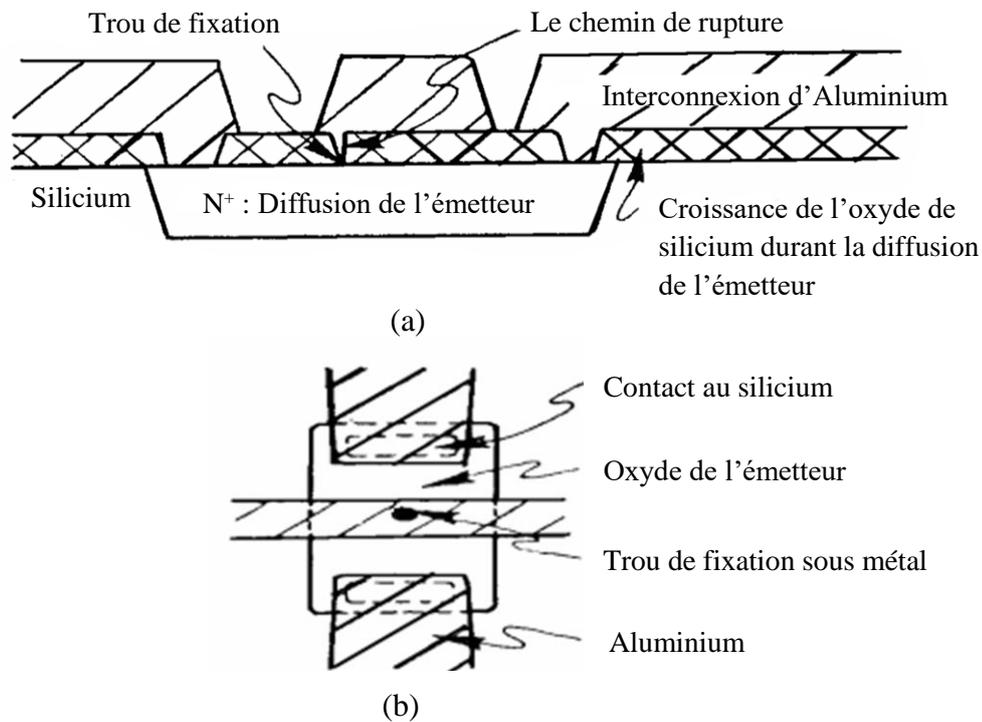


Figure 1.13 Trous de fixation dans l'oxyde thermique

- a) coupe transversale des différents chemins d'interconnexion avec présence de trou de fixation.
- b) vue de surface du dessous de chemins de croisement

1.5.4 Les défauts de canalisation

En plus des modes de défaillances cités, il y a des défauts très importants qui pourraient présenter une application bizarre, et qui est la cause des problèmes de fiabilité. Ces défauts sont ceux de canalisation causés par la coupure des chemins, créés par l'augmentation de diffusion à travers l'imperfection du cristal, produits pendant la préparation des couches minces. Si la partie est dopée en Or, alors la diffusion de celui-ci n'est pas à l'abri des imperfections, bien que celles-ci soient prédominantes en diffusion de phosphore. Le mode de défaillance prééminent qui en dérive est le court-circuit de collecteur à émetteur comme le montre la figure 1.14. Le résultat est une résistance de quelques centaines d'ohms à quelques méga ohms.

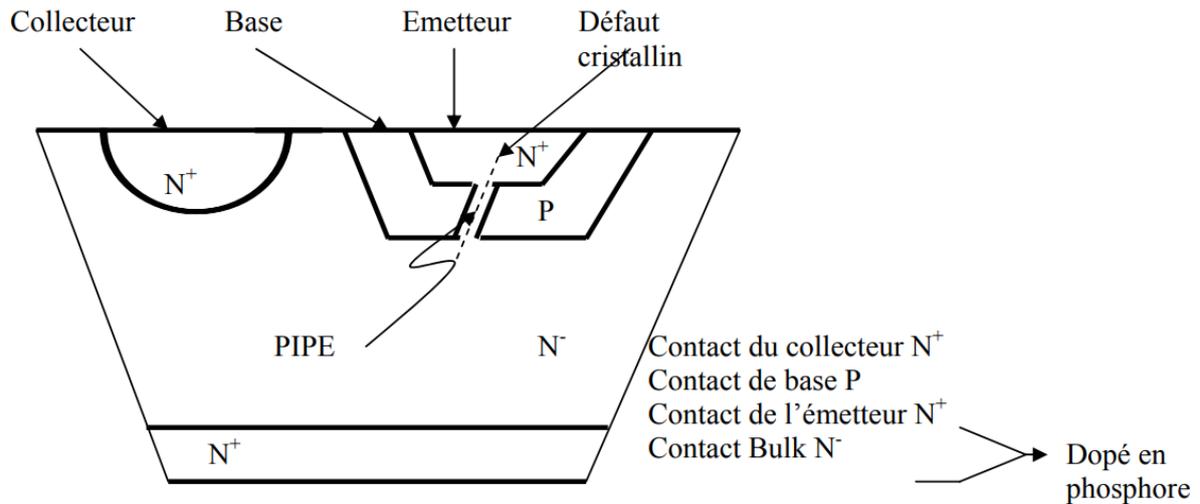


Figure 1.14 L'augmentation de la diffusion phosphorique le long d'un cristal

En résumé, nous pouvons dire que les défauts les plus fréquents chez les circuits bipolaires ou CMOS sont dues à différentes causes dont certaines sont attribuées aux problèmes de fabrications alors que d'autres sont considérés comme défauts de mécanismes [23,35], [37-39] et dont les principaux sont donnés au tableau 1.1

Tableau 1.1 Les mécanismes de défaillance les plus communs dans les BiCMOS circuits

Mécanisme de défaillance	Mode de Défaillance	Zone affectées
Décharge électrostatique	Court circuits, circuit ouverts	Interconnexions, MOS, Bipolar
Claquage de l'oxyde de grille	Courant de fuite, Court circuits	MOS
Effet de porteurs chauds	Décalage de la tension de seuil, Réduction du gain en courant	MOS, Bipolaire
Contamination ionique	Décalage de la tension de seuil, Réduction du gain en courant	MOS, Bipolaire
Electro-migration	Court circuits, Circuit ouverts	Interconnexions
Contact migration	Court circuits, Circuit ouverts	Contacts
Corrosion	Circuit ouverts	Interconnexions
Défauts spot	Court circuits, Circuit ouverts	Interconnexions, MOS, Bipolar
Latchup	Court circuits	CMOS
Radiation	défaut paramétrique (Soft errors)	Mémoires
Diaphonie	Intégrité du signal	Interconnexions

Nous rappelons que les effets électriques qu'entraînent ces défaillances sont appelés modes de défaillance. Comme le montre ce tableau ci dessus, les courts circuits et les circuits ouverts sont les modes de défaillance les plus dominants. Leur simulation est effectuée par emploi de modèle de faute qui permettent de représenter de façon plus ou moins précise le comportement électrique de ces modes de défaillances et que nous allons traiter les plus en vu dans les sections à venir.

1.6 Effet des défauts sur les circuits numériques et analogiques

Un défaut survenant sur un composant d'un circuit provoque deux types de défaillances : catastrophique ou paramétrique. Une défaillance catastrophique correspond à une destruction ou un comportement incontrôlable du composant alors qu'une défaillance paramétrique va dégrader son fonctionnement. Il est important de comprendre que l'impact des défauts varie considérablement selon le type de circuit [40]. Dans les sections suivantes, nous présentons l'effet des défauts sur les circuits numériques et analogiques.

1.6.1 L'impact des défauts sur les circuits numériques

Les circuits numériques ne sont pas sensibles aux erreurs d'appariement (mismatch error). Cela est dû au fait que le circuit est constitués de transistors qui fonctionnant en mode de commutation, c'est-à-dire qu'ils sont soit bloqués, soit saturés, représentant des niveaux logiques de 1 ou 0. Cela signifie que de petites variations affectant les caractéristiques des transistors physiquement proches d'un composant ne modifient pas la fonction logique du circuit. Ce n'est cependant pas le cas des défauts globaux ou ceux dus à l'environnement de fabrication qui sont aléatoires. Pour mettre en illustration cela, considérons un défaut environnemental où une particule de poussière se dépose sur un transistor MOS lors du dépôt de polysilicium. Si la particule ouvre complètement la grille d'un transistor MOS, cette dernière sera détruite et s'en suivra alors une défaillance catastrophique. Dans le cas d'un recouvrement partiel ou moins partiel, une partie de la grille existe. Il s'en suit alors une défaillance paramétrique correspondant à un fonctionnement amoindri.

1.6.2 Effet des défauts sur les circuits analogiques

Les circuits analogiques, tout comme les circuits numériques, peuvent être affectés par des défauts globaux ainsi que ceux dus à l'environnement de fabrication. Cependant, contrairement aux circuits numériques, les circuits analogiques sont particulièrement très sensibles aux erreurs d'appariement. En effet, les circuits analogiques sont conçus pour remplir des fonctions spécifiques caractérisées par un ensemble de paramètres et il existe des relations de dépendance entre ses paramètres et les valeurs des ses composants. De ce fait, même une légère variation de la valeur

d'un composant par rapport à sa valeur nominale modifie un (ou plusieurs) paramètre du circuit. Illustrons ceci en considérant le filtre analogique RL du premier ordre montré en figure 1.15 :

- la fréquence de coupure F_0 du filtre est un de ses paramètres et dont il est exprimé par la relation :

$$F_0 = \frac{R}{2\pi L} \quad 1.1$$

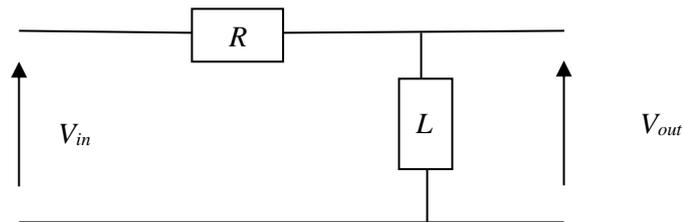


Figure 1.15 Structure d'un filtre passive RL

On peut facilement observer que s'il y a une erreur d'appariement modifiant les valeurs nominales respectives de la résistance R et de l'inductance L va avoir pour conséquence la modification de la fréquence de coupure du filtre F_0 (défaillance paramétrique).

De manière générale, les erreurs d'appariement limitent les performances des circuits analogiques et contribuent fortement à rendre le test de circuits analogiques et mixtes difficile.

1.7 Test de circuits numériques

Dans cette section, nous aborderons les principales méthodes de test utilisées pour les circuits numériques. Plus précisément, nous nous concentrant sur l'approche de test structurel et fonctionnel.

1.7.1 Test structurel de circuits numériques

Dans la section 1.3, nous avons précédemment discuté du test structurel en tant que test orienté défaut et introduit le concept de modèle de faute. Dans cette section, nous présentons un aperçu des principaux modèles de fautes couramment utilisés pour les circuits numériques intégrés. De plus, nous approfondirons le sujet de la simulation de fautes et explorerons la génération automatique de vecteurs de test dans ce qui va suivre. Enfin, nous présentons les techniques de conception en vue d'une meilleure testabilité.

1.7.1.1 Modèles de fautes

Le modèle de collage simple (single stuck-at line model) est le premier modèle de faute largement utilisé dans diverses études [41]. Dans ce modèle, on considère les collages permanents à 0 ou à 1 sur les différentes lignes du circuit décrit sous forme de portes logiques interconnectées. Un collage consiste à couper virtuellement une ligne et appliquer un signal constant qui peut prendre les valeurs logiques 0 ou 1. Ce modèle a été et reste largement utilisé, principalement parce qu'il permet de représenter de nombreux défauts et qu'il est indépendant de la technologie. Une extension de ce modèle est le modèle de collage multiple [55] dans lequel plusieurs lignes peuvent être collées simultanément à 0 ou à 1.

Le modèle de court-circuit (bridging fault) [42] a été introduit dans le but de modéliser des défauts qui n'étaient pas pris en compte dans les modèles précédents. Ce modèle particulier prend en compte le cas où plusieurs lignes du circuit sont en contact (entraînant un court-circuit).

Les modèles de fautes décrits précédemment ne permettent pas de représenter des défauts affectant une technologie particulière, par exemple, comme se fut le cas des défauts spécifiques affectant les transistors utilisés dans la technologie CMOS [43]. Ainsi, afin de représenter ces défauts, de nouveaux modèles de défauts ont été introduits [44], à savoir le transistor collé à état ouvert (stuck-off), transistor collé à un état passant (stuck-on), court-circuit (short circuit) et circuit ouvert (open circuit).

Plus récemment, toujours pour la technologie CMOS, de nouveaux modèles plus réalistes ont été proposés, comme par exemple les courts-circuits résistifs [45] : des études ont montré qu'un court-circuit entre lignes possède une résistance intrinsèque [46] qui est négligée par le modèle de court-circuit classique décrit plus haut.

Pour conclure cet aperçu concis des modèles de fautes, nous abordons maintenant le concept des fautes de délais qui modélisent les défauts temporels. Un défaut temporel sur un circuit altère les délais de propagation (retards) dans celui-ci. Il en résulte que certaines valeurs logiques subissent des retards en différents points du circuit. Cela provoque dans le meilleur des cas un résultat bon hors délai et dans le cas le moins favorable un résultat faux. Une très bonne synthèse des différents modèles de fautes de délais est effectuée dans [47].

1.7.1.2 Simulation de fautes

L'objectif de la simulation de fautes est de déterminer l'ensemble des fautes détectées par un vecteur d'entrée donné pour un circuit. Ce type de simulation consiste, pour un vecteur d'entrée donné et une liste de fautes (préétablie ou déduite de la structure du circuit), à classer chacune des fautes comme détectée ou non détectée. Une faute est détectée lorsque la réponse (obtenue par

simulation) d'un circuit affecté par cette dernière, pour un vecteur d'entrée donné est différente de celle du circuit sain.

Ce genre de simulation peut être appliqué après ou pendant la génération des vecteurs de test. Une fois les vecteurs de test générés, cette simulation est utilisée pour évaluer le taux de couverture (fault coverage), de tous les vecteurs de test obtenus. Le taux de couverture est le rapport entre le nombre de fautes détectées et le nombre de fautes à détecter. De plus, lorsqu'elle est utilisée pendant le processus de génération de vecteurs de test, cette simulation génère un ensemble de vecteurs de test assurant un taux de couverture escompté, pour un modèle de faute donné.

Nous allons maintenant présenter les principaux algorithmes de simulation de fautes, qui incluent la simulation de fautes en série, la simulation parallèle, la simulation de fautes déductive et la simulation de fautes concurrente. La simulation de fautes série est un algorithme simple dans lequel le circuit sain est simulé en premier, suivi de chacun des n circuits défectueux affectés par l'un des n défauts de la liste initiale. Bien que cette approche soit simple, elle peut être lente. Dans le but d'améliorer le temps d'exécution, la simulation parallèle [48] utilise les opérations bit à bit des machines. Le nombre de circuits qui peuvent être simulés en même temps est fonction de la longueur du mot machine. La simulation de fautes déductive [49], en revanche, ne repose pas sur une liste prédéterminée de fautes. Au lieu de cela, il déduit les fautes pouvant être détectés dans un circuit à partir de la structure du circuit sain et du vecteur de test appliqué. La simulation de fautes concurrente est basée sur le fait que le comportement d'un circuit défaillant est généralement peu différent du circuit sain. Seules les parties du circuit affecté par la faute qui possèdent un comportement différent du circuit sain sont simulées [50].

1.7.1.3 Génération de vecteurs de test

Un vecteur de test représente le stimulus (ensemble des valeurs d'entrée) à appliquer au circuit sous test (Circuit Under Test ou CUT) dans le but de détecter tout défaut dans le circuit. Dans les paragraphes suivants, nous développerons les différentes techniques utilisées qui servent à générer des vecteurs de test. Dans un premier temps, nous fournirons un bref aperçu sur des approches de tests exhaustifs et aléatoires, suivi d'une exploration des méthodes déterministes.

- Le test exhaustif est une méthode qui consiste à utiliser un ensemble de tests comprenant toutes les combinaisons possibles de valeurs d'entrée. Bien que cette approche puisse sembler logique, elle n'est pas pratique pour les circuits comportant un grand nombre de broches d'entrée. En effet, pour un circuit avec n entrées, le nombre de vecteurs de test serait de 2^n , ce qui entraînerait un nombre important de vecteurs et un processus d'application long. De plus, cette méthode est

incapable de détecter les fautes qui nécessitent une séquence spécifique de vecteurs de test, telles que les fautes de délais évoqués dans la section 1.7.1.1 ou les fautes de collage dans les circuits séquentiels. Pour remédier à ces limitations, des méthodes de test alternatives doivent être adoptées, qui seront explorées dans les sections suivantes.

- Le test aléatoire, comme son nom l'indique, implique la sélection aléatoire d'un groupe de vecteurs de test à appliquer au circuit. Ces vecteurs de test sont ensuite simulés pour déterminer s'ils peuvent détecter des défauts potentiels, qui sont décrits à l'aide de modèles de fautes spécifiques, tels que le modèle de collage mentionné dans la section 1.7.1.1. Le test aléatoire est avantageux car il est facile à mettre en œuvre. Cependant, pour obtenir une bonne couverture de fautes, un nombre important de vecteurs de test est nécessaire, ce qui peut entraîner un long processus de test.

- Le test déterministe consiste à créer un ensemble de vecteurs de test pour détecter un défaut spécifique dans le circuit, sur la base d'un modèle de faute donné. De nombreuses recherches ont été consacrées au test des circuits combinatoires (des circuits dans lesquels les valeurs de sortie dépendent uniquement des valeurs d'entrée), en particulier en utilisant le modèle de collage simple au niveau de la porte logique. Les algorithmes les plus connus pour générer automatiquement des vecteurs de test (Automatic Test Pattern Generation ou ATPG) sont le D-algorithme [51], le PODEM (Path-Oriented DEcision Making) [52] et le FAN (FANout-oriented Test Generation) [50]. Le D-algorithme est considéré comme le premier algorithme ATPG, tandis que les algorithmes PODEM et FAN ont introduit des améliorations successives. Une comparaison détaillée de ces trois algorithmes est présentée dans [53].

1.7.1.4 La conception pour la testabilité(DFT)

La conception pour la testabilité (DFT, Design for testability) est un concept qui implique un ensemble de méthodes de conception visant à améliorer la contrôlabilité et l'observabilité d'un circuit, le rendant finalement plus adapté aux tests [54]. La contrôlabilité fait référence à la capacité du circuit à évaluer ses nœuds internes en fonction de ses entrées principales, tandis que l'observabilité concerne la capacité du circuit à observer les valeurs de ses nœuds internes via ses sorties principales.

Les circuits numériques complexes ne sont pas facilement testables car ils possèdent un nombre de nœuds internes nettement plus élevé que leurs entrées et sorties principales. Il existe deux catégories principales de techniques DFT utilisées pour résoudre ce problème : les techniques ad hoc et les techniques structurées.

a) Les techniques ad hoc

Les techniques ad hoc sont un ensemble de méthodes efficaces développées grâce à l'expérience pratique [55]. Par exemple, lorsqu'il s'agit d'un circuit complexe et difficile à tester, une approche simple consiste à incorporer des points de test. Ces points de test améliorent l'observabilité et/ou la contrôlabilité du circuit, facilitant ainsi la réalisation de tests. Une autre technique à mentionner est la technique de partitionnement, qui consiste à décomposer un circuit complexe en circuits plus petits. Cette stratégie contribue à réduire le coût global des tests. Il est important de noter que le temps nécessaire pour générer les vecteurs de test est au moins directement proportionnel au carré du nombre de composants dans le circuit [54].

b) Les techniques structurées

Les techniques structurées sont des méthodes qui utilisent des signaux et des composants logiques supplémentaires pour améliorer la capacité de contrôler et d'observer le circuit testé. Ceci est réalisé sans augmentation substantielle du nombre d'entrées et de sorties spécifiquement destinées aux tests, ce qui constitue un inconvénient des méthodes ad hoc [54]. Deux techniques structurées fréquemment utilisées sont le scan path et l'auto-test intégré (Built-In Self Test ou BIST), qui seront brièvement abordés ci-dessous.

Le scan path permet, dans un mode de test du circuit, d'interconnecter des points de mémorisation du circuit implémentés à l'aide de bascules (mémoires un bit élémentaire) [56]. Les points de mémorisation forment alors un registre à décalage, comme le montre la figure 1.16a. Le mode test (le signal T vaut un) autorise ainsi le chargement série (via l'entrée primaire X_n et cadencé par le signal d'horloge H) des différentes valeurs de contrôle y_k et leur application ainsi que la récupération série des valeurs observées Y_k (via la sortie primaire Z_m). [54] explique de manière détaillée cette technique.

L'auto-test intégré (BIST) est une technique de DFT dans laquelle la génération du test, son application et l'analyse de la réponse du circuit sous test sont effectuées à travers l'ajout de composants matériels supplémentaires. L'architecture matérielle la plus simple d'un auto-test intégré est représentée figure 1.16b. En mode test, le circuit sous test (bloc CST) répond aux stimuli envoyés par le générateur de vecteurs de test (bloc GVT). Les réponses du circuit sous test (bloc CST) sont analysées par l'analyseur de réponse (bloc AR) et comparées aux réponses du circuit jugé non défectueux qui sont stockées en mémoire (bloc MEM). Le résultat du test est binaire (circuit sain ou défectueux). Il existe plusieurs types de générateurs de vecteurs de test ainsi que plusieurs types d'analyseurs de réponse [57]. Citons, à titre d'exemple, les générateurs de vecteurs de test pseudo-aléatoires et les analyseurs de réponses basés sur l'utilisation des registres à décalage

avec rebouclage linéaire (Linear Feedback Shift Register ou LFSR), largement utilisés. Le lecteur intéressé par la théorie des LFSR pourra consulter [58].

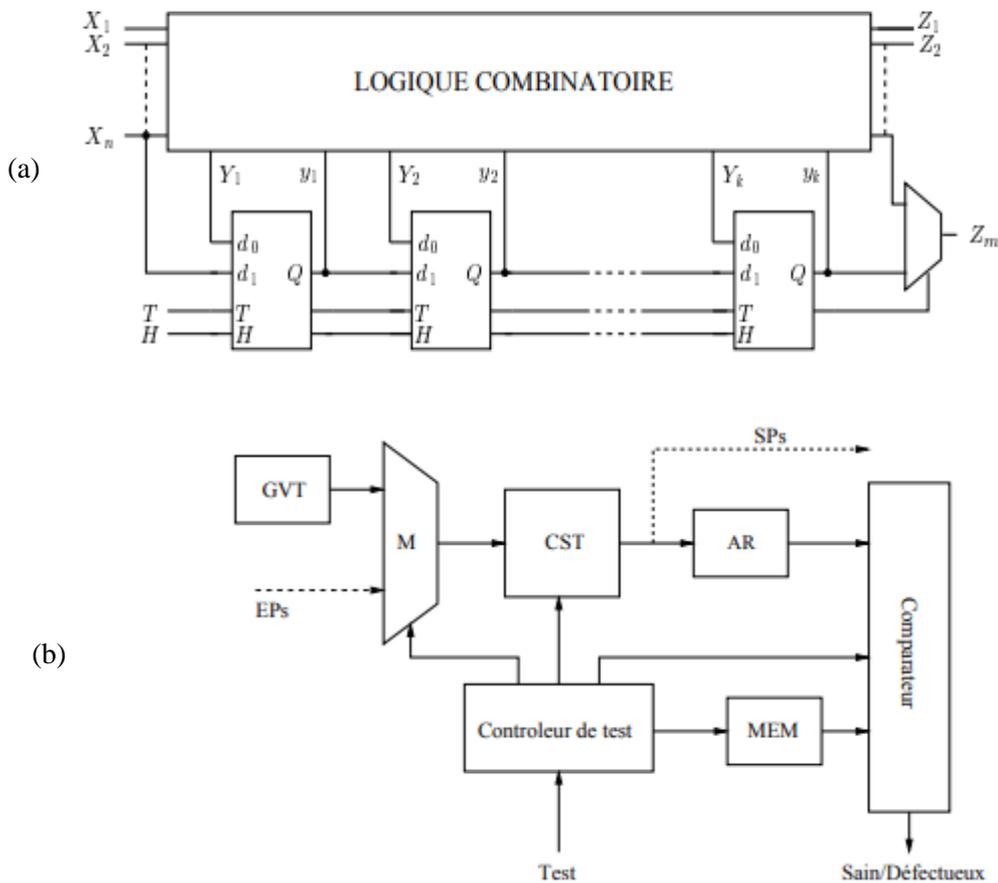


Figure 1.16 Structure générale de la technique: (a) scan path, (b) auto-test intégré

1.7.2 Test fonctionnel de circuits numériques

Au niveau fonctionnel, la description d'un circuit numérique se fait souvent à l'aide de langages de haut niveau comme VHDL [59] (VHSIC Description Language où l'acronyme VHSIC signifie Very High Speed Integrated Circuit), Verilog [60] ou System C [61]. Ces langages permettent non seulement de spécifier la conception du circuit, mais permettent également sa synthèse automatique via des outils dédiés. Pour décrire le comportement d'un circuit séquentiel, l'automate à états finis (Finite State Machine ou FSM) est un formalisme couramment utilisé [62]. Les différents modèles de fautes utilisés pour les FSM sont la couverture des états et la couverture des transitions. La couverture des états consiste à atteindre tous les états et la couverture des transitions consiste à franchir toutes les transitions. Les circuits numériques devenant de plus en plus complexes, le formalisme FSM montre ses limites à cause de l'explosion du nombre des états. Ainsi, dans le but de résoudre ce problème, des formalismes alternatifs tels que les automates à états finis étendus (Extended Finite State Machine ou EFSM) [63] ont été proposés. Un EFSM ne

nécessite pas de représenter explicitement les registres de données internes du circuit. Les opérations sur les registres sont modélisées dans les transitions, diminuant ainsi le nombre des états. Il est possible d'extraire un EFSM à partir de la description comportementale du circuit écrite en langage de haut niveau tel que chaque transition correspond à une instruction de la description comportementale. La génération des vecteurs de test, qui consiste à ouvrir les transitions du EFSM, garantit que chaque instruction dans la description comportementale de haut niveau est exécutée au moins une fois [63]. Les résultats de travaux récents sur les ATPG fonctionnels basés sur l'utilisation des EFSM sont disponibles dans [64-65].

1.8 Test de circuits analogiques/mixtes

Le test des circuits intégrés numériques et le test des circuits analogiques diffèrent considérablement en termes de complexité [66]. Ces principales différences sont :

- Les circuits analogiques ne comportent généralement que quelques centaines de composants, alors que les circuits numériques complexes peuvent contenir plusieurs centaines de millions de transistors.

- Le niveau d'intégration dans les circuits numériques augmente constamment, ce qui affecte directement la complexité des tests. Cependant, ce n'est pas le cas des circuits analogiques.

- Les différences de comportement entre les deux types de circuits : les signaux analogiques possèdent une infinité de valeurs (même lorsque leur variation est limitée), contrairement aux signaux numériques. Il est impossible, contrairement à un signal numérique (défini par une valeur unique à un instant donné), de connaître avec précision la valeur d'un signal analogique. Par conséquent, il est nécessaire d'attribuer une plage de tolérance définissant les valeurs acceptables pour un signal analogique. Ces tolérances sont influencées par les variations du processus de fabrication et des erreurs de mesure.

- Les variations du processus de fabrication ont un impact considérable sur les paramètres d'un circuit analogique.

- La fonctionnalité et la performance : dans les circuits numériques, la fonctionnalité et la performance sont deux aspects distincts. La fonctionnalité d'un circuit décrit les relations entre les sorties et les entrées (table de vérité), alors que la performance spécifie les délais dans les chemins critiques. Il est possible qu'un circuit ait une fonctionnalité correcte mais ne respecte pas ses contraintes de temps spécifiées. Des modèles de fautes ont été développés séparément pour la fonctionnalité et les performances des circuits numériques. Cependant, cette séparation n'est pas possible pour les circuits analogiques ou mixtes, car dans ces cas, fonctionnalité et performances

sont liées. De plus, il n'y a pas de lien clairement établi entre le taux de couverture par rapport à un modèle de faute structurel donné et les performances du circuit.

- Chaque type de circuit analogique/mixte possède son propre ensemble de spécifications. Par exemple, les spécifications d'un circuit de filtrage sont très différentes de celles d'un convertisseur analogique-numérique. En raison de la nature spécifique de ces spécifications liées à une classe particulière de circuit, il n'existe pas de technique de test universellement applicable.

Les variations de complexité mentionnées précédemment aboutissent à des techniques de test distinctes pour les circuits analogiques/mixtes et les circuits numériques. Dans les sections suivantes, nous aborderons les principales méthodes de test structurel et fonctionnel spécifiquement conçues pour les circuits analogiques et mixtes.

1.8.1 Test structurel de circuits analogiques et mixtes

Dans cette section, similairement à la présentation décrite pour le test structurel de circuits numériques, nous présentons un aperçu des principaux modèles de fautes couramment utilisés pour les circuits intégrés analogiques et mixtes, où ensuit un aperçu de la simulation de fautes. Enfin, nous discutons de la génération automatique des vecteurs de test.

1.8.1.1 Modèles de fautes

Nous avons déjà expliqué que les circuits analogiques sont exposés, comme les circuits numériques, aux défauts globaux. Cependant, les circuits analogiques sont plus sensibles aux erreurs d'appariement, ce qui peut avoir un impact considérable sur leurs performances. Il est donc indispensable de modéliser les deux types de défaillances. Les deux principaux modèles de fautes utilisés dans les circuits analogiques sont les modèles de fautes catastrophiques et paramétriques. Dans le modèle de faute catastrophique, une défaillance catastrophique est modélisée par un composant qui est mis en court-circuit ou en circuit ouvert. D'autre part, dans le modèle de faute paramétrique, une défaillance paramétrique (due à une erreur d'appariement) est modélisée, pour un composant, comme une déviation de l'un de ses paramètres en dehors de sa tolérance. Dans les circuits analogiques, même des variations paramétriques mineures dans plusieurs composants peuvent avoir un impact significatif sur les performances du circuit, semblable à une variation plus importante dans un seul composant. Ces variations multiples ne peuvent pas être représentées par un modèle de faute unique. Il est donc nécessaire d'utiliser des modèles de fautes paramétriques multiples. Cela contraste fortement avec les modèles de fautes numériques les plus répandus qui sont des modèles simples où une seule faute est présente à un instant donné. Une difficulté supplémentaire vient du fait que des défaillances paramétriques multiples affectant un circuit

peuvent se compenser [40]. Par exemple, un circuit composé de deux amplificateurs montés en cascade et ayant chacun un gain non conforme à sa spécification peut donner un gain correct si le produit des deux gains est dans l'intervalle de tolérance. Pour terminer, il est important de rappeler qu'il n'y a pas de lien clairement établi entre le taux de couverture par rapport à un modèle de faute structurel donné et les fonctionnalités/performances du circuit.

1.8.1.2 Simulation de fautes

Dans les circuits analogiques, il a été observé que les modèles de fautes peuvent avoir un impact soit sur la topologie (modèle de faute catastrophique), soit sur les valeurs des composants du circuit. L'utilisation de ces modèles de fautes fait que la simulation de fautes repose principalement sur des simulateurs analogiques de type SPICE [67-68]. Ces simulateurs sont conçus pour calculer les réponses d'un circuit analogique sur la base d'un fichier d'entrée, qui englobe des informations relatives aux stimuli d'entrée, aux composants du circuit, à leurs valeurs respectives et à leurs interconnexions.

1.8.1.3 Génération de vecteurs de test

Lorsqu'il s'agit de circuits numériques, un vecteur de test représente le stimulus à appliquer au circuit sous test afin de détecter un défaut physique. Cependant, dans le cas des circuits analogiques, les stimuli sont plus complexes que dans le cas des circuits numériques. Contrairement aux stimuli numériques qui sont composés de séquences discrètes binaires, les stimuli analogiques sont constitués de signaux analogiques continus en temps et en amplitude. De plus, un stimulus analogique peut posséder une forme spécifique adaptée à un type de test particulier. Par exemple, on teste un filtre analogique du premier ordre en lui injectant un signal sinusoïdal (fréquence pure).

La génération automatique des vecteurs de test pour les circuits analogiques constitue la pierre angulaire dans le domaine de la recherche depuis les années 60-70 [69]. Nous présentons ici différentes techniques de test paramétrique.

Le test paramétrique est un type de test qui se focalise sur les fautes qui affectent la valeur des composants d'un circuit, entraînant des modifications de ses performances. Les performances du circuit sont caractérisées par un ensemble de paramètres appelés paramètres de sortie. Par exemple, le gain est un paramètre de sortie d'un circuit réalisant une fonction d'amplification. L'objectif principal des tests paramétriques est trouver les stimuli susceptibles d'observer des variations dans les valeurs des paramètres de sortie provoquées par des variations de la valeur des composants. Ce type de test permet donc de localiser les défauts dans un circuit. Il est à noter que

dans la littérature, les tests paramétriques sont considérés comme des tests fonctionnels [66] : on s'intéresse alors plus aux performances du circuit (au travers de ses paramètres de sortie) qu'à sa structure (valeur des composants et topologie). Dans le but d'éviter toute confusion, nous considérons ici que le test paramétrique est un test de type structurel et non fonctionnel.

Dans [70], les auteurs présentent une méthode de génération automatique de tests pour les circuits analogiques basée sur la sensibilité. La sensibilité représente l'effet de la déviation de la valeur d'un composant d'un circuit sur le changement de la valeur d'un paramètre de sortie. La méthode génère une liste de paramètres de sortie qui doivent être mesurés pour couvrir l'ensemble des fautes considérées. Cependant, les formes des stimuli analogiques qui permettent de mesurer les paramètres de sortie ne sont pas générées. Cette méthode a été généralisée pour prendre en compte les modèles de fautes multiples [71]. Elle a également été utilisée pour tester les parties analogiques de circuits mixtes [72].

Dans [73], les auteurs proposent un algorithme de génération de tests pour les circuits analogiques et mixtes qui utilise les graphes à flot de signaux (Signal Flow Control ou SFG). L'algorithme construit un graphe à flot de signaux modélisant le circuit, puis inverse la direction de ses arcs. Il utilise les poids symboliques des arcs pour représenter les valeurs des composants défaillants et calcule la forme du stimulus d'entrée qui permet de détecter une faute. Une faute correspond à la variation de la valeur d'un composant qui provoque une variation d'un paramètre de sortie.

1.8.2 Test fonctionnel de circuits analogiques et mixtes

Le test fonctionnel repose sur les spécifications du circuit. Son objectif principal est de garantir que le circuit testé répond à ses spécifications. Dans ce but, l'ensemble des paramètres fonctionnels (paramètres de sortie) caractéristiques du circuit sont mesurés puis comparés aux valeurs attendues dans le cahier des charges. Le test fonctionnel ne considère pas la structure du circuit.

Les circuits analogiques réalisent des fonctions très différentes, nous conduisant à distinguer plusieurs classes de circuits comme par exemple les filtres, les amplificateurs et les convertisseurs. En considérant la classe des filtres, on s'aperçoit qu'il existe un grand nombre de types de filtres différents. A cause de cette diversité, chaque circuit est caractérisé par un ensemble de paramètres spécifiques, et donc, par un ensemble de mesures spécifiques à effectuer.

Pour effectuer la mesure d'un paramètre particulier, il est nécessaire d'utiliser un type de test adapté. Celui-ci impose les caractéristiques des stimuli (dont la forme des signaux) à appliquer au circuit sous test. Par exemple, une méthode très utilisée pour mesurer la fréquence de coupure

d'un filtre analogique linéaire passe-bas consiste à étudier la réponse en fréquence du filtre en un point particulier qui correspond à sa fréquence de coupure. Cette méthode impose donc d'injecter comme stimulus un signal sinusoïdal dont la fréquence est égale à la fréquence de coupure du filtre, afin de pouvoir mesurer l'amplitude et la phase de la réponse du circuit. D'autres types de stimuli comme les signaux d'amplitude continue (Direct Current ou DC), les signaux carrés, ou les signaux d'autres formes peuvent être utilisés, en fonction de la nature des paramètres à mesurer. Par exemple, la mesure du seuil d'un comparateur s'effectue en utilisant un signal DC. Cependant, les signaux sinusoïdaux sont souvent utilisés pour tester les circuits analogiques ou mixtes. C'est le cas pour les méthodes de test spectrales que nous décrivons maintenant succinctement.

L'analyse fréquentielle (analyse de Fourier) de la réponse d'un circuit linéaire à une fréquence pure (tone en anglais) permet de quantifier le degré de non-linéarité du circuit. Ce degré de non-linéarité du circuit se traduit, dans le spectre de puissance du signal de sortie, par l'apparition de fréquences harmoniques qui viennent s'ajouter à la fréquence fondamentale. Le test single tone est basé sur ce principe. Il permet de mesurer le taux de distorsion harmonique qui compare la puissance de la fondamentale à celle des harmoniques. Le test multi tone utilise comme stimulus d'entrée une somme de fréquences pures différentes et permet de mesurer un ensemble de paramètres dits de transmission, comme par exemple le taux d'inter-modulation.

Nous pouvons nous apercevoir, au travers de ces quelques exemples, de la diversité des méthodes de test et des stimuli associés. Il en résulte que les ressources matérielles nécessaires pour tester les circuits analogiques et mixtes sont plus nombreuses et plus complexes que pour les circuits numériques. En effet, pour ces derniers, les stimuli correspondent toujours à des niveaux logiques valant zéro ou un.

La figure 1.17 représente un banc de test analogique le plus simple, qui permet de réaliser des tests par mesure directe. Ce banc de test est composé de divers générateurs de signaux analogiques et d'une variété d'instruments de mesure.

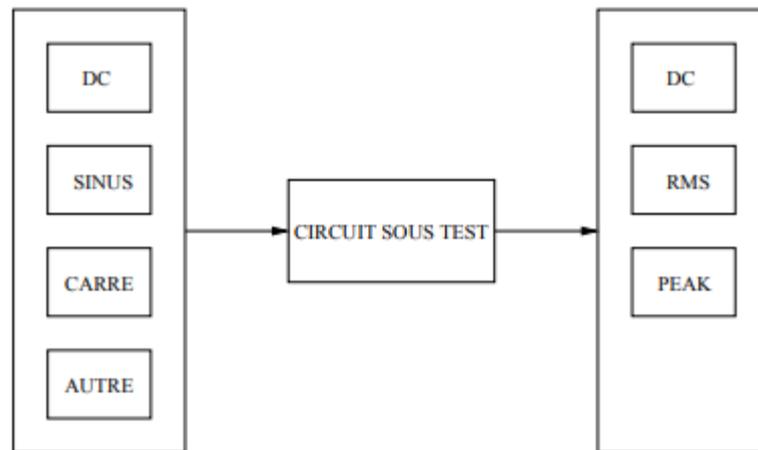


Figure 1.17 Banc de test analogique

Actuellement, la majorité des circuits analogiques et mixtes sont testés à l'aide de bancs de test utilisant un processeur numérique de signal (Digital Signal Processing ou DSP). L'architecture matérielle de ce type de banc est illustrée dans la figure 1.18. Le DSP permet la synthèse des stimuli analogiques. La synthèse d'un signal consiste à construire celui-ci à partir de données numériques chargées en mémoire auxquelles est appliquée une conversion numérique-analogique (D/A). Il est ainsi possible d'émuler les générateurs de signaux analogiques traditionnels utilisés en mesure directe. Les stimuli numériques sont envoyés directement au circuit sous test lorsque celui-ci est de type mixte. Les réponses analogiques du circuit sous test sont acquises, puis numérisées et stockées en mémoire alors que les réponses numériques (cas d'un circuit mixte) sont acquises et stockées en mémoire sans transformation. Afin d'obtenir un test précis, le synthétiseur doit délivrer les données numériques à des intervalles de temps précis pour la construction d'un signal analogique délivré au circuit sous test. L'unité de capture doit également échantillonner et numériser précisément un signal analogique délivré par le circuit sous test. On parle alors de synchronisation du synthétiseur et de l'unité de capture.

Le DSP effectue également les post-traitements sur les réponses du circuit sous test. Ces traitements peuvent être simples, comme des mesures de type voltmètre en mesure directe, ou nettement plus complexes comme par exemple l'analyse spectrale nécessitée par les méthodes de test multi-tone. L'intégralité du test est ainsi gérée par le programme de test qui s'exécute sur le DSP.

Nous n'avons présenté que très succinctement le test de circuits analogiques et mixtes. Le lecteur intéressé trouvera des informations très détaillées dans [74-75].

Pour terminer, nous expliquons brièvement l'échantillonnage cohérent (coherent sampling), car c'est une notion fondamentale qui conditionne la précision des tests effectués sur

un banc de test basé sur un DSP. Dans la méthode single tone, l'analyse spectrale de la réponse du circuit sous test est effectuée en utilisant la transformée de Fourier rapide (Fast Fourier Transform, FFT) qui est un algorithme permettant de calculer très rapidement la transformée de Fourier discrète. L'échantillonnage cohérent établit une relation qui maximise l'information contenue dans le stimulus sinusoïdal, et qui implique la plus grande précision dans le calcul de la FFT [74]. Cette relation est donnée par

$$F_{test} = \frac{M}{N} \times F_E \quad 1.2$$

où F_{test} représente la fréquence du signal single tone, F_e la fréquence d'échantillonnage, N le nombre de points utilisés pour le calcul de la FFT et M le nombre entier de périodes du signal, M et N étant premiers entre eux. L'échantillonnage cohérent est également applicable à un signal multi tone car la somme de signaux single tone cohérents reste un signal cohérent.

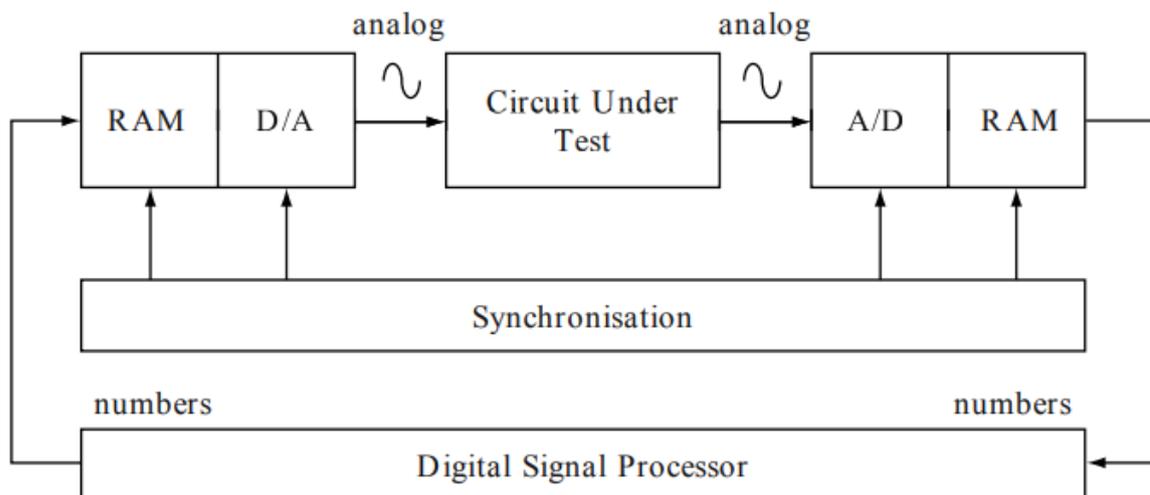


Figure 1.18 Banc de test basé sur un DSP

1.9 L'importance du coût de test des circuits intégrés : la règle de dix

Un indicateur utile qui est cité pour démontrer l'importance du test et de la détection des défauts dans un circuit électronique une fois qu'il a été fabriqué et avant qu'il ne soit utilisé, est appelé la règle de dix ($\times 10$) (Rule of Ten) [56]. En cela, le coût est multiplié par dix (voir figure 1.19) chaque fois qu'un élément défectueux n'est pas détecté mais est utilisé pour former un grand circuit électronique ou système. Bien qu'il s'agisse d'une généralisation, il identifie l'escalade des coûts de ne pas détecter les défauts chaque fois qu'un circuit/système électronique est fabriqué. Ici, si le coût de détection d'un dispositif défectueux (IC) lors de sa production est d'une unité, le coût de détection de ce dispositif défectueux lorsqu'il est utilisé au niveau de la carte (PCB, Printed

Circuit Board) est dix fois plus cher. Le coût de détection de cette carte défectueuse lorsqu'elle est insérée dans son système est dix fois supérieur au coût de détection de la carte défectueuse en production, et ainsi de suite. Par conséquent, il y a donc une escalade des coûts qui doit être évitée.

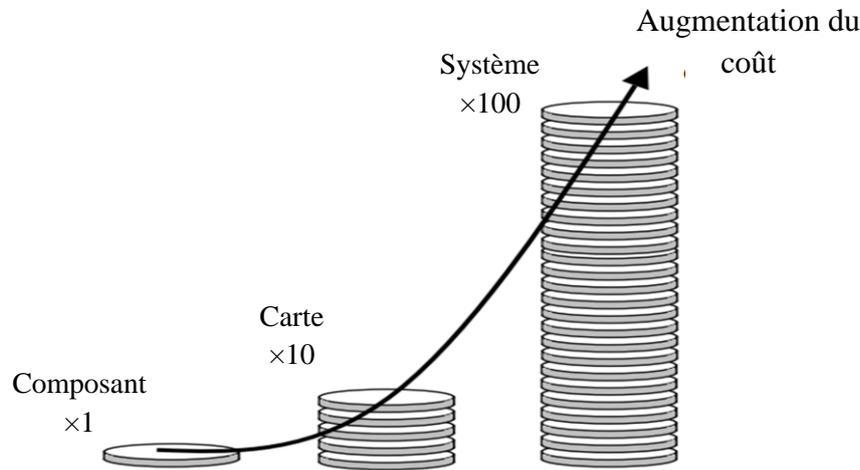


Figure 1.19 Coûts de détection des défauts

1.10 Conclusion

Nous avons exposé dans ce chapitre un certain nombre de défauts et de mécanismes de défaillance les plus fréquents chez les circuits analogiques intégrés. Cette étude a par ailleurs pour but d'investiguer sur les défauts potentiellement présents en fin de production des circuits analogiques. Les mécanismes de défaillance présentés peuvent induire des défauts soit au moment de fabrication, soit au cours d'utilisation. Dans ce dernier cas, de nombreux facteurs de dégradation physique du circuit peuvent activer certains phénomènes (comme par exemple le taux d'humidité, la pression, les surcharges électriques et mécaniques, la température, etc). Ces défauts sont en réalité pris en charge en phase de simulation par leur modèles correspondants et ou en environnement numérique ces derniers sont considérés comme efficaces et très adéquats. Par contre, en analogique, le test de circuits analogiques souffre du manque de modèles performant pouvant décrire instantanément les effets des défauts qui en surviennent. Certains de ces imperfections causent de dégradation totales de ces circuits et les mettent en hors service définitifs ; elles ont qualifiées de catastrophiques. D'autres, par contre, se manifestent par des perturbations au niveau de la fonction des circuits qui parfois deviennent intermittentes et même inquiétantes; elles sont considérées comme paramétriques. Dans les prochains chapitres, une étude s'étalera en profondeur sur ce type de fautes et les différentes approches de diagnostic utilisé.

Chapitre 2

Diagnostic des circuits analogiques défectueux

2.1 Introduction

Dans le domaine du test, les progrès accomplis au cours des dernières années sont spectaculaires [76]: La grande complexité de la nouvelle génération de circuits et de systèmes intégrés, combinée avec le développement des technologies, la haute vitesse de fonctionnement, la consommation basse d'énergie, la haute densité de mise en boîte et de réduction du temps du cycle de conception, a rendu extrêmement difficile et cher le test de systèmes électroniques et plus précisément le diagnostic des parties défectueuses en utilisant les méthodes de test traditionnelles. Il y a donc, un grand besoin de mettre en œuvre une méthodologie de test et de diagnostic qui serviront à réduire au minimum ces coûts de production tout en pourvoyant des produits de grande qualité [77].

Lorsqu'un système est reconnu défectueux, on se pose naturellement la question de l'origine de la défaillance. Ainsi, la localisation des fautes pose le problème essentiel du diagnostic. En effet, il est très important de faire procéder au diagnostic dans les systèmes électroniques [76].

Le diagnostic des défauts dans les circuits analogiques constituent un domaine de recherche important, notamment en raison du manque de procédures ou de méthodes normalisées de test et de diagnostic [18]. Le diagnostic des défauts des circuits analogiques identifie d'abord si le circuit sous test (CUT) est défectueux ou non en mesurant des variables de circuit (e.g : les tensions et les courant des nœuds ...etc.), puis localise les composants défectueux.

2.2 Test et diagnostic

Tester un produit signifie vérifier s'il fonctionne correctement. Le processus de test peut être défini comme une procédure efficace d'extraction d'information pertinente concernant le système sous test. En général, cette procédure est traduite par l'expérience dans laquelle le système est excité et sa réponse est analysée pour s'assurer de son bon fonctionnement [78]. Le test est réalisé en envoyant des stimuli sur les entrées et en observant la réponse du circuit sur les sorties. Si une faute est détectée, on a recours à des outils de diagnostic pour localiser la cause de la défaillance.

Définition du diagnostic: processus permettant d'acquérir la connaissance à travers des signes observables et le raisonnement menant à l'identification de l'origine d'une défaillance [79].

Les outils de diagnostic ont pour but de mettre en évidence des erreurs ou un dysfonctionnement dans les domaines suivants :

- Les erreurs de conception
- Les problèmes de fabrication

- Les dysfonctionnements d'équipements
- Les failles dans les programmes de test

2.3 Complexité du test et du diagnostic des circuits analogiques

Actuellement, les circuits analogiques sont très utilisés, mais la complexité et la densité de ces circuits rendent la conception et le test très difficiles [80]. Alors que le test et le diagnostic des circuits numériques ont fait l'objet de nombreuses études, qui ont permis la mise au point de différentes méthodes, alors que ceux des circuits analogiques n'ont pas connus ce même essor [81-82]. En pratique, la partie analogique des systèmes électroniques représentent 20 à 30% de la surface total du circuit. Par contre la complexité relative des circuits analogiques, associés au manque d'outils performants, rend le test et le diagnostic des circuits analogiques itératifs, lents et par conséquent, coûteux [29, 80].

Des efforts considérables ont été consacrés à identifier les causes de la complexité des tests analogiques [21, 29], [80-83]. Elles se résument comme suit :

- Les signaux analogiques sont continus, ceci implique que l'ensemble des valeurs pris par les signaux est infini. Pour un circuit numérique, la présence d'une anomalie modifiera généralement la signature binaire du circuit, la réponse 0/1 obtenue correspond à une probabilité de 100% ou à une probabilité nulle de détection de faute. Cependant, la détection d'erreur pour les circuits analogiques n'est pas aussi simple à réaliser que pour les circuits numériques. En effet, en raison de la nature continue des signaux analogiques, il est impossible d'obtenir une signature aussi radicale. Ceci peut donc entraîner une mauvaise interprétation de la couverture de fautes, et on sera alors vouer à travailler avec des échelles de tolérance [21, 29, 83].
- La non-linéarité des caractéristiques des circuits analogiques et la relation non linéaire entre les réponses du circuit et les valeurs des composants a été aussi de taille dans le problème de diagnostic. En d'autres termes, si la valeur d'un composant change d'un facteur quelconque k , la réponse ne changera pas nécessairement avec le même facteur [82-83].
- Les relations entre les signaux d'entrée et de sortie des circuits analogiques sont souvent très complexes par rapport à celles des systèmes numériques où la relation entre les signaux d'entrée et de sortie est logique (booléenne) par nature. Un tel comportement est complexe et difficile à modéliser que ces dernières qui sont basées sur des tables de vérité, précises et faciles à modéliser [29].
- La haute sensibilité des performances du circuit aux capacités parasites sur les nœuds internes a aussi un impact pesant sur le test des circuits. Ce phénomène diminue de manière significative l'observabilité et la contrôlabilité du circuit [80].

- La variété de composants complexes existe dans les circuits analogiques: transistor (MOS, bipolaires,...), condensateurs, diodes, résistances, inductances. Au contraire des circuits numériques basés sur l'emploi des transistors NMOS et PMOS. Cela complexifie les études de mécanismes de défaillance [29].
- La prise en compte des tolérances des composants du circuit testé car les éléments sans défaut peuvent ne pas être à leur valeur nominale.
- La diversité des types et des paramètres d'entrée sortie pour les circuits analogiques, le problème de la génération des jeux de stimuli n'est pas facile [84]. En effet, les types de signaux à appliquer en entrée et à mesurer en sortie des circuits analogiques sont très divers et différent d'un circuit à un autre. Les paramètres d'entrée d'un circuit analogique peuvent être: la tension, le courant, la fréquence, ... etc., et les paramètres de sortie peuvent être : la tension, le courant, le gain, la phase, la tension d'offset, le courant d'offset, le rapport signal/bruit, ... etc. Par contre, pour les circuits numériques, quelque soit la fonctionnalité du circuit, les signaux d'entrée sortie sont toujours des tensions (V_{ss} et V_{dd}) [21].

2.4 Tâches des systèmes de diagnostic des fautes

Un défaut peut être défini comme la variation de la valeur d'un élément par rapport à sa valeur nominale, entraînant la défaillance de l'ensemble du circuit. Le diagnostic consiste à trouver la cause du mauvais fonctionnement d'un circuit défaillant. Selon le but du diagnostic, on peut distinguer les tâches de base d'un système de diagnostic de faute: la détection, la localisation et l'identification de fautes [85].

- La détection de fautes consiste à détecter qu'une faute existe dans le circuit, la procédure de diagnostic s'arrête une fois l'existence d'une faute est détectée.
- La localisation de fautes consiste à localiser l'endroit d'une faute sur le circuit.
- L'identification de fautes consiste à identifier la valeur d'un paramètre (par exemple une déviation de la valeur d'un paramètre du circuit au-delà de son intervalle de tolérance) qui engendre la faute.

2.5 Méthodes de diagnostic des circuits analogiques défaillants

Les méthodes analogiques de diagnostic de défauts peuvent être classées en deux stratégies principales: simulation avant test (SBT: Simulation Before Test) et simulation après test (SAT: Simulation After Test) [8]. Dans la stratégie SBT, pour un circuit sous test (CUT) particulier, une liste de défauts est obtenue à la première étape. Ensuite, les réponses correspondantes du CUT pour tous les défauts considérés sont enregistrées. Ceci peut être fait en examinant le CUT ou en

effectuant des simulations de défaillance à l'aide d'un simulateur de type SPICE. Les défauts sont ensuite diagnostiqués en comparant les réponses simulées et observées. D'autre part, la stratégie SAT a été conçue pour résoudre les valeurs des paramètres des composants, compte tenu d'un ensemble de réponses mesurées et de la connaissance de la topologie du CUT [86].

Pour l'approche SBT, les paramètres d'entrée sont les paramètres des composants du circuit, et les paramètres de réponse sont des mesures du diagnostic (réponses mesurées du CUT). L'approche SAT est utilisée pour déterminer la carte inverse, c'est-à-dire que les paramètres d'entrée se composent des réponses mesurées du CUT, et des algorithmes sont développés pour résoudre les paramètres des composants du circuit sous test. La figure 2.1 présente une brève description des approches SBT et SAT et la figure 2.2 présente les différentes méthodes de diagnostic. Une description détaillée sera présentée dans la section suivante.

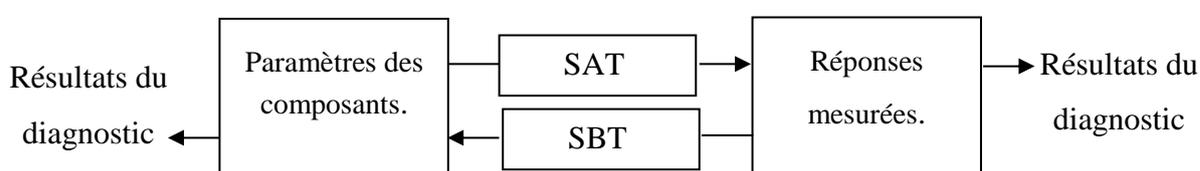


Figure 2.1 Description des approches SBT et SAT

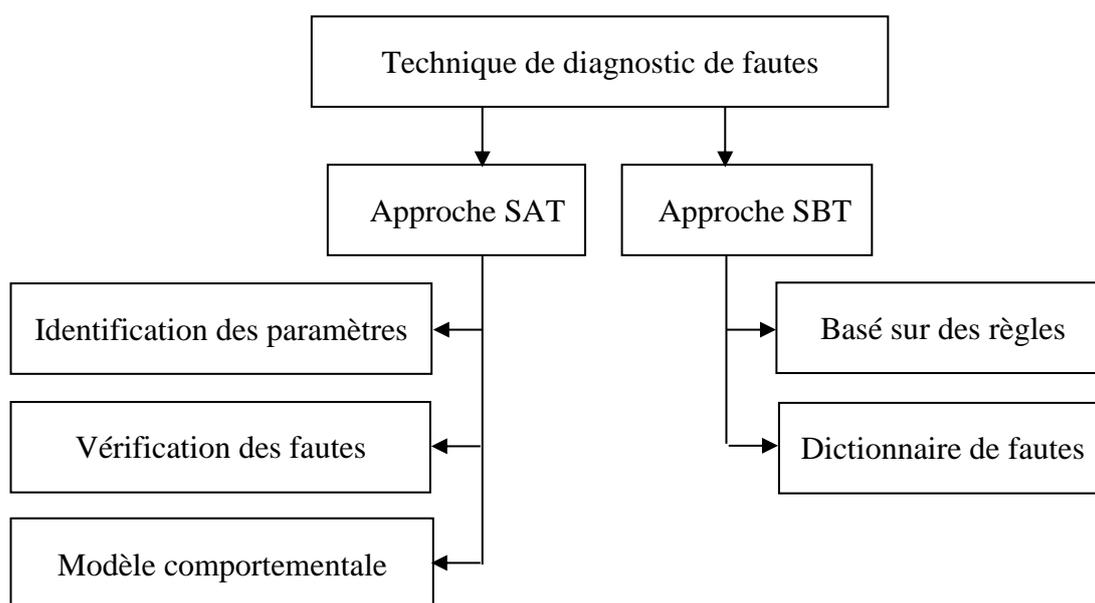


Figure 2.2 Classification des différentes approches de diagnostic des fautes

2.5.1 Simulation avant test (SBT)

Dans cette approche, la simulation des défauts est effectuée avant le test à l'aide d'une liste de défauts prédéfinis. Une fois le circuit est testé, la décision de diagnostic peut se faire rapidement [87]. L'approche SBT peut être subdivisée en deux grandes approches, à savoir l'approche basée

sur des règles et l'approche de dictionnaire de fautes. La présente section illustre une description détaillée de ces approches.

2.5.1.1 Méthode basée sur des règles (Rule-based methode)

Le diagnostic basé sur des règles consiste à une représentation des informations de diagnostic sous forme d'instructions, qui prennent généralement la forme: *SI* symptôme(s) *ALORS* fautes.

Pour un domaine particulier, la construction de la base de connaissances peut nécessiter des centaines, voire des milliers de règles. Durant la phase de diagnostic, le moteur d'inférence cherche dans la base de connaissances les règles appropriées pour trouver la solution du problème [88].

L'approche de l'arbre de défaillance (arbre de décision) présentée dans la figure 2.3 peut également être classée comme approche fondée sur des règles puisque la relation entre les symptômes et les défaillances est également représentée en termes de conditions et de règles. La plupart des programmes de diagnostic intelligent mis en œuvre dans le début des années 1980 étaient élaborés selon cette forme d'arbre de test.

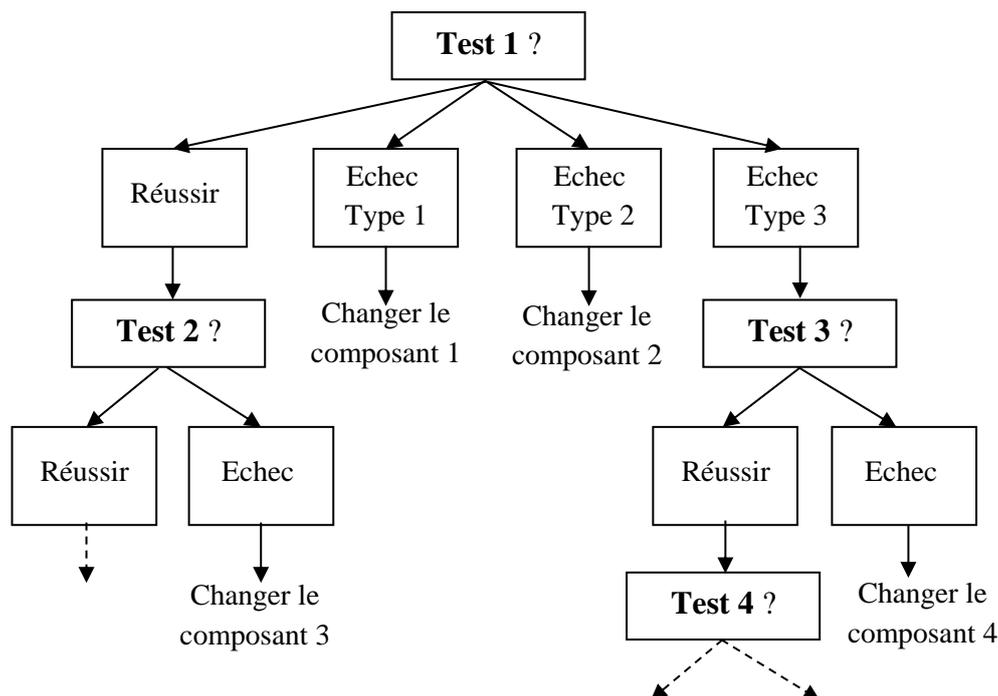


Figure 2.3 Arbre de défaillance simple

L'un des principaux avantages de l'utilisation de cette approche particulière est sa simplicité. Une fois les règles établies, la solution peut être facilement obtenue pour diagnostiquer un circuit défectueux. Cependant, un inconvénient majeur de cette méthode est la difficulté d'acquérir une base de connaissances complète qui englobe tous les défauts potentiels. De plus, le

développement de la base de connaissances est spécifique à chaque circuit, ce qui signifie que la base de connaissances d'un circuit ne peut pas être appliquée à un autre.

2.5.1.2 Méthode de dictionnaire de fautes

La méthode du dictionnaire de défauts est largement reconnue comme un outil de diagnostic la plus couramment utilisée dans le domaine de l'électronique [76]. De nombreuses techniques de test permettent à leurs utilisateurs d'en générer de manière automatique. Un dictionnaire de fautes peut être soit une liste de fautes avec chaque vecteur d'entrée et le vecteur de sortie obtenu en présence de chaque faute, soit une liste de vecteurs de test avec les fautes détectées pour chacun de ces vecteurs [89]. Pour construire un dictionnaire de fautes, on définit d'abord les conditions de défaut possibles du CUT et on identifie un type de stimulus (AC, DC ou domaine temporel) d'une grandeur appropriée. Le CUT est simulé pour un fonctionnement sans défaut et différentes conditions de défaut et les réponses du circuit sont obtenues [90].

Dans la phase d'identification des défauts, des mesures sont effectuées sur les points de test et sont comparées avec les réponses stockées pour localiser les composants défectueux. Comme l'approche n'implique que des comparaisons, ce type de test s'avère efficace et peu coûteux sur le plan du calcul. Le problème associé à ce type de technique est le stockage dans le cas de circuits complexes et de défauts multiples.

Le principe de la méthode du dictionnaire de fautes est illustré dans la figure 2.4. Cette méthode construit un dictionnaire qui contient l'ensemble de fautes $\{F_j, j = 1, 2, \dots, n\}$ et les réponses mesurées du CUT $\{m_j, j = 1, 2, \dots, n\}$ correspondantes. Ils sont obtenus à partir des simulations en générant chaque fois une faute F_j dans le netlist du circuit. Dans la phase de diagnostic, les mêmes mesures m_i sont prises et elles sont comparées avec celles stockées dans le dictionnaire. La faute sera celle dont les mesures sont plus similaires que celles du circuit sous test. La méthode de dictionnaire de fautes est donc une approche de reconnaissance de formes (classification). Plusieurs méthodes de classification ont été proposées dans la littérature [91], comme les réseaux de neurones, machine à vecteurs de support (SVM), la logique floue, etc. une description détaillée des différentes méthodes du dictionnaire de défauts sera décrite en section 2.8.

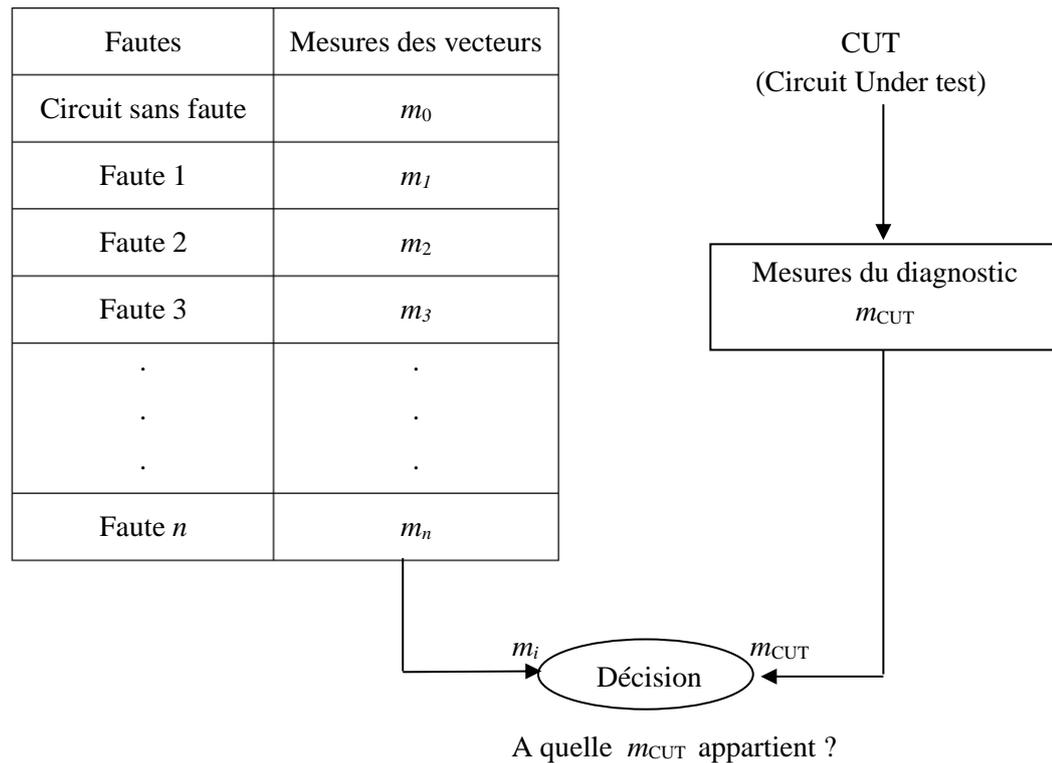


Figure 2.4 Méthode de dictionnaire de fautes

2.5.2 Simulation après test (SAT)

Dans le cas d'une simulation après test, les variables de diagnostic ou de test sont mesurées au moment du test, et des simulations sont effectuées pour localiser les composants défectueux [92]. Il existe différentes méthodes de SAT pour l'identification des paramètres: technique basée sur les méthodes d'identification des paramètres, technique basée sur la vérification des défauts et la technique basée sur le modèle comportemental du circuit. Les méthodes d'identification des paramètres utilisent un plus grand nombre de mesures pour trouver les composants défectueux alors que les techniques de vérification des défauts minimisent le nombre de mesures nécessaires pour les tests [82].

2.5.2.1 Méthodes d'identification des paramètres

La méthode d'identification des paramètres estime les valeurs réelles de tous les paramètres du réseau. Un élément est considéré comme défectueux si ses paramètres de réseau ne correspondent pas aux variations autorisées.

Les paramètres de réseau sont estimés à partir de la résolution d'un ensemble d'équations linéaires ou non linéaires de circuits tout en connaissant les valeurs nominales des composants et de la topologie des circuits.

Les circuits pour lesquels les valeurs des composants peuvent être déterminées à l'aide des équations de diagnostic et de quelques mesures suffisantes pour le test sont appelés circuits résolubles par la valeur des éléments. Les éléments peuvent être identifiés en supposant que les nœuds sont accessibles pour la mesure. Dans les circuits linéaires, des techniques de simulation de composants et de transformation en étoile delta sont utilisées pour déterminer les paramètres du réseau. Dans le cas de circuits non linéaires, on utilise des méthodes de test en courant continu, dans le domaine temporel et en fréquence multiple [82].

2.5.2.2 Méthodes de vérification de défauts

Les méthodes de vérification des défauts chez les circuits intégrés sont similaires aux méthodes d'identification des paramètres mais utilisent des mesures effectuées sur un nombre limité de nœuds en supposant que seules ces mesures sont déviées de l'état sain de ces dispositifs. Ainsi, la première étape de l'approche de vérification des défaillances consiste à trouver les éléments potentiellement défectueux et à sélectionner les nœuds de test. Les méthodes de vérification des défauts sont effectuées en supposant que le nombre de composants défectueux est inférieur au nombre de mesures utilisées pour les tests. Comme cette approche n'utilise que peu de mesures pour localiser les composants défectueux, le coût de calcul est réduit.

2.5.2.3 Méthode de modèle comportemental

Le processus d'utilisation de la technique du modèle comportemental implique la création d'une représentation approximative du circuit. Différents niveaux d'abstraction peuvent être envisagés pour construire le modèle. Ensuite pour un circuit sous test, les mesures sont prises et comparées avec les performances du modèle. S'il existe une différence entre les performances du circuit et celles du modèle, alors la présence d'une faute est détectée. Donc la méthode consiste à établir le diagnostic par ajustement des paramètres du modèle pour que ses performances soient identiques à celles du circuit sous test. Les paramètres ayant été déviés de leurs valeurs décréées dans le modèle indiquent l'origine de fautes.

En théorie, si le modèle du circuit est précis, il est possible de diagnostiquer toutes les fautes. Cependant, le défi majeur de cette approche réside dans le temps de calcul important nécessaire pour aboutir à une solution lors de la phase d'identification. De plus, si une faute altère la structure du circuit, le modèle précédemment établi devient invalide, conduisant potentiellement à des résultats d'identification incorrects [93].

2.6 Méthodes d'extraction de caractéristiques pour le diagnostic des circuits analogiques

L'extraction de caractéristiques (feature extraction) est le cœur du diagnostic, de la classification, du regroupement, de la reconnaissance et de la détection. De nombreux chercheurs peuvent être intéressés par le choix des fonctionnalités appropriées utilisées dans les applications. Une variété de méthodes d'extraction de caractéristiques pour les défauts de circuits analogiques ont été développées, et qui consistent en la recherche des caractéristiques du domaine temporel, des caractéristiques en domaine fréquentiel, les caractéristiques d'ondelettes et les caractéristiques statistiques (gamme, moyenne, écart type, kurtosis et entropie...etc.).

- Les méthodes basées sur le signal dans le domaine temporel : Il est courant dans le domaine des tests analogiques d'extraire des caractéristiques du domaine temporel par exemple, la pente, la racine carrée moyenne, l'écart type, les tendances et la moyenne, et le pic ...etc pour tester et surveiller un processus dynamique continu [94-95].

- Méthodes basées sur le signal dans le domaine fréquentiel : la réponse en régime permanent du circuit sous test est observée pour détecter un défaut après qu'un signal sinusoïdal d'une fréquence spécifique est appliqué en tant qu'entrée au circuit sous test dans l'approche de test dans le domaine fréquentiel [96-97]. Une méthode d'analyse de spectre telle que la transformation discrète de Fourier est utilisée dans la technique basée sur le signal dans le domaine fréquentiel pour détecter les défauts dans une CUT.

- Méthodes basées sur le signal temps-fréquence : la réponse mesurée peut être transitoire ou dynamique dans la période de temps correspondante pour le circuit testé sous une charge variable ou des tensions d'alimentation déséquilibrées. Ainsi, dans quelques scénarios, il est difficile d'analyser les caractéristiques ou la détection d'un défaut via une technique complète dans le domaine temporel ou dans le domaine fréquentiel. Les composantes de fréquence du signal et leurs caractéristiques variant dans le temps constituent ensemble une caractéristique importante pour le diagnostic des défauts d'un circuit analogique ; ceci peut être réalisé par une analyse temps-fréquence d'une réponse [98-100]. Les techniques les plus couramment appliquées aux processus temps-fréquence sont la distribution de Wigner-Ville (WVD), la transformée en ondelettes fractionnaire (FWT), la transformée de Hilbert-Huang (HHT), la transformée en ondelettes (WT) et la transformée de Fourier à court terme (STFT).

2.7 Génération de stimuli de test

Dans l'environnement de diagnostic de défauts des circuits analogiques, les signaux analogiques devront être générés, capturés et analysés de manière appropriée. L'analyse des caractéristiques du signal résultant d'un circuit sous test (CUT) à la fois dans le domaine temporel

ou dans le domaine fréquentiel, etc. contiendra des informations pertinentes pour déterminer si un circuit analogique réussit ou échoue à un test particulier. Le diagnostic sera entrepris en appliquant des types de forme d'onde de signal de test analogique spécifiques en appliquant une tension ou un courant au CUT tel que:

- DC valeur (constante).
- Onde sinusoïdale (onde unique (c'est-à-dire signal de valeur de fréquence unique)) avec fréquence, amplitude, décalage et phase variables, voir figure 2.5 pour un tracé d'onde sinusoïdale à fréquence unique.
- Onde sinusoïdale (multi-onde (c'est-à-dire deux signaux sinusoïdaux ou plus)) avec fréquence, amplitude, décalage et phase variables.
- Rampe
- Triangle
- Dent de scie
- Pulse
- Forme d'onde arbitraire (une forme de signal définie par l'utilisateur qui est utilisée pour représenter un signal complexe qui n'est représenté dans aucun des cas ci-dessus).

Les signaux peuvent être générés à l'aide d'une DC source ou d'un générateur de signaux (pour les formes d'onde de signal courantes (DC, sinusoïdale, triangulaire, en dents de scie, pulse)), ou à l'aide d'un générateur de formes d'onde arbitraires (AWG, Arbitrary Waveform Generator). Dans le générateur de signaux, un signal d'un type prédéfini peut être sélectionné avec une amplitude, un décalage, une phase et une fréquence spécifiques. Par exemple, l'onde sinusoïdale illustrée à la figure 2.5 montre les paramètres clés de ce type de signal qui est défini par l'équation suivante :

$$v(t) = V_{offset} + V_{amplitude} \sin(2\pi ft) \quad 2.1$$

où $v(t)$ est la valeur instantanée du signal à l'instant t , sans déphasage.

Un arrangement AWG typique peut être utilisé pour développer les mêmes signaux que le générateur de signaux, mais avec l'avantage supplémentaire de générer des formes d'onde de valeur arbitraire. Par exemple, la même électronique serait utilisée pour créer une onde sinusoïdale à une seule fréquence (single frequency) ainsi que des signaux à plusieurs tonalités (multiple sine wave).

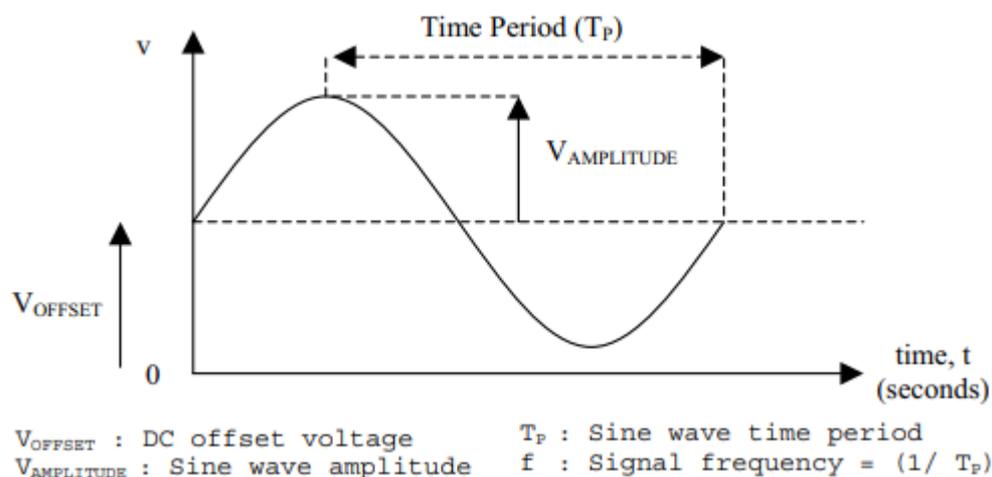


Figure 2.5 Paramètres d'un signal sinusoïdal

2.8 Approches de localisation et de classification de fautes

Au début des années 80, et après avoir observé les progrès rapides dans la complexité des systèmes électroniques et les contraintes associées à l'utilisation de dictionnaires de fautes, les travaux de recherche se sont orientés vers l'étude d'une possible contribution que pourrait apporter l'intelligence artificielle dans le domaine du diagnostic. Ces systèmes sont qualifiés d'"Experts" dans la mesure où ils sont censés reproduire le raisonnement d'un expert humain confronté aux mêmes problèmes. Dans cette section, au delà des méthodes probabilistes ou statistiques traditionnelles, on introduit les principales méthodes de localisation et de classification des fautes basées sur les réseaux de neurones, la logique floue, les machines à vecteurs de support (SVM) et les k-plus proches voisins (k-NN) qui permettent d'exploiter la masse de données disponibles [101].

2.8.1 Les réseaux de neurones artificiels (ANN, Artificial neural network) [93]

Un réseau neuronal artificiel (ANN) est un modèle mathématique ou computationnel qui s'inspire de la structure et des aspects fonctionnels des réseaux neuronaux biologiques. Un réseau neuronal se compose d'un groupe interconnecté de neurones artificiels. Dans la plupart des cas, un ANN est un système adaptatif qui modifie sa structure en fonction des informations externes ou internes qui circulent dans le réseau pendant la phase d'apprentissage.

Un ANN est généralement composé d'un certain nombre de couches. Les entrées de chaque couche sont reliées aux sorties de la couche précédente. Chaque couche est composée de plusieurs neurones associés à un poids. Sur la dernière couche, toutes les sorties sont additionnées grâce à une fonction d'activation prédéfinie φ , par exemple une fonction tangente hyperbolique. La figure

2.6 montre une représentation graphique d'un ANN monocouche. La sortie y_j de l'ANN peut être exprimée comme suit :

$$y_i = \varphi \left(\sum_{i=1}^n X_i w_{ij} \right) \quad 2.2$$

Où φ désigne la fonction d'activation, X_n , n désignent respectivement le vecteur d'entrée, la dimensionnalité de l'entrée, et W_{ij} la i ème valeur du poids de la i ème couche.

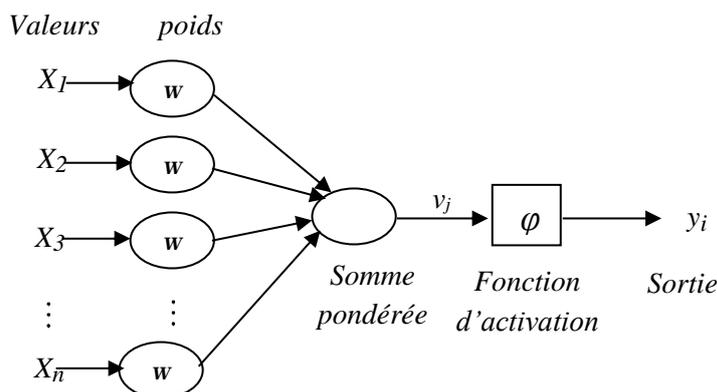


Figure 2.6 Un ANN monocouche

Un ANN est généralement caractérisé par trois types de paramètres: 1) Le schéma d'interconnexion entre les différentes couches de neurones. 2) Le processus d'apprentissage pour ajuster les poids des interconnexions, et 3) La fonction d'activation spécifique utilisée pour convertir l'entrée pondérée d'un neurone en sa sortie.

Pendant la phase d'entraînement, les poids sont mis à jour de manière ciblée avec des échantillons d'entrée et de sortie afin de minimiser les erreurs d'entraînement. Lorsque l'ANN est utilisée à des fins de diagnostic de défauts, les échantillons d'entrée de l'ANN sont constitués d'échantillons de mesure de diagnostic et les échantillons de sortie sont constitués des classes de défauts correspondantes. Dans la phase de diagnostic, les mesures de diagnostic du CUT sont utilisées comme entrée de l'ANN et la valeur de sortie sera la classe de défaut prévue.

L'ANN est une approche d'apprentissage automatique fait usage pour la classification. Son avantage est sa capacité à améliorer le système en ajoutant de nouveaux échantillons afin de mettre à jour les valeurs de poids. L'inconvénient est qu'un grand nombre d'échantillons d'apprentissage peut être nécessaire pour obtenir une précision d'apprentissage puisque toute machine d'apprentissage a besoin d'échantillons représentatifs suffisants afin de capturer la structure sous-jacente qui lui permet de généraliser à de nouveaux cas. De plus, le problème de sur-ajustement dans la phase d'entraînement peut réduire la généralité de l'ANN. Une façon de faire face au sur-

ajustement consiste à utiliser une méthode de validation croisée pour généraliser l'ANN formé. Dans plusieurs recherches un ANN supervisé est utilisé pour diagnostiquer les défauts dans les circuits analogiques [102-104].

2.8.2 Machine à vecteurs de support (SVM : Support Vector Machine)

La machines à vecteurs de support (SVM) est une méthode d'apprentissage supervisée qui analyse les données et reconnaît les formes. La SVM standard prend un ensemble de données d'entrée et prédit, pour chaque entrée donnée, laquelle des deux classes possibles l'entrée est membre, ce qui fait que la SVM est un classificateur linéaire binaire non probabiliste [105].

Plus formellement, une SVM de support construit un hyperplan ou un ensemble d'hyperplans dans un espace dimensionnel élevé, qui peut être utilisé comme frontière de séparation pour la classification [106]. Il existe de nombreux hyperplans qui peuvent classifier les données. Un choix raisonnable comme meilleur hyperplan est celui qui représente la plus grande séparation (marge) entre les deux classes. Il faut donc l'hyperplan qui maximise la distance entre celui-ci et le point de données la plus proche de chaque côté. Si un tel hyperplan existe, il est connu sous le nom d'hyperplan à marge maximale. La figure 2.7 illustre le principe de l'hyperplan à marge maximale utilisé dans la SVM.

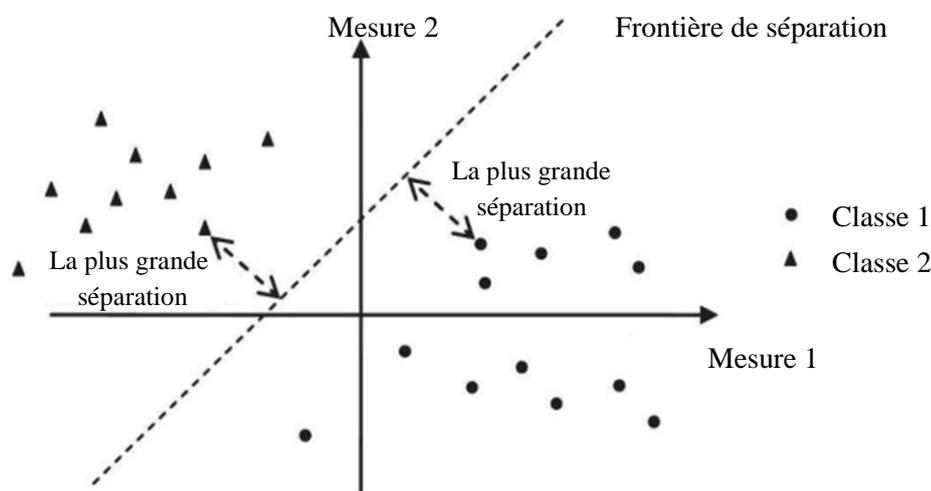


Figure 2.7 Hyperplan à marge maximale utilisé dans SVM

Si dans l'espace d'origine les ensembles à discriminer ne sont pas séparables linéairement, les données seront mappées dans un espace dimensionnel beaucoup plus grand à l'aide d'une fonction k du noyau, rendant probablement la séparation plus facile dans cet espace. La figure 2.8 montre le principe de l'affectation de l'espace à l'aide de la fonction Kernel.

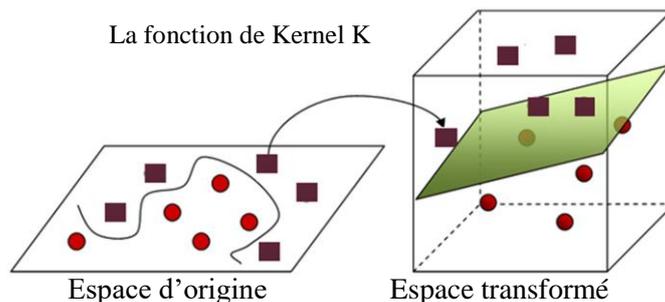


Figure 2.8 Mappage spatial du SVM à l'aide de la fonction Kernel

La SVM attribue les limites de séparation de telle sorte qu'elles traversent le milieu de la distance entre les groupes de défauts. Par conséquent, lorsque les mesures de diagnostic sont projetées dans un espace d -dimensionnel, c'est-à-dire qu'il y aura des sous-espaces vides entre les groupes de défauts. Cela signifie que la SVM sera insensible au bruit de mesure ou même aux dérives des équipements [93]. Cette dernière approche est en cours d'exploitation par une collègue en formation doctorale, ce qui permettra à l'avenir très proche d'instaurer une analyse comparative entre cette technique de classification et la mienne qui apparaît très efficace.

2.8.3 L'algorithme des K plus proches voisins (k -nearest neighbour, k -NN)

L'algorithme des k -plus proches voisins ou k -nearest neighbors (k -NN) est basé sur les exemples d'apprentissage les plus proches dans l'espace des caractéristiques (mesure de diagnostic). Un cas de circuit en faute ou DUT (Devise Under Test) est classé par un vote majoritaire de ses voisins, le DUT étant affecté à la classe la plus commune parmi ses k plus proches voisins, où k est un nombre entier positif. La figure 2.9 montre la méthode k -NN dans un espace de mesure diagnostique bidimensionnel.

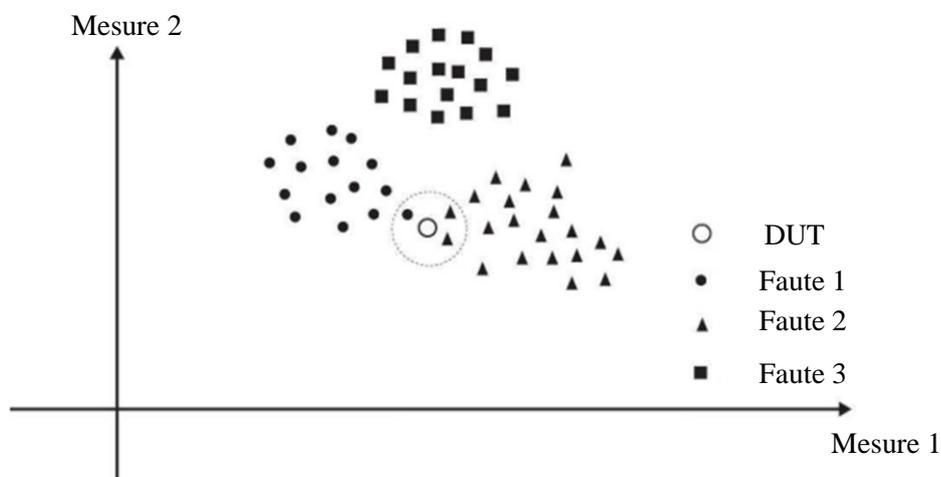


Figure 2.9 La méthode k -NN dans un espace des mesures de diagnostic en deux dimensions

Les exemples d'apprentissage sont des vecteurs dans un espace de caractéristiques à d -dimensions, où d désigne la dimension des mesures de diagnostic. Chaque vecteur a une étiquette de classe. La phase d'apprentissage de l'algorithme nécessite de stocker les vecteurs de caractéristiques et les étiquettes de classe des échantillons d'apprentissage. Dans la phase de classification, k est une constante définie par l'utilisateur, et le DUT est classé en attribuant la classe la plus fréquente parmi les k échantillons d'apprentissage les plus proches du DUT. Comme le montre la figure 2.9, si nous choisissons $k=3$, le défaut diagnostiqué pour le DUT sera le défaut 2 puisque deux échantillons du défaut 2 apparaissent dans les 3 premiers voisins les plus proches du DUT. En fixant $k=1$, le DUT est simplement affecté à la classe de son plus proche voisin [107].

L'avantage de la méthode k -NN est sa simplicité. Les distances peuvent être calculées à l'aide de la métrique de distance euclidienne. L'inconvénient de la méthode est que le choix de k n'est pas automatique. Le meilleur choix de k dépend des données ; généralement, des valeurs plus élevées de k réduisent l'effet du bruit sur la classification, mais rendent les frontières entre les classes moins distinctes. Un bon k peut être sélectionné par une méthode de validation croisée. La précision de l'algorithme k -NN peut être gravement dégradée par la présence de bruit ou de caractéristiques non pertinentes, ou si les échelles des caractéristiques ne correspondent pas à leur importance. De plus, en utilisant la méthode de classification de base du "vote majoritaire", les classes avec les échantillons les plus fréquents ont tendance à dominer la prédiction des nouveaux DUTs, car elles ont tendance à apparaître dans les k voisins les plus proches lorsque les voisins sont calculés en raison de leur grand nombre. Une façon de surmonter ce problème est de pondérer la classification en tenant compte de la distance du DUT à chacun de ses k plus proches voisins.

2.8.4 La logique floue

La logique floue est une extension de la logique classique qui permet la modélisation des imperfections des données et se rapproche dans une certaine mesure de la flexibilité du raisonnement humain. Elle décrit des relations entre les variables en utilisant les règles « *if-then* » où les objets manipulés sont appréhendés de façon approximative et dans un cadre linguistique.

En effet, le mode de raisonnement en logique floue est plus intuitif que la logique classique. Il permet aux concepteurs de mieux appréhender les phénomènes naturels, imprécis et difficilement modélisables en s'appuyant sur la définition de règles et de fonctions d'appartenance à des ensembles dits « ensembles flous ».

La logique floue a été appliquée avec succès dans des domaines tels que le contrôle automatique, la classification des données, l'analyse des décisions, les systèmes experts. En raison de leur nature multidisciplinaire, les systèmes d'inférence floue sont associés à un certain nombre

de noms, tels que FIS (fuzzy inference system), systèmes experts flous, modélisation floue, contrôleurs à logique floue, et simplement les systèmes flous.

Dans le prochain chapitre, nous allons expliquer avec plus de détails l'approche de la logique floue et les réseaux de neurone qui sont utilisés dans le cadre de cette thèse.

2.9 Conclusion

Dans ce chapitre, nous avons présenté brièvement l'intérêt et la mise en expérimentation des techniques du diagnostic des défauts des circuits analogiques. Différentes approches de diagnostic ont été discutées. Les avantages et les principaux enjeux des approches existantes sont discutés. Cela nous permettra de comprendre les choix qui ont été faits en termes de techniques et d'outils qui seront présentés dans les chapitres suivants. L'objectif de ceux-ci est de pallier à certaines faiblesses rencontrées dans des approches de classification des défauts soit en matière de précision ou de la charge en terme de volume de donné jugé excessivement élevé.

Chapitre 3

Techniques de classification de défauts basés sur l'intelligence artificielle

3.1 Introduction

Les techniques d'intelligence artificielle (AI) ont suscité un intérêt considérable dans le domaine de diagnostic. L'objectif de ce chapitre est de présenter le diagnostic des défauts des circuits analogiques intégrés sous l'angle de l'intelligence artificielle. Pour commencer, une étude bibliographique de l'application de ces algorithmes d'AI dans le diagnostic de défauts est présentée. De plus, ce chapitre se termine par un aperçu concis de divers algorithmes d'IA, englobant le réseau neuronal artificiel (ANN), la logique floue (FL) et le système d'inférence neuro-flou adaptatif (ANFIS).

3.2 Méthodes de diagnostic des défauts basés sur l'intelligence artificielle

Les méthodes traditionnelles de détection des défauts consistent à vérifier les variables mesurables d'un système électronique à un degré de tolérance près vis à vis des valeurs normales et d'en prévenir par des messages avertissant si les tolérances sont dépassées ou prennent les mesures appropriées lorsqu'ils dépassent une valeur limite significatif d'un processus dangereux.

Dans cette section, nous voulons présenter des systèmes intelligents de diagnostic des défauts afin qu'il nous aide de prendre une décision rapide sur l'état du circuit intégré, sans besoin d'une analyse experte.

Le diagnostic de défaut peut être considéré comme un problème de reconnaissance des formes concernant l'état des circuits intégrés. En tant qu'outil puissant de reconnaissance des formes, l'intelligence artificielle (AI) a attiré une grande attention de la part de nombreux chercheurs dans les applications de diagnostic de défauts des circuits analogiques intégrées. Par conséquent, un système commun de diagnostic des défauts se compose principalement souvent de deux étapes : traitement des données (extraction des caractéristiques) et la reconnaissance des défauts (classification).

Les systèmes intelligents de diagnostic des pannes sont souvent créés à l'aide de techniques de prétraitement impliquant des algorithmes d'extraction des caractéristiques. Ces algorithmes transforment les modèles d'entrée en vecteurs de caractéristiques (features) de faible dimension, permettant une comparaison plus facile entre les différentes classes. Ces vecteurs de caractéristiques servent ensuite d'entrées aux systèmes basés sur l'IA conçus pour la reconnaissance des défauts. L'étape de reconnaissance de ces anomalies consiste à classer les informations obtenues dans l'espace des caractéristiques, en ce qui concerne les défauts des circuits intégrés.

De nombreux outils et techniques d'IA ont été utilisés dans divers domaines, notamment l'optimisation convexe, l'optimisation mathématique et la classification. En particulier, les classificateurs et les méthodes d'apprentissage statistique sont largement utilisés

Les systèmes pour ce genre de diagnostic sont principalement construits comme la combinaison de pièces individuelles, telles que la collecte de données (acquisition de données), extraction des caractéristiques, classification des défauts, et évaluation des performances comme le montre la figure 3.1.

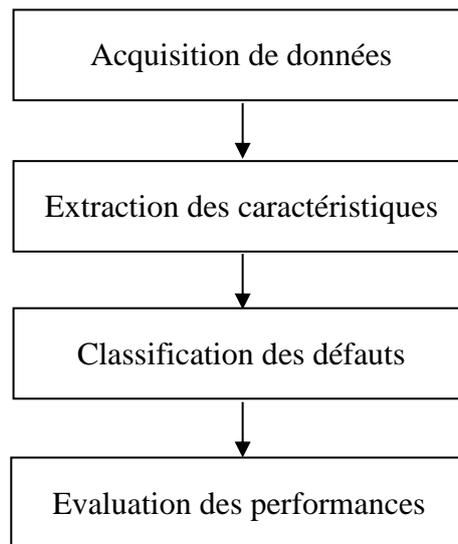


Figure 3.1 Organigramme de diagnostic de défauts basé sur l'intelligence artificielle

Le rôle récapitulatif de chaque procédure est décrit comme suit :

- Acquisition de données : cette procédure est utilisée pour collecter les signaux correspondant aux différents états de fonctionnement des circuits sous test.
- Extraction des caractéristiques: les entités les plus significatifs sont calculées en utilisant certains paramètres des caractéristiques soit dans le domaine temporel ou/et dans le domaine fréquentiel ...etc.
- Classification des défauts : les données obtenues à partir de l'extraction des caractéristiques est introduite dans le Classificateur.
- Evaluation : avoir la connaissance des performances est crucial lors de l'utilisation d'algorithmes de classification. Il permet de sélectionner l'algorithme le plus adapté à une application spécifique, sur la base des résultats de performances obtenus. Il convient de noter que les performances d'un algorithme peuvent différer selon les domaines. De plus, il existe de nombreuses métriques permettant d'évaluer les

performances des algorithmes de classification. L'une de ces mesures est la précision, qui constitue la méthode d'évaluation la plus simple.

Ce classificateur est conçu autour d'algorithmes basés sur l'intelligence artificielle dont chacun fournit les spécifications adaptées aux attentes émanant d'un processus de diagnostic de circuits ou systèmes électroniques en terme de qualité, de temps et de coût. Vu le nombre important de ces algorithmes qui étalent ce genre de processus, on limite notre étude sur ceux qui nous ont servi à l'aboutissement aux résultats fort attendus.

3.3 Etat de l'art sur les méthodes de détection et de classification basé sur AI

Plusieurs méthodes concernant la détection et la classification des défauts ont été proposées dans diverses publications. Par exemple, les auteurs de la littérature [9] ont mis au point une extraction de caractéristiques de propriété statistique basée sur FRFT (Fractional Fourier Transform). Dans cette méthode, les fonctionnalités optimales ont été extraites en utilisant la technique d'analyse à composante principale de Kernel (Kernel principal component analysis : KPCA), et celle de "Support Vector Machine" (SVM), dont l'étude a été détaillée dans le chapitre précédent, pour diagnostiquer les composants défectueux dans les circuits analogiques. La littérature [108] a traité un système d'inférence floue (FIS) conçu pour modéliser et classer les fautes dans les circuits analogiques. Tout en faisant usage de différents paramètres d'apprentissages. Nous signalons ici que cette approche fut utilisée dans notre projet en utilisant la composante continue, l'amplitude du fondamental et le taux de distorsion du signal de réponse du circuit sous test et dont les détails seront abordés dans le chapitre qui suit. Ensuite et toujours dans le même contexte de la classification des défauts, une tentative judicieuse d'application des systèmes hybrides neuro-flous fut introduite où ces derniers ont été construits et mis en essai pour isoler les défauts du circuit sous test. Dans la filée de ces mêmes idées, les auteurs de certains ouvrages [11] ont présenté un système neuro-flou opérant dans le domaine temporel et fréquentiel pour le diagnostic des défauts des circuits électroniques afin d'élever le taux d'efficacité du classificateur mis en jeu.

Dans une autre étude, un classificateur flou a été introduit comme moyen de diagnostic de défaut simple et multiple avec la variation dans la valeur électrique de composants au-dessous de $\pm 50\%$ [10]. La technique a été basée sur trois paramètres de signature à savoir le gain maximal, la fréquence et la phase tirés à partir de la réponse fréquentielle du circuit sous test et qui ont fait usage de caractéristiques pour former un outil de classification. Certaines techniques de diagnostic des fautes s'appuient sur le traitement du signal. Les auteurs ont proposé ici une technique de transformation ondelettes fractionnaire (FWT) pour extraire les caractéristiques des défauts [109].

Un multi-classificateur flou associé à cette technique de traitement et qui est basé sur la description des données de vecteur de soutien (Support Vector Data Description SVDD) a été adopté pour diagnostiquer les fautes dans les circuits analogiques.

L'approche multifréquences qui fut une alternative à ces antécédents a été optimisée pour le diagnostic des défauts [110]. Par conséquent, le nombre de fréquences d'essai pour le diagnostic de défaut et le temps de simulation requis ont été réduits. Dans d'autres travaux de recherche [106], on y a proposé des coefficients de transformation en ondelettes comme caractéristiques pour mètre à l'exercice le classificateur. En général, l'extraction des entrées (features) et l'application du classificateur représentent les étapes principales des méthodes pilotées par les données, telles que les réseaux neuronaux artificiels (ANNs) et support vector machine (SVM), pour une localisation de fautes plus ou moins précise [111]. En référence [112], l'approche d'extraction des entrées temporelles par emploi de la transformation en ondelettes optimisées de Morlet a été proposée pour résoudre le problème de la faible détection de fautes transitoires. Les auteurs de [113] proposent une méthode de diagnostic des défauts dans les circuits analogiques, en utilisant des caractéristiques extraites à partir des réponses fréquentielles et temporelles, et une approximation par fonction de Kernel à vecteur régularisée (vector-valued regularized Kernel function approximation VVRKFA).

En fait, beaucoup d'autres méthodes peuvent être trouvées dans une littérature large et diverse ayant toutes une même cible de trouver un classificateur de défauts précis, mais impliquant différentes approches telles qu'une analyse de signature numérique[114], une approche statistique [115], réseaux de neurone BP [116], utilisation de l'algorithme évolutif hybride et le réseau neuronal [117], les paramètres réseaux et les réseaux neuronaux [118-119].

Dans notre travail qui nous est attribué, il est question de développer une approche de classification qui, démarrant des inconvénients rencontrer des travaux antérieures, permettra de surmonter les obstacles et les éléments empêchant ou faisant fi aux améliorations du diagnostic des circuits intégrés. À cette fin, on a mis au point une approche basée sur une pléiade d'algorithmes visant une classification performante joignant précision la plus élevée, sélection de paramètres efficaces et au nombre restreints. L'efficacité du classificateur a pour mérite l'apport de l'intelligence artificielle représentée par les algorithmes de calcul fondés sur les Neuro-flous, ANFIS, dont nous donnons comme suit les fondements de cette approche.

3.4 Introduction au réseau de neurones artificiels (ANN)

3.4.1 Neurone formel et réseaux de neurones

Dans la littérature un neurone formel, encore appelé neurone artificiel ou perceptron, est un automate très simple imitant grossièrement la structure et le fonctionnement d'un neurone biologique (voir figure 3.2), il représente une fonction algébrique non linéaire et bornée, dont la valeur dépend de paramètres appelés coefficients ou poids. Les variables de cette fonction sont habituellement appelés entrées du neurone et la valeur de la fonction est appelée sa sortie [120].

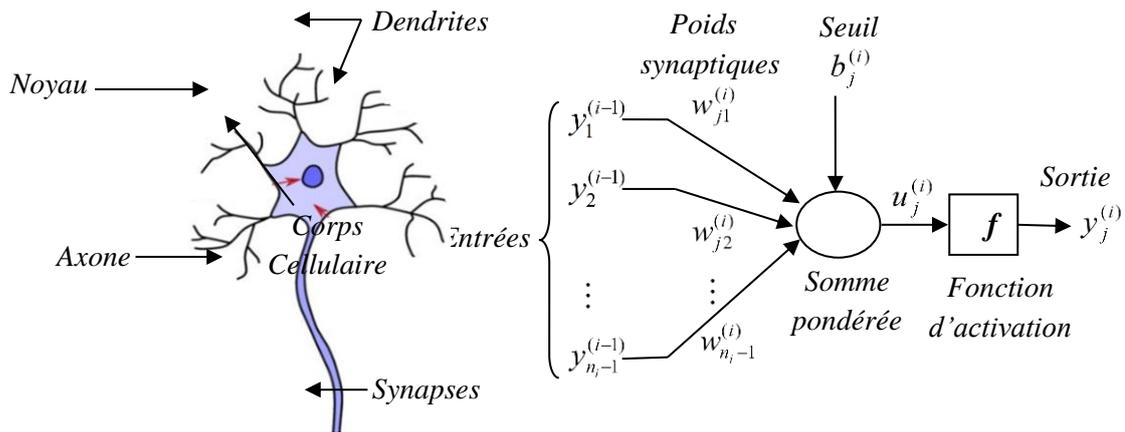


Figure 3.2 Neurone biologique et neurone formel

Un neurone est avant tout un opérateur mathématique numérique qui réalise deux opérations. La première est la somme pondérée du neurone par les poids synaptiques ; cette somme est appelée potentiel neuronal. La seconde génère la sortie du neurone, image par une fonction f appelée généralement fonction d'activation ou d'évaluation.

Une collection de neurones formels est appelée réseaux de neurones (voir figure 3.3). Ces réseaux sont souvent constitués de couches de neurones interconnectés et le type de connections, la nature de la fonction d'activation et d'autres paramètres détermineront le type du réseau de neurones à savoir Perceptron multicouches, Réseaux à fonctions de base radiales (RBF), Réseaux de Kohonen, ... etc. Même si les réseaux de neurones ne présentent, dans la majorité des cas, qu'une lointaine parenté avec l'architecture anatomique, physiologique et biologique du tissu nerveux dont ils sont inspirés, ils remportent actuellement un succès important, parce qu'ils présentent des propriétés intéressantes dans des domaines comme : le diagnostic, la compression, la prévision, l'interpolation, l'optimisation, la classification, la reconnaissance de formes, la reconnaissance de la parole, etc.

Les réseaux de feedforward sont les réseaux neuronaux les plus utilisés, simples et faciles à mettre en œuvre. Dans ce réseau, l'information ne se déplace que dans une seule direction, vers l'avant, à partir des nœuds d'entrée, en passant par les couches cachées et vers les nœuds de sortie. Il n'y a pas de cycle ou de boucle dans le réseau, d'où leur utilisation. En plus du type de réseau de neurones, il faut également choisir une fonction d'erreur et une fonction d'activation pour les neurones. Ces choix sont souvent guidés par le type de données traitées. Un réseau de neurones multicouche (MLP) typique se compose de trois couches : une couche d'entrée, une couche de sortie et une ou plusieurs couches cachées. Chaque couche est constituée d'un nombre prédéfini de neurones. Le neurone utilisé est un type standard. Il consiste à faire la somme de toutes les entrées pondérées par ses coefficients synaptiques qui représente la sortie linéaire puis à l'appliquer à une fonction d'activation. La sortie obtenue est ensuite connectée à toutes les entrées de la couche suivante. La structure de base d'un neurone est présentée dans la figure 3.2.

Le modèle mathématique de neurone artificiel a une structure très simple par rapport à un neurone biologique. Ainsi, un neurone j peut être décrit mathématiquement avec l'équation suivante :

$$y_j^{(i)} = f(b_j^{(i)} + \sum_{k=1}^{n_{i-1}} w_{jk}^{(i)} y_k^{(i-1)}) \quad 3.1$$

avec :

- f représente la fonction de transfert (fonction d'activation) du neurone j ; i représente l'indice de la couche cachée.
- $y_k^{(i-1)}$, $k = 1, \dots, n_{i-1}$, représente les signaux d'entrée du neurone j et n nombre de neurones dans la couche cachée i .
- $w_{jk}^{(i)}$ représente les coefficients de poids de la connexion entre les entrées et le neurone j .
- $b_j^{(i)}$ est le biais (seuil) du neurone j .

L'erreur ($y_s - y_{s-désirée}$) dans la couche de sortie entre la sortie y_s et sa valeur désirée $y_{s-désirée}$ est minimisée par l'erreur quadratique moyenne à la couche de sortie, définie comme suit :

$$Erreur = \frac{1}{2} \sum_{s=1}^R (y_s - y_{s-désirée})^2 \quad 3.2$$

avec R nombre de neurones dans la couche de sortie.

3.4.3 Algorithme « error back propagation, BP »

L'algorithme de rétro-propagation ou back-propagation a été créée en généralisant la règle d'apprentissage de Windrow-Hoff [122] aux réseaux de neurones multicouches et aux fonctions de transfert différentiables non linéaires. Les vecteurs d'entrée et les vecteurs cibles correspondants sont utilisés pour entraîner un réseau jusqu'à ce qu'il puisse se rapprocher d'une fonction, qui associe des vecteurs d'entrée à des vecteurs de sortie spécifiques. L'erreur pour chaque itération est calculée en partant de la dernière étape et en envoyant l'erreur calculée à l'envers (voir figure 3.5). Les poids de l'algorithme de rétro-propagation pour le réseau neuronal sont choisis de manière aléatoire. Après chaque étape, ces poids sont mis à jour avec les nouveaux poids et le processus est répété pour l'ensemble complet de la combinaison entrées-sorties disponible dans l'ensemble de données d'entraînement qui est fourni par le développeur [123]. L'ensemble de ce processus est adopté par chacune des couches du réseau dans le sens inverse. Cet algorithme utilise la technique de l'erreur quadratique moyenne pour calculer l'erreur à chaque itération. L'algorithme de rétro-propagation a été mis en œuvre de nombreuses façons, mais l'idée de base reste la même. La seule chose qui change dans chacune de ces implémentations est la méthode utilisée pour le calcul des poids qui sont mis à jour de manière itérative lorsqu'ils passent en arrière de couche en couche. Le nombre total d'itérations nécessaires pour atteindre un taux de convergence satisfaisant dépend des facteurs suivants :

- La taille du réseau de neurones ;
- Structure du réseau ;
- Le problème faisant l'objet de l'enquête ;
- La stratégie d'apprentissage utilisée ;
- La taille de l'ensemble de Training Data.

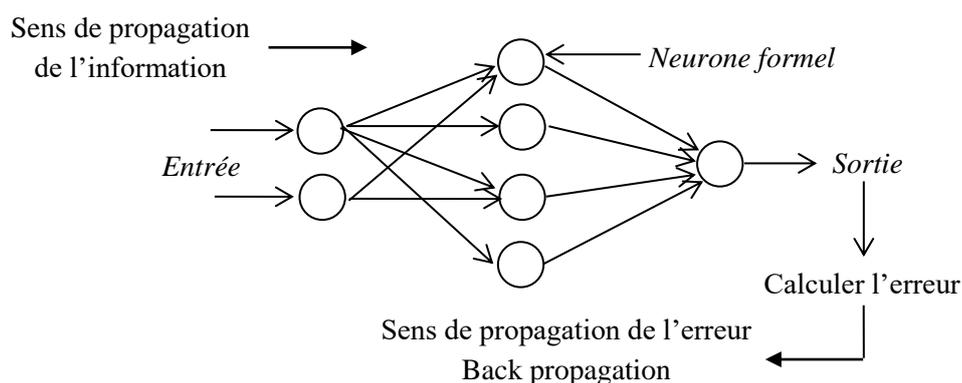


Figure 3.5 Structure de Back-propagation

Les principales étapes de l'algorithme de rétro-propagation BP (Back-propagation) sont représentées dans l'algorithme suivant :

- **Étape 1** (Initialisation) : Initialiser les matrices aléatoires des poids $W^i, i = 1, \dots, M$. M nombre de couches cachées et des biais.

- **Étape 2** (Propagation) : Calculer pour chaque couche la sortie actuelle par propagation à travers les couches.

$$u_j^{(i)} = b_j^{(i)} + \sum_{k=1}^{n_i-1} (w_{jk}^{(i)} y_k^{(i-1)}) \quad 3.3$$

$$y_j^{(i)} = f(u_j^{(i)}) \quad 3.4$$

- **Étape 3** (Calcul des erreurs) : Calculer les erreurs locales pour

- Couche de sortie :

$$\delta_{jp}^M = e_{jp}^{(M)} f'(u_{jp}^{(M)}) \quad 3.5$$

Où p est l'indice d'un exemple de la base, δ_{jp}^M gradient d'erreur, $e_{jp}^{(M)} = (y_{jp}^{(M)} - y_{j \text{ désirée}})$ est l'erreur entre la sortie obtenu et la sortie désirée.

- Couche $i = M - 1, \dots, 1$

$$\delta_{jp}^i = f'(u_{jp}^{(i)}) \sum (\delta_{jp}^{(i+1)} w_{kj}^{(i+1)}) \quad 3.6$$

- **Étape 4** (Adaptation des poids) : Mise à jour des poids et des biais suivants

$$\Delta w_{jk}^{(i)}(p) = \mu y_{kp}^{(i-1)} \delta_{jp}^i, \quad i = 1, \dots, M \quad 3.7$$

$$\Delta b_j^{(i)}(p) = \mu \delta_{jp}^i, \quad i = 1, \dots, M \quad 3.8$$

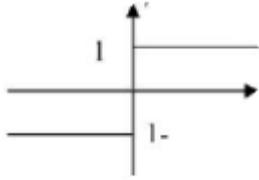
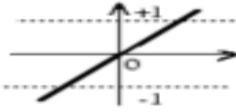
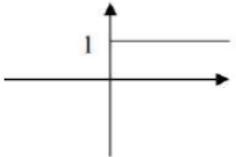
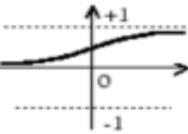
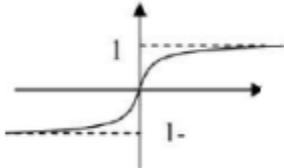
où μ est le coefficient d'apprentissage compris dans l'intervalle $[0, 1]$

- **Étape 5** (Test d'arrêt) : Tester l'erreur quadratique totale.

3.4.4 Fonction de transfert/activation

Dans le domaine des réseaux de neurones artificiels, la fonction d'activation est une fonction mathématique appliquée à un signal en sortie d'un neurone artificiel. Une fois un seuil est atteint, le neurone donne une réponse. La fonction d'activation est souvent une fonction non linéaire. Le tableau ci-dessous (Tableau 3.1) regroupe les fonctions d'activation les plus utilisées pour les couches neuronales.

Tableau 3.1 Les fonctions d'activation

Nom	Graphe	Equation
Signe		$f(x) = \begin{cases} +1 & \text{si } x \geq 0 \\ -1 & \text{si } x < 0 \end{cases}$
Identité/Rampe		$f(x) = x$
Marche/Heaviside Step		$f(x) = \begin{cases} 0 & \text{si } x < 0 \\ 1 & \text{si } x \geq 0 \end{cases}$
Logistique ou sigmoïde		$f(x) = \frac{1}{1 + e^{-x}}$
Tangente Hyperbolique		$f(x) = \tanh(x) = \frac{2}{1 + e^{-2x}} - 1$

3.4.5 Stratégies d'apprentissage des réseaux de neurones

Le problème fondamental de la conception de l'ANN réside dans la détermination des poids afin d'atteindre l'objectif souhaité. Ce processus est généralement appelé apprentissage ou entraînement, c'est l'étape la plus importante dans le développement des détecteurs et localisateurs neuronaux de défaut. Ainsi, les données d'entraînement, ou ce qu'on appelle en anglais Training Data, doivent donc être préparées de manière méthodique et réfléchie. Dans certaines applications, ces données ne sont pas toujours disponibles dans le cadre d'un système réel, l'utilisation d'un simulateur est nécessaire pour générer ces données. En général, il existe trois stratégies d'apprentissage de l'ANN : l'apprentissage supervisé, non supervisé et l'apprentissage par renforcement.

a) L'apprentissage supervisé :

Cet apprentissage consiste à modifier les poids du réseau dans le but de minimiser l'erreur entre les exemples d'entrée présentés et les valeurs de sortie cible, la figure 3.6 suivante montre la démarche de la phase d'apprentissage supervisé.

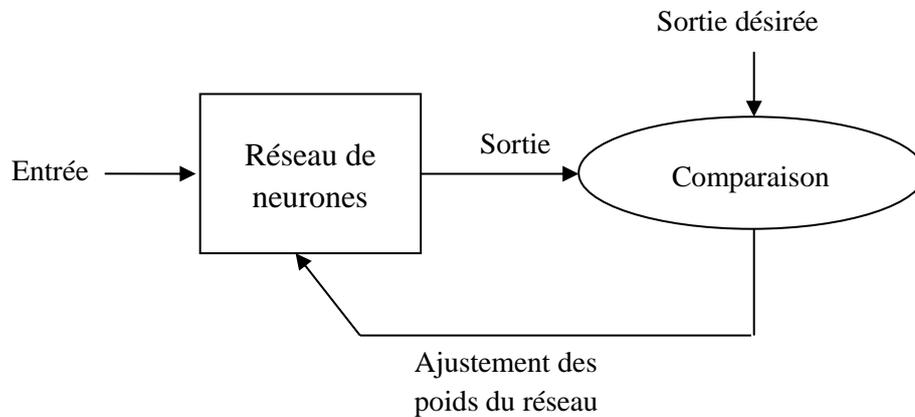


Figure 3. 6 Apprentissage supervisé

b) L'apprentissage non supervisé :

Dans l'apprentissage non supervisé, il n'y a pas de relation définie entre les entrées et les sorties. L'apprentissage est effectué sur la base d'un ensemble d'exemples où seules les conditions d'entrée sont connues. Dans le processus d'apprentissage, ces exemples sont sélectionnés en respectant un certain principe de similarité. Un tel réseau peut être considéré comme un système auto-organisé qui apprend sur un principe de concurrence, les réseaux auto-organiseurs de Kohonen [122] sont les réseaux à apprentissage non supervisé les plus connus.

c) L'apprentissage par renforcement (auto-supervisé) :

Il consiste, pour un agent autonome (robot, etc.), à apprendre les actions à prendre, à partir d'expériences, de façon à optimiser une récompense quantitative au cours du temps. L'agent est plongé au sein d'un environnement, et prend ses décisions en fonction de son état courant. En retour, l'environnement procure à l'agent une récompense, qui peut être positive ou négative. L'agent cherche, au travers d'expériences itérées, un comportement décisionnel (appelé stratégie ou politique, et qui est une fonction associant à l'état courant l'action à exécuter) optimal, en ce sens qu'il maximise la somme des récompenses au cours du temps.

L'apprentissage par renforcement se distingue de l'apprentissage supervisé par le fait qu'il n'est pas nécessaire de présenter des paires entrées/sorties étiquetées ni de corriger explicitement les actions sous-optimales. Au lieu de cela, l'accent est mis sur la recherche d'un équilibre entre l'exploration (d'un territoire inexploré) et l'exploitation (des connaissances actuelles). Les

algorithmes d'apprentissage par renforcement partiellement supervisés peuvent combiner les avantages des algorithmes supervisés. Cette méthode d'apprentissage a été adoptée dans le domaine de l'intelligence artificielle afin de diriger l'apprentissage automatique non supervisé à l'aide de récompenses et de pénalités. Elle est souvent utilisée dans le cadre de la robotique, de la théorie des jeux et des véhicules autonomes. En outre, lors de l'élaboration des données d'apprentissage, les données doivent être représentatives de tous les scénarios possibles dans lesquels l'ANN sera appelé à exercer ses fonctions de détection, classification et de localisation. Ainsi, training data peuvent devenir d'énormes ensembles de données.

3.4.6 Algorithmes d'apprentissage

Pour illustrer le fonctionnement de l'apprentissage, considérons l'algorithme d'optimisation le plus simple, la descente de gradient. Il met à jour les poids et les biais du réseau dans la direction dans laquelle la fonction de performance diminue le plus rapidement, le négatif du gradient [122].

Une itération de cet algorithme peut être écrite comme suit :

$$x_{k+1} = x_k - a_k g_k \quad 3.9$$

où x_k est un vecteur des poids et des biais actuels, g_k est le gradient actuel, et a_k est le taux d'apprentissage. Cette équation est itérée jusqu'à ce que le réseau converge.

Le tableau 3.2 présente une liste des algorithmes d'apprentissage disponible dans la bibliothèque Neural Network Toolbox de MATLAB et qui utilisent des méthodes basées sur le gradient ou le Jacobien.

La fonction d'apprentissage la plus rapide est généralement *trainlm*, et c'est la fonction d'apprentissage par défaut pour feedforwardnet (réseau de neurones de type Feedforward). La méthode quasi Newton, *trainbfg*, est également assez rapide [124]. Ces deux méthodes ont tendance à être moins efficaces pour les grands réseaux (avec des milliers de poids), car elles nécessitent plus de mémoire et plus de temps de calcul pour ces cas. De plus, *trainlm* est plus performant sur les problèmes d'ajustement de fonctions (régression non linéaire) que sur les problèmes de reconnaissance de formes. Lors de l'entraînement de grands réseaux et les réseaux de reconnaissance de formes, *trainscg* et *trainrp* sont de bons choix. Leurs besoins en mémoire sont relativement faibles, et pourtant ils sont beaucoup plus rapides que les algorithmes de descente de gradient standard.

Tableau 3.2 Différent algorithmes d'apprentissage dans Neural Network Toolbox

Algorithme et abréviation	Fonctions MATLAB
Levenberg-Marquardt (LM)	<i>Trainlm</i>
Régularisation bayésienne (Bayesian Regularization, BR)	<i>Trainbr</i>
BFGS Quasi-Newton(BFG)	<i>Trainbfg</i>
Backpropagation résiliente (Resilient Backpropagation, RP)	<i>Trainrp</i>
Gradient conjugué échelonné (Scaled Conjugate Gradient, SGC)	<i>Trainscg</i>
Gradient conjugué avec Powell/Beale Restarts (Conjugate Gradient with Powell/Beale Restarts, CGB)	<i>Traincgb</i>
Gradient conjugué de Fletcher-Powell (Fletcher-Powell Conjugate Gradient, CGF)	<i>Traincgf</i>
Gradient conjugué de Polak-Ribière (Polak-Ribière Conjugate Gradient, CGP)	<i>Trainsgp</i>
Sécante à un pas (One Step Secant, OSS)	<i>Trainoss</i>
Taux d'apprentissage variable par descente de gradient (Variable Learning Rate Gradient Descent, GDX)	<i>Traingdx</i>
Descente de gradient avec Momentum (Gradient Descent with Momentum, GDM)	<i>Traingdm</i>
Descente en gradient (Gradient Descent, GD)	<i>Traingd</i>

3.4.7 Conditions d'arrêt de l'apprentissage [125]

Le processus d'apprentissage du réseau peut être interrompu pour plusieurs raisons dont les plus importantes sont :

- Le dépassement du seuil fixé sur la moyenne des carrés d'erreurs entre la sortie du réseau et les données d'apprentissage, ou sur la racine carrée de cette erreur. Dans ce cas, la précision du réseau est satisfaisante et le réseau est prêt à remplacer le système à modéliser.
- Le dépassement du seuil fixé sur le module du gradient. Quand le module du gradient de la fonction de performance est inférieur à une valeur fixée à l'avance, l'évolution des poids et biais devient négligeable, alors le processus d'apprentissage est interrompu et le réseau retient les poids et biais ajustés lors de la dernière époque.
- Le dépassement du seuil fixé sur le nombre d'époques (itérations). Par définition, une époque est le calcul des résultats du réseau pour toutes les entrées utilisées dans la base d'apprentissage, le calcul de la fonction de performance et des composants de son gradient et l'ajustement des poids et biais du réseau en se basant sur l'information fournie par le gradient. Donc le nombre d'époques correspond au nombre de fois que les poids et biais sont ajustés. Quand le nombre d'époques atteint une valeur fixée à l'avance, le processus d'apprentissage est interrompu et le réseau retient les poids et biais ajustés lors de la dernière époque.

3.5 La logique floue

3.5.1 Généralités sur la logique floue

La logique floue (FL, fuzzy logic en anglais) est une extension de la logique classique aux raisonnements approchés. Elle s'appuie sur la théorie mathématique des ensembles flous du domaine de l'algèbre abstraite. Cette théorie elle a été développée par Lotfi Zadeh, [126] afin de représenter mathématiquement l'imprécision relative à certaines classes d'objets. Les ensembles flous (fuzzy sets) ont été introduits afin de modéliser la représentation humaine des connaissances, et ainsi améliorer les performances des systèmes de décision qui utilisent cette modélisation. Les ensembles flous sont utilisés soit pour modéliser l'incertitude et l'imprécision, soit pour représenter des informations précises sous forme lexicale assimilable par un système expert, [127-128].

3.5.2 Notion de sous-ensemble flou

Dans la théorie classique des ensembles, un sous-ensemble A de B est défini par une fonction d'appartenance $\mu_A(x)$ qui caractérise tout élément x appartenant à B . Cette fonction prend la valeur 1 si x appartient à A et la valeur 0 dans le cas contraire :

$$\mu_A(x) = \begin{cases} 1 & \text{si } x \in A \\ 0 & \text{si } x \notin A \end{cases} \quad 3.10$$

En logique floue, un sous-ensemble flou A de B est défini par une fonction d'appartenance $\mu_A(x)$ pouvant prendre différentes valeurs comprises entre 0 et 1, selon le degré d'appartenance de l'élément x au sous-ensemble A .

$$\mu_A(x) \in [0, 1]$$

Cette fonction est défini sur un intervalle convexe A de \mathfrak{R} , auquel est associé un label linguistique (e.g. "Petit", "Moyen", "Grand").

3.5.3 Variable floue

La logique floue permet de tenir compte de la nature imprécise du monde réel, grâce à des termes flous ou variables linguistiques (e.g. "*Petit*", "*Moyen*", "*Grand*"). Chaque terme représente un sous-ensemble de valeurs numériques et caractérise ainsi la variable floue (e.g. "*vitesse*"). Le domaine sur lequel ces termes et ces variables sont définies constitue l'univers de discours ou le domaine de définition [129].

La figure 3.7 illustre un exemple de la variable linguistique '*vitesse*' avec trois termes linguistiques : *petite*, *moyenne* et *grande*.

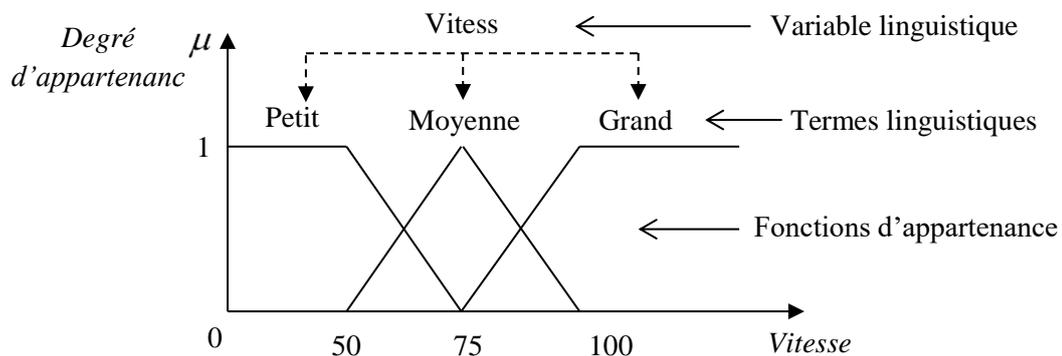


Figure 3.7 Représentation floue de la variable linguistique «vitesse»

3.5.4 Fonction d'appartenance

Afin de permettre un traitement numérique des variables linguistiques dans la prise des décisions floues, une définition des variables linguistiques à l'aide de fonctions d'appartenance est imposée. Dans ce contexte, nous associons à chaque valeur de la variable linguistique une fonction d'appartenance définie par $\mu_A(x)$, qui sera désignée par le degré ou le facteur d'appartenance (figure 3.8).

Le plus souvent, nous utilisons pour les fonctions d'appartenance les fonctions suivantes [130] :

a) Fonction triangulaire : une fonction triangulaire est définie par trois paramètres a, b, c qui déterminent les coordonnées des trois sommets (Figure 3.8 a) :

$$\mu(x) = \max\left(\min\left(\frac{x-a}{b-a}, \frac{c-x}{c-b}\right), 0\right) \quad 3.11$$

b) Fonction trapézoïdale : elle est définie par quatre paramètres a, b, c, d (Figure 3.8 b):

$$\mu(x) = \max\left(\min\left(\frac{x-a}{b-a}, \frac{d-x}{d-c}\right), 0\right) \quad 3.12$$

c) Fonction gaussienne : elle est définie par deux paramètres σ, m (Figure 3.8 c):

$$\mu(x) = \exp\left(-\frac{(x-m)^2}{2\sigma^2}\right) \quad 3.13$$

d) Fonction sigmoïde : elle est définie par deux paramètres a, c (Figure 3.8 d):

$$\mu(x) = \frac{1}{1 + \exp(-a(x-c))} \quad 3.14$$

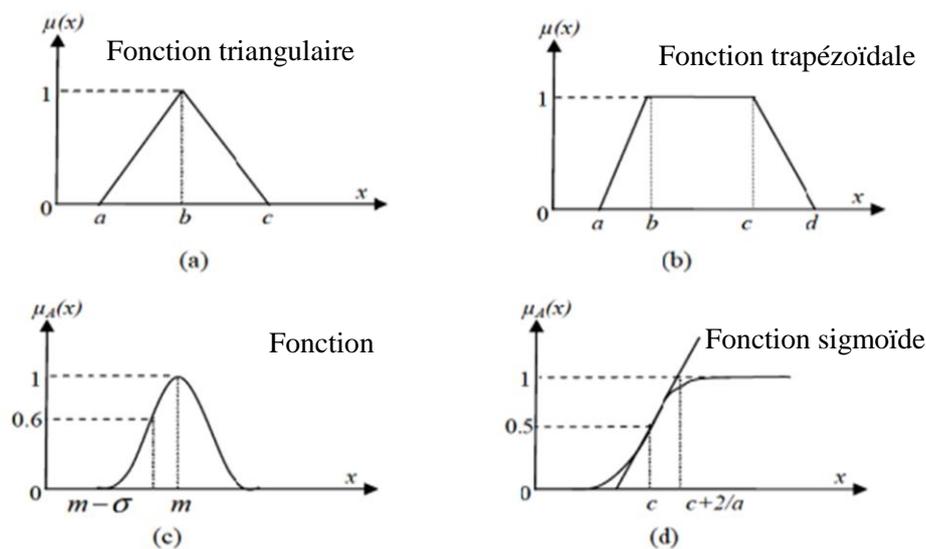


Figure 3.8 Les formes des fonctions d'appartenance usuelles

3.5.5 Base de règles floues

Une base de règles est un ensemble de règles conditionnelles floues *Si « condition » alors « action »*, composées de deux parties : prémisse et conclusion *Si «prémisse » alors « conclusion »*. Ces règles floues peuvent être classées en 3 types selon la forme de leur partie conclusion.

- **Type 1** : la conséquence est une constante

Règle i : Si x_i est A_n et/ou et/ou x_n est A_m alors y est w_j .

- **Type 2** : pour ce type la conséquence est une fonction linéaire de premier ordre

Règle j : Si x_i est A_{ji} et/ou et/ou x_n est A_{jn} alors $g_i(x_i, \dots, x_n) = b_0 + b_1x_i + \dots + b_nx_n$.

- **Type 3** : conséquence est un ensemble flou

Règle k : Si x_i est A_n et/ou et/ou x_n est A_{kn} alors y est B_k .

Où dans ces règles, x_i et y représentent respectivement les variables d'entrée et de sortie, les A et B_k sont des sous-ensembles flous, w_j est une valeur constante, et $g_i(x_i, \dots, x_n) = b_0 + b_1x_i + \dots + b_nx_n$ est fonction linéaire des entrées ou les b_j sont des coefficients constants, ou/et des opérateurs

3.5.6 Système d'inférence floue

Un système d'inférence floue (FIS, Fuzzy Inference System) est composé d'une base de connaissance, une partie d'entrée représenté par une interface de Fuzzification et une sortie par une interface de Défuzzification. La Figure 3.9 illustre la structure générale du cœur d'un système d'inférence floue [131] :

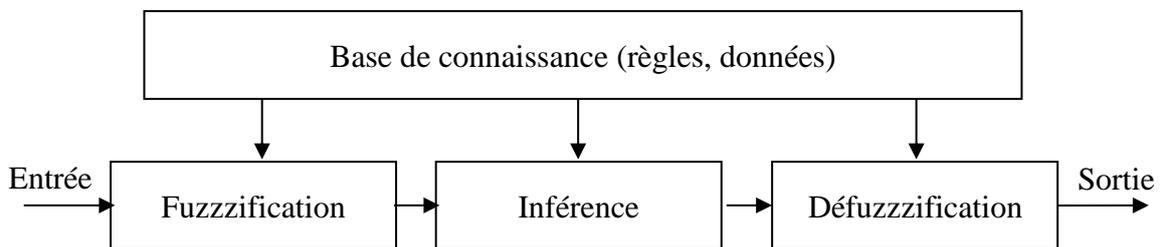


Figure 3.9 Structure générale d'un système d'inférence flou

Le système inférence floue est un mécanisme de décision, il permet à partir d'un fait observé de la base des règles floue une décision en exploitant le raisonnement approximatif.

3.5.6.1 Fuzzification

La fuzzification est la première étape qui entre en compte dans la structure d'un FIS. Elle consiste à définir des fonctions d'appartenance pour les différentes variables linguistiques. Ceci a pour but la transformation des grandeurs physiques (entrées) en valeurs linguistiques (sous ensemble flou) représentés par leurs fonctions d'appartenances [129]. Durant l'étape de la fuzzification, chaque variable d'entrée et de sortie est associée à des sous-ensembles flous, ce qui permet d'avoir une mesure précise sur le degré d'appartenance de la variable d'entrée à chaque

ensemble flou. Les caractéristiques de cette étape sont habituellement déterminées par des experts ou des opérateurs qualifiés recourant le plus souvent à leurs connaissances.

3.5.6.2 Inférence floue

L'inférence floue est l'application de la caractérisation symbolique (remplace la désignation des ensembles flous par des abréviations) du système aux règles floues et la déduction d'un certain nombre de résultats locaux ; également exprimés sous forme symbolique concernant les variables de sortie du système. Le but de cette étape est d'arriver à déterminer des sorties floues ; en partant d'entrées floues et en utilisant une base de règles [132].

Pour pouvoir utiliser cette base de règles, nous avons besoin de trois opérateurs, mathématiques, la conjonction (ET) qui s'applique aux variables à l'intérieur d'une règle tandis que l'opérateur ; l'implication (Si ...Alors) et l'agrégation (Sinon).

Il existe plusieurs méthodes pour réaliser ces opérateurs dans une inférence et qui s'appliquent aux fonctions d'appartenance à savoir :

a) Méthode d'inférence max-min (Mamdani) : l'implication floue ALORS et l'opérateur ET sont réalisés par la fonction minimum et l'opérateur logique OU est réalisé par la fonction maximum ; elle nécessite un temps de calcul trop élevé. Cette méthode est également dite l'implication de Mamdani, d'où la fonction d'appartenance résultante correspond au maximum des deux fonctions d'appartenance partielles puisque les règles sont liées par l'opérateur OU.

Pour mieux illustrer cette méthode d'inférence, on donne un exemple sur la méthode MAX-MIN de Mamdani avec deux règles simples :

$$\left\{ \begin{array}{l} \text{Si } x_1 \text{ est } A_1 \text{ ET } x_2 \text{ est } B_1 \text{ Alors } y \text{ est } C_1 \text{ (Règle 1)} \\ \text{Ou} \\ \text{Si } x_1 \text{ est } A_2 \text{ ET } x_2 \text{ est } B_2 \text{ Alors } y \text{ est } C_2 \text{ (Règle 2)} \end{array} \right. \quad 3.15$$

Où x_1 et x_2 les entrées, A_1, A_2, B_1, B_2, C_1 et C_2 désignant les fonctions d'appartenance, *OU/ET* des opérateurs. Chaque règle est activé séparément et les conclusions sont agrégées pour définir l'ensemble flou de y , ce raisonnement est illustré sur la figure 3.10 [6].

b) Méthode d'inférence max-produit (Larsen) : la seule différence avec la méthode précédente est la réalisation de l'implication floue le produit est utilisé. Les opérateurs logiques ET et OU sont toujours réalisés respectivement par les fonctions minimum et maximum. La méthode max-produit est également dite implication de Zadeh [133]

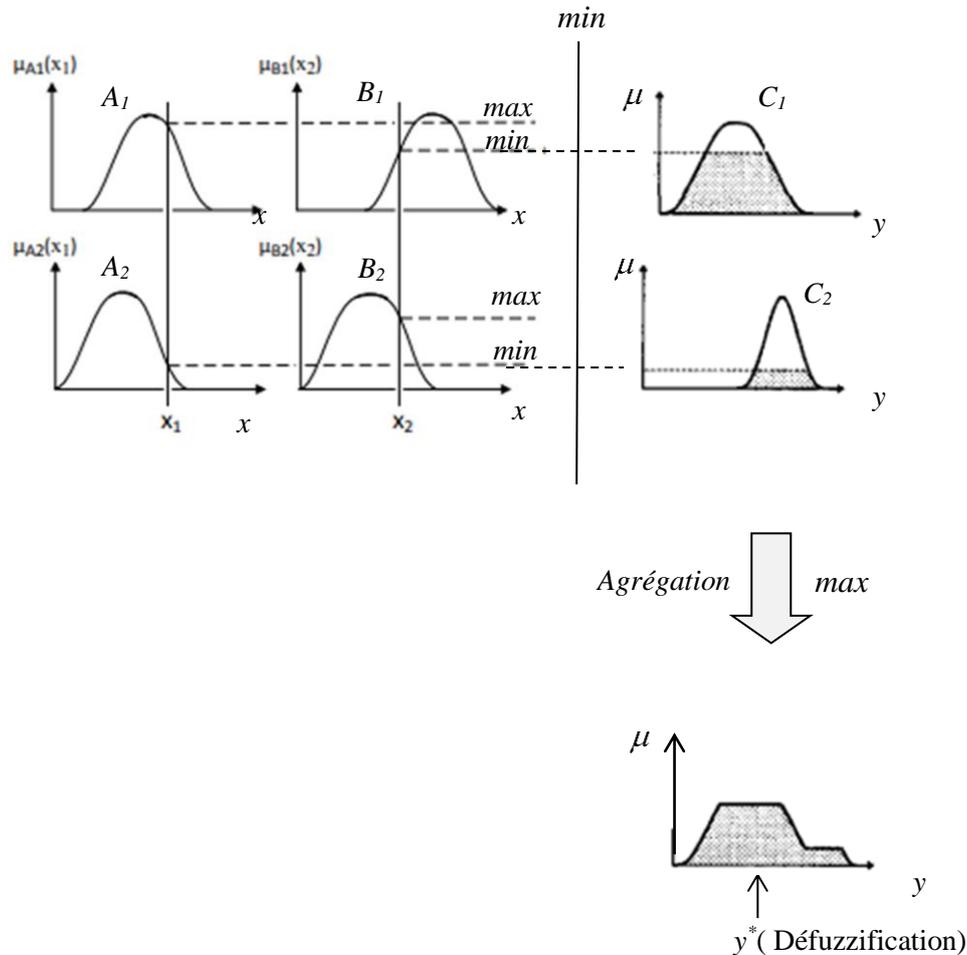


Figure 3.10 Composition Max-min de Mamdani pour deux entrées et deux règles

c) **Méthode d'inférence somme-produit (Sugeno)** : la méthode d'inférence somme-produit réalise, au niveau de la condition, l'opérateur OU par la formation somme, et l'opérateur ET par la formation produit. Au niveau de la conclusion, elle réalise également l'opérateur ALORS par la formation produit.

3.5.6.3 Défuzzification

L'interface de défuzzification génère une valeur chiffrée (non floue : crisp) dans la sortie qui doit traduire au mieux l'ensemble flou obtenu de l'opération précédente. Plusieurs stratégies sont utilisées pour réaliser l'étape de défuzzification, les plus couramment sont :

a) **La méthode du centre de gravité (COG)** : c'est la méthode la plus utilisée, dans cette méthode la sortie défuzzifiée x^* correspond à l'abscisse du centre de gravité de la surface de la fonction d'appartenance résultante $\mu(x)$ (voir figure 3.11).

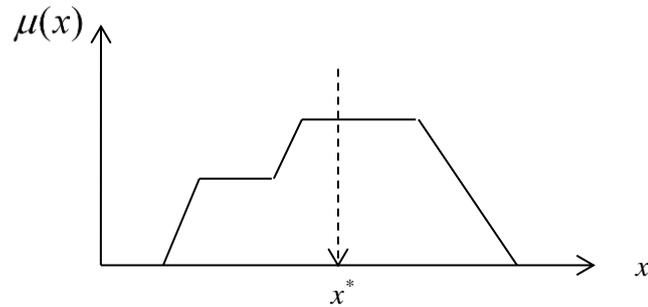


Figure 3.11 Défuzzification par centre de gravité

b) **La méthode de la moyenne des maxima** [129] : elle a été introduite afin de remédier à la lourdeur des calculs de la méthode du centre de gravité. La sortie défuzzifiée est obtenue par le calcul de la moyenne des abscisses pour lesquelles la fonction d'appartenance est maximale (voir figure 3.12) :

$$x^* = \frac{\sum_{i=1}^n \mu(x_i)}{n} \quad 3.16$$

où x_i sont définis par : $\mu(x_i) = \max(\mu(x))$, n nombre des maximums.

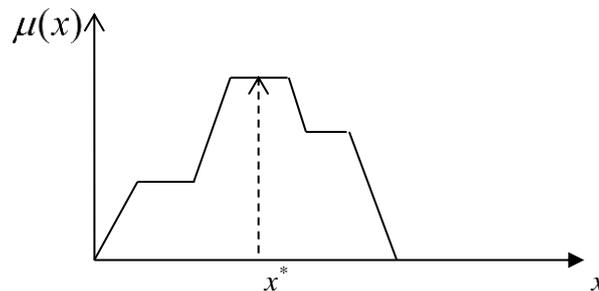


Figure 3.12 Défuzzification par la méthode de la moyenne des maxima.

c) **Méthode du plus grand maximum** : Cette méthode consiste à ne prendre en compte qu'une valeur possédant le pourcentage maximum (la plus grande valeur) de la fonction d'appartenance résultante des règles d'inférences (voir figure 3.13).

$$x^* = \max(\mu(x)) \quad 3.17$$

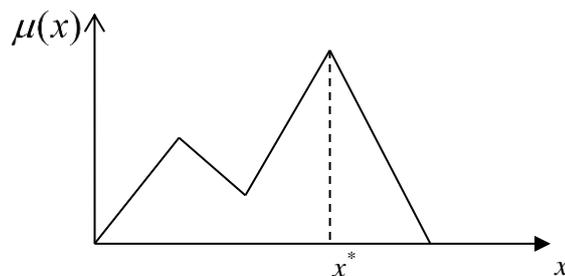


Figure 3.13 Défuzzification par la méthode du plus grand maximum

3.5.7 Caractéristiques des systèmes d'inférences flous (SIF)

Comme il est noté précédemment, un système flou est en premier lieu caractérisé par son type (Mamdani, Sugeno, ...) et par les partitions floues qu'il met en œuvre. Cependant, la définition totale d'un système flou passe par la spécification d'un ensemble de caractéristiques dites structurelles et paramétriques.

a) Les caractéristiques structurelles du FIS

Ces caractéristiques spécifient tous les éléments du FIS qui influent sur sa structure. Ces éléments sont constitués par :

- le type de fonction d'appartenance utilisé (triangle, trapèze, forme de cloche, ...)
- pour chaque terme linguistique, le nombre de termes linguistiques pour chaque variable,
- le nombre optimal de règles,
- les variables principales à ces règles,
- les opérateurs de conjonction, de disjonction et d'implication, et la technique de défuzzification.

b) Les caractéristiques paramétriques du FIS

Une fois la structure du FIS est choisie, le problème est alors le placement optimal des fonctions d'appartenance d'entrées et de sorties. Les caractéristiques paramétriques se situent au plus bas niveau de spécification d'un FIS. Elles représentent en fait l'aspect purement numérique du système flou et définissent les sous ensembles qui le constituent :

- Les paramètres définissant les fonctions d'appartenance d'entrée des règles ;
- Les paramètres définissant les sorties des règles.

3.6 Les réseaux neuro-flous

À partir des deux techniques citées précédemment, il émerge une approche combinatoire de ces dernières assemblant les avantages de l'une et de l'autre qui la rendent comme un outil puissant en intelligence artificielle. Il s'est avéré que la logique floue et les réseaux de neurones artificiels sont des technologies qui peuvent se compléter et qu'avec leurs forces et leurs faiblesses comme le mentionne le tableau 3.3, leur intégration dans un même system contribuera efficacement au développement des systèmes intelligents.

Tableau 3.3 Comparaison entre la logique floue et les réseaux de neurones

	Réseaux de neurones	Logique floue
Avantages	<ul style="list-style-type: none"> - Capacité d'apprentissage - Capacité de génération - Robustesse 	<ul style="list-style-type: none"> - Représentation des connaissances incertaines - Facilité d'interaction - Facilité d'interprétation des résultats - Facilité d'extension de la base de connaissance
Inconvénients	<ul style="list-style-type: none"> - Boite noire (manque d'interprétabilité) - Difficulté de déterminer le nombre de couches/neurones 	<ul style="list-style-type: none"> - Incapacité de généralisation - Dépend de l'exigence d'un expert pour déterminer les règles d'inférence

En résumant l'apport de cette approche combinatoire neuro-floue, le tableau 3.3 regroupe les avantages et les inconvénients des réseaux de neurones et de la logique floue. Il montre clairement que la combinaison de ces deux techniques permet de tirer profit des avantages de chacune des deux approches. D'un côté, les réseaux de neurones peuvent améliorer leur transparence, ce qui les rend plus proche des systèmes flous. D'un autre côté, les systèmes flous s'auto-adaptent (réglage automatique des paramètres), ce qui les rendra plus proche des réseaux connexionnistes [134].

Les systèmes neuro-flous ont suscité l'intérêt croissant des chercheurs dans les domaines scientifiques et d'ingénierie [134-135]. Ce constat sur ces systèmes neuro-flous hybrides fut majestueusement apparu dans le domaine de reconnaissance des formes [136]. L'exploit qu'a dû produire cette nouvelle technique lui a permis d'être extensible et pénétrante dans le domaine du médical, le diagnostic des circuits électroniques défectueux [11];

3.6.1 Définition du système Neuro-Flou

Les systèmes neuro-flous (NF) sont des systèmes flous formés par un algorithme d'apprentissage inspiré des réseaux de neurones. La technique d'apprentissage opère en fonction de l'information locale et produit uniquement des changements locaux dans le système flou d'origine. Les règles floues codées dans le système neuro-flou représentent les échantillons imprécis et peuvent être vues en tant que prototypes imprécis des données d'apprentissage (Figure

3.14). On peut aussi noter que les systèmes neuro-flous peuvent être utilisés comme des approximateurs [137].

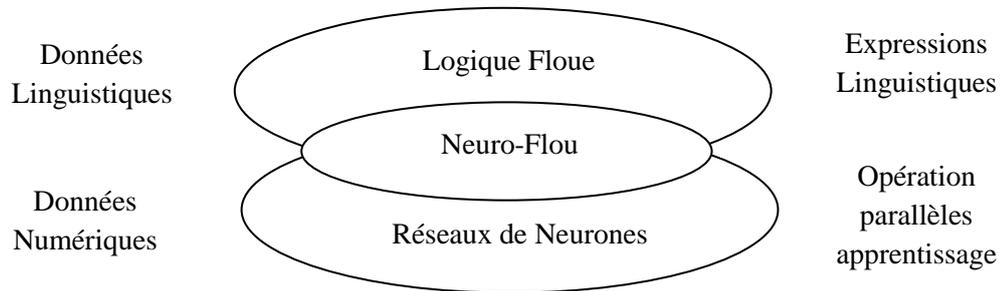


Figure 3.14 Représentation d'un système neuro-flou

Les règles floues codées dans un système neuro-flou représentent les échantillons imprécis et peuvent être vues en tant que prototypes imprécis des données d'apprentissage. Un système neuro-flou ne devrait par contre pas être vu comme un système expert (flou), et il n'a rien à voir avec la logique floue dans le sens stricte du terme. On peut aussi noter que les systèmes NF peuvent être utilisés comme des approximateurs universels. [138].

Les développements actuels sur ce type de problématique montrent que les performances de ces NF dépassent celles d'autres méthodes aussi bien en termes de précision des résultats que d'efficacité d'apprentissage.

Généralement, les réseaux neuro-flous remplacent les différentes couches cachées des réseaux de neurones par des règles floues (i.e. règles linguistiques). Ils utilisent ensuite des algorithmes d'apprentissage pour définir et optimiser ces paramètres. De plus, les règles d'un système neuro-flou sont transparentes, ce qui permet la validation et la manipulation par un expert. Enfin, les systèmes NF sont très prometteurs dans les cas où les données disponibles sont limitées [139].

3.6.2 Architecture des systèmes neuro-flous

L'association diversifiée de ces deux méthodes (réseaux de neurones, logique floue) sous différents aspects a revivifié le développement de l'émergente technique neuro-floue depuis 1988 à nos jours. Ces diverses formes ont été le plus souvent orientées vers la commande de systèmes complexes et les problèmes de classification. Il existe quatre grandes catégories de combinaisons des réseaux de neurones avec la logique floue [137] : réseau flou neuronal, système neuronal/flou simultanément, modèles neuro-flous coopératifs et modèles neuro-flous hybrides. Ces techniques floues sont utilisées pour augmenter les possibilités d'apprentissage ou l'exécution d'un réseau neuronal.

a) Système neuronal/flou simultanément

Le réseau neuronal et le système flou fonctionnent ensemble sur la même tâche, mais sans s'influencer. Habituellement le réseau neuronal traite les entrées, ou post-traite les sorties du système flou (Figure 3.15)

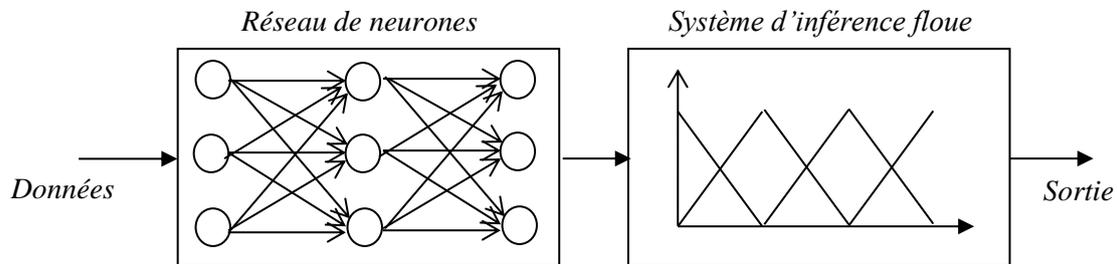


Figure 3.15 Exemple d'association en série d'un réseau de neurone et d'un système flou

b) Modèles neuro-flous coopératifs

Le réseau neuronal est employé pour déterminer les paramètres (les règles et les ensembles flous) d'un système flou. Après la phase d'apprentissage, le système flou fonctionne sans le réseau neuronal. C'est une forme simple des systèmes neuro-flous (voir figure 3.16).

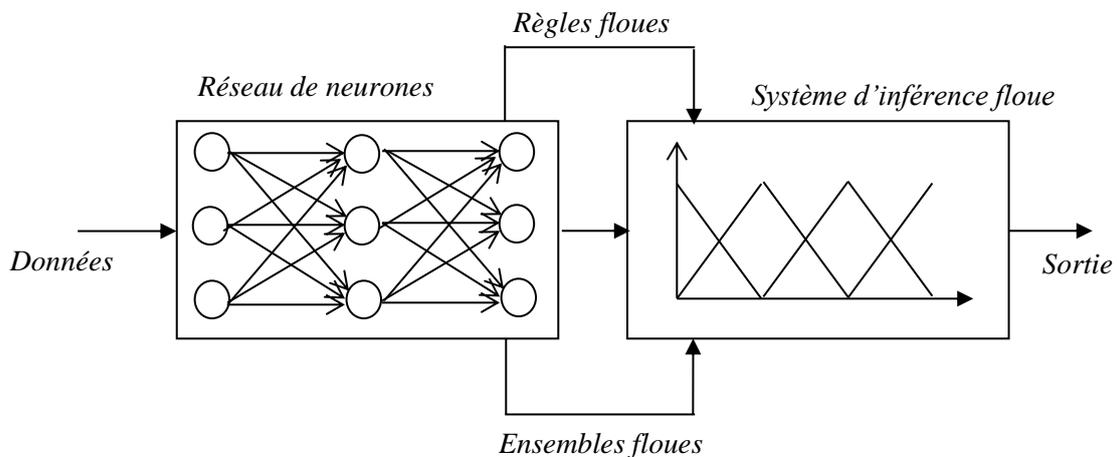


Figure 3.16 Exemple d'association en parallèle d'un réseau de neurone et d'un système flou

c) Modèles neuro-flous hybrides

Le réseau neuronal et le système flou sont combinés dans une architecture homogène. Il peut être interprété comme un réseau neuronal spécial avec des paramètres flous ou comme un système flou mise en application sous une forme distribuée et parallèle. Plusieurs architectures mettant en œuvre cette approche hybride, sont décrites dans la littérature [138]. Parmi ces architectures les plus utilisées on peut citer l'architecture ANFIS dont nous essayons de donner plus d'information car il fait l'objet de notre étude.

▪ ANFIS (Adaptif Neural Fuzzy Inference System):

Le réseau neuro-flou adaptatif (ANFIS : Adaptif Neural Fuzzy Inference System) est composé d'un ensemble de neurones connectés entre eux par des connexions directes. Chaque neurone modélise une fonction paramétrée ; le changement des valeurs de ses paramètres entraîne le changement de la fonction, de même que le comportement total du réseau adaptatif.

Les nœuds sont de deux types différents selon leur fonctionnalité : des nœuds adaptatifs (carrés) et des nœuds fixes (circulaires) [140]. La conception du modèle ANFIS peut être subdivisée en trois étapes : le développement du modèle, apprentissage du réseau et validation et test du système [141]. L'ANFIS présente les avantages suivants [142] :

- Raffine les règles floues *Si-Alors* pour décrire le comportement d'un système complexe.
- Présente un grand choix d'usage des fonctions d'appartenance.
- Temps de convergence rapide.
- Expertise préalable non requise.

Cependant, le modèle ANFIS est couteux en calcul due au problème de la dimension. Autrement l'apprentissage est off-line.

▪ Architecture de l'ANFIS

Dans un ANFIS, les connexions entre neurones sont seulement utilisées pour spécifier le sens de la propagation des stimulations provenant des autres neurones. Pour la structure de ANFIS est composée de cinq couches, et les règle de type '*Si prémisses Alors conséquent*'. ANFIS est l'un de tous premiers systèmes neuro-flou qui existent. Il est très cité dans la littérature car il a prouvé son efficacité avec son algorithme d'apprentissage simplifié : la méthode de descente de gradient et la méthode des moindres carrés. [140].

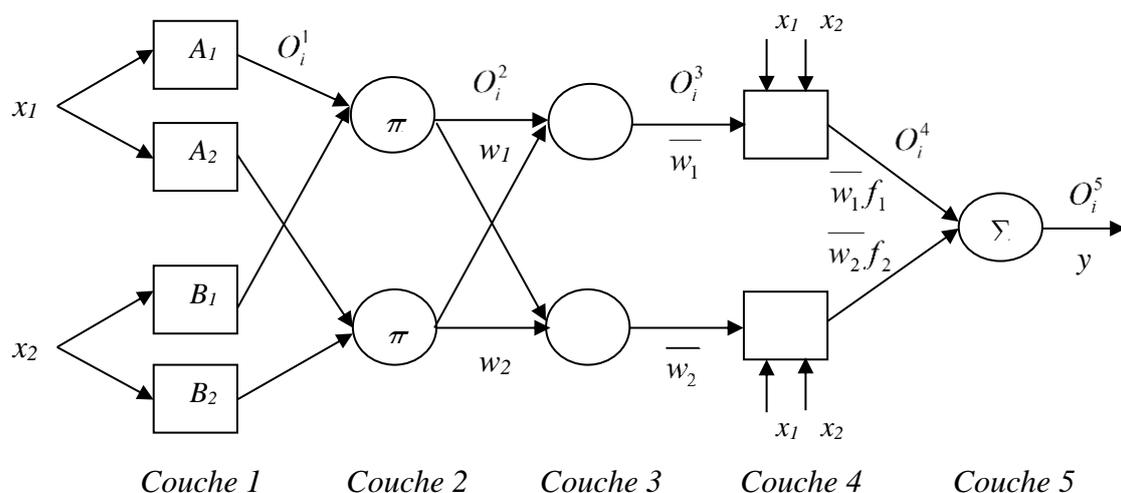


Figure 3.17 Architecture d'ANFIS avec deux entrées, une sortie et deux règles

La figure 3.17 présente l'architecture d'un ANFIS formalisant le raisonnement de Sugeno du premier ordre, dont la conséquence est constante, à deux entrées et une sortie et une base de règles constituée de deux règles, les sorties sont calculées en additionnant deux fonctions (f_1, f_2) qu'on définit comme suit :

La fonction f_1 est calculée par la règle suivante :

$$\text{Si } x_1 \text{ est } A_1 \text{ et } x_2 \text{ est } B_1 \text{ alors } f_1 = p_1 \times x_1 + q_1 \times x_2 + r_1 ; \quad 3.18$$

La fonction f_2 est calculée par la règle suivante :

$$\text{Si } x_1 \text{ est } A_2 \text{ et } x_2 \text{ est } B_2 \text{ alors } f_2 = p_2 \times x_1 + q_2 \times x_2 + r_2 ; \quad 3.19$$

Où A_i et B_i sont des ensembles flous, f_i est la sortie, p_i et q_i ($i=1,2$) sont les paramètres qui en résultent, x_i sont des entrées.

L'architecture d'ANFIS se compose de cinq couches qui peuvent être décrites comme suit :

Couche. 1 :

Les neurones adaptatifs A_i (B_i) calculent les degrés d'appartenance, l'ensemble des paramètres caractérise les fonctions A_i (B_i). Les paramètres correspondant sont appelés paramètres de la prémisse $\{a_i, b_i, c_i\}$. la sortie du nœud i est calculée par les équations suivantes :

$$\begin{cases} O_i^1 = \mu_{A_i}(x_1) & \text{pour } i = 1,2 \\ \text{Or} \\ O_i^1 = \mu_{B_{i-2}}(x_2) & \text{pour } i = 1,2 \end{cases} \quad 3.20$$

Où O_i^1 est la sortie du nœud de la couche 1, A_i, B_i sont des termes linguistiques liés à leurs fonctions d'appartenance propres, caractérisées par les fonctions d'appartenance appropriées μ_{A_i} et μ_{B_i} respectivement.

Généralement μ_{A_i}, μ_{B_i} est choisi sous forme de cloche avec son maximum égal à 1 et le minimum égal à 0 :

$$\mu_{A_i}(x) = \frac{1}{1 + \left[\left(\frac{x - c_i}{a_i} \right)^2 \right]^b} \quad 3.21$$

Ou bien fonction gaussienne décrit comme suit :

$$\mu_{A_i}(x) = \exp \left[- \left(\frac{x - c_i}{a_i} \right)^2 \right] \quad 3.22$$

Couche. 2 :

Dans cette couche, les neurones fixes modélisent l'opérateur "Et" et calculent la valeur de vérité de chaque règle.

$$O_i^2 = w_i = \mu_{Ai}(x_1) \times \mu_{Bi}(x_2), \quad i = 1,2 \quad 3.24$$

Couche. 3 :

Les neurones N sont des neurones fixes, ils effectuent la normalisation de la valeur de vérité de la règle (poids).

$$O_i^3 = \bar{w}_i = \frac{w_i}{\sum_i w_i}, \quad i = 1,2 \quad 3.25$$

Couche. 4 :

Chaque neurone de cette couche est un neurone adaptatif. La sortie du nœud i de cette couche est calculée à partir de la relation suivante :

$$O_i^4 = \bar{w}_i f_i = \bar{w}_i (p_i x_1 + q_i x_2 + r_i), \quad i = 1,2 \quad 3.26$$

Les paramètres $\{p_i, q_i, r_i\}$ sont appelés paramètres de la conséquence.

Couche. 5 :

Le neurone de la couche 5 est un neurone fixe, à une entrée donnée, il délivre la réponse du réseau donnée par

$$y = O_i^5 = \sum_i \bar{w}_i f_i \quad 3.27$$

L'architecture ANFIS est une classe de réseaux adaptatifs proposés par Jang [140]. Il peut être vu comme un réseau de neurones non bouclé pour lequel chaque couche est un composant d'un système neuro-flou.

- **Apprentissage de l'ANFIS**

L'ajustement des paramètres de L'ANFIS est réalisé lors de la phase d'apprentissage. Cette étape commence par la construction d'un réseau initial, ensuite applique une méthode d'apprentissage par rétro-propagation Jang a proposé d'appliquer une méthode hybride.

L'algorithme d'apprentissage hybride est une association de la méthode de descente de gradient et de la méthode d'estimation des moindres carrés. La méthode de descente de gradient permet d'ajuster les prémisses en fixant les paramètres conséquents alors que la méthode des moindres carrés ajuste les paramètres conséquents en fixant les prémisses [135].

3.7 Conclusion

Dans ce chapitre nous avons présenté la procédure de diagnostic des défauts basées sur les méthodes de l'intelligence artificielle (AI). Un état de l'art concernant la touche éminente de l'apport de l'AI en matière de classification des défauts fréquents chez les circuits intégrés a été relaté. A cet égard, une revue des travaux de recherches exploitant les différentes méthodes et techniques abordées ont été présentée, démontrant l'intérêt d'appliquer ces techniques de l'intelligence artificielle, et de les coupler avec les connaissances acquises en traitement du signal, pour la réalisation d'outils puissants et fiables de diagnostic des défauts. Celui-ci basé sur ces méthodes nécessite le passage par plusieurs étapes, ces dernières ont été présenté, au cours de ce chapitre. La première étape dans ces procédures est l'extraction de l'information complète à partir des signaux acquis sur les circuits-sous test. Cette information nécessite un traitement afin de la rendre exploitable par les techniques de classification et d'intelligence artificielle, l'étape suivante est la phase de décision. Ceci peut être fait par le biais de nombreuses techniques, notamment les ANN, les classificateurs SVM, et l'ANFIS, ont été abordées. Pour finir, une étude sur les outils de l'AI à savoir L'ANFIS a été présentée au chapitre cinq en détails permettant de mieux suivre son application.

Chapitre 4

**Détection et maximalisation des fautes
des circuits analogiques par la logique
floue**

4.1 Introduction

Dans ce chapitre, nous présentons une méthode basée sur les techniques de la logique floue pour l'identification et la localisation des fautes paramétriques singulières des circuits analogiques et de maximaliser le taux de couverture des fautes. La méthode de diagnostic de faute exploitée dans notre travail s'est inspirée du concept de la simulation avant test (SBT). Elle a servi en premier à une familiarisation et à sa maîtrise pour évaluer son efficacité en terme de classification et pour servir d'appui pour le développement d'une nouvelle approche qui sera présentée au chapitre 5. La sélection de ces trois paramètres d'entrée du classificateur flou, en l'occurrence la composante continue, le taux de distorsion et l'amplitude de la fondamentale à partir des mesures de diagnostic du circuit sous test (CUT) constituent un meilleur moyen caractérisant l'état du circuit sans et avec fautes. Ils permettent à une contribution efficace à la construction du dictionnaire de fautes car ces paramètres sont sensibles aux tolérances des composants. Nous précisons ici que le circuit sous test a été réalisé à partir d'un amplificateur à base de transistor monochip dont le modèle et la structure de l'amp.op appartiennent à la compagnie mère Ferranti.

La classification des fautes est effectuée à l'aide du Système d'Inférence Floue (FIS). La méthode proposée est illustrée à travers le circuit de test filtre Sallen-Key passe bande. Les résultats ont confirmé que la méthode proposée permet de diagnostiquer efficacement les fautes paramétriques se produisant d'une façon individuelle et seule dans les circuits analogiques.

4.2 Conception de la méthode de classification des fautes basées sur la logique floue

La méthodologie proposée pour la détection et le diagnostic des fautes, représentée par l'organigramme donnée sur la figure 4.1, est basée dans un premier temps, après la description du circuit et la définition des défauts, sur la sélection du stimulus d'entrée qui pourra contribuer à la propagation des effets des fautes vers la sortie du circuit. Le signal d'excitation choisi est un signal à une seule impulsion de durée $T = 0.1ms$ appliquée à l'entrée du circuit, une telle caractéristique du signal s'est avérée très efficace pour faire propager l'effet des défauts vers la sortie du circuit à travers le signal de réponse. Ainsi, l'exploitation de celle-ci permet l'établissement de signature propre, à chaque cas de faute et contribue efficacement dans un processus de diagnostic par une meilleure isolation et localisation de ces dernières.

Un autre point important de l'approche de test est l'extraction et la sélection des paramètres de classification à partir du signal de sortie du CUT. La décomposition du signal de sortie du CUT, d'après le théorème de Fourier en une somme comprenant : un terme constant S_0 (valeur moyenne

ou composante continue), un terme sinusoïdal de fréquence f appelé fondamental ou 1^{ère} harmonique et une suite de termes sinusoïdaux de fréquence multiple de f appelés harmoniques.

$$f(t) = S_0 + \sum_{n=1}^{\infty} (a_n \cos(nwt) + b_n \sin(nwt)) \quad 4.1$$

Où le rapport entre les amplitudes de ces harmoniques et l'amplitude du fondamental, permet d'introduire le taux de distorsion harmonique (TDH ou THD en anglais pour Total Harmonic Distorsion) comme troisième paramètre d'entrée au classificateur, et qu'on donne par la formule :

$$THD = \frac{\sqrt{\sum_{n=2}^{\infty} S_n^2}}{S_1}, \text{ Où } S_n = \sqrt{a_n^2 + b_n^2} \quad 4.2$$

L'extraction de ces paramètres susmentionnés a été rendue possible à l'aide du simulateur PSPICE dont la méthode de leur calcul y'est implémentée et qui sont considérés comme des éléments de classification de fautes.

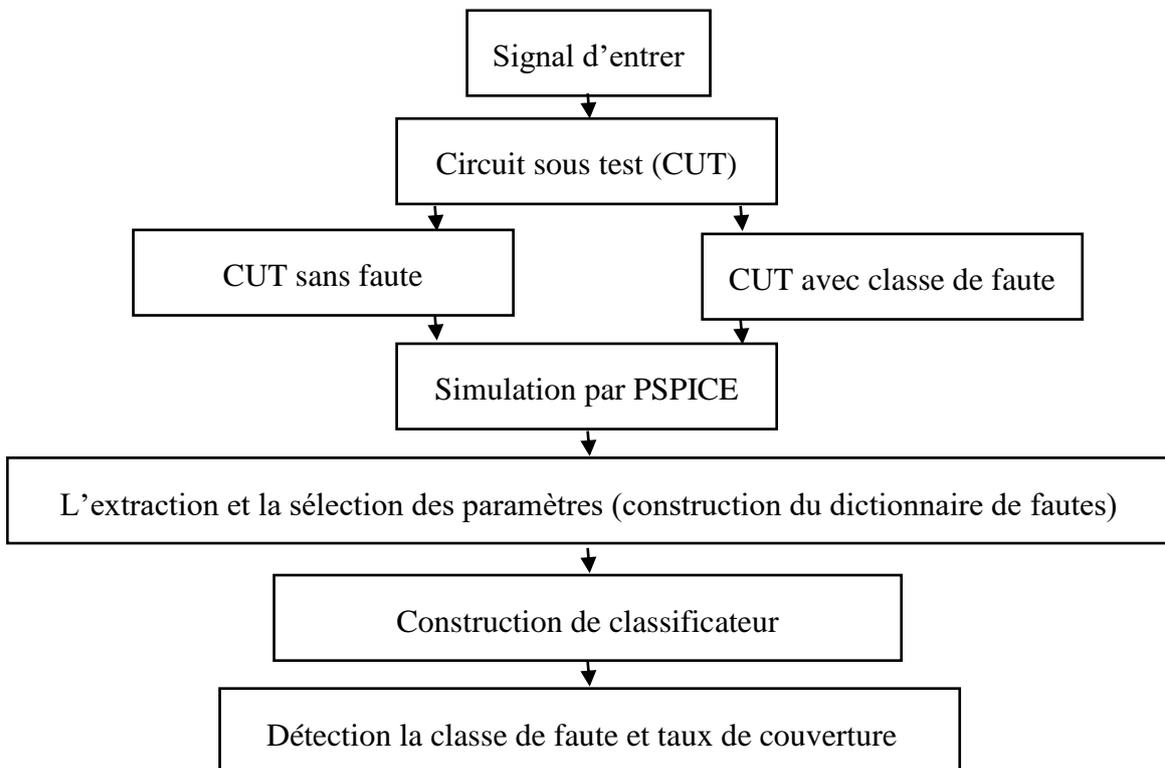


Figure 4.1 Organigramme des principales étapes de la méthode proposée

Pour la classification de fautes, une inférence floue est établie afin de traiter les paramètres à utiliser pour la détection de fautes. La structure de base d'un système d'inférence floue (FIS) est présentée dans la figure 4.2.

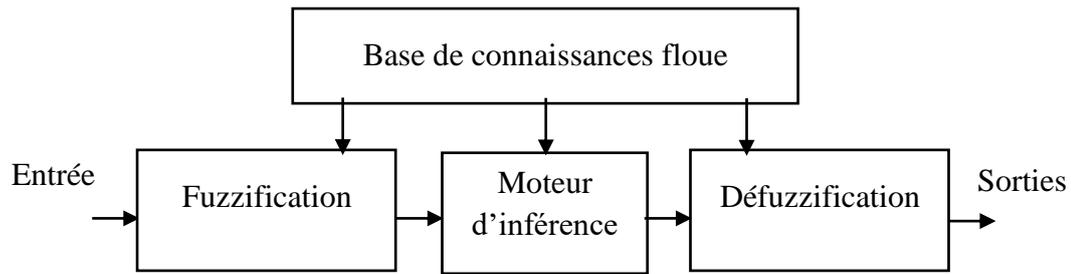


Figure 4. 2 La structure de base d'un système d'inférence floue

Un système d'inférence floue est composé de quatre blocs distincts, la fuzzification sert à transformer les variables physiques en variables linguistiques en utilisant les fonctions d'appartenance stockées dans la base de connaissances floue, le moteur d'inférence reçoit les variables fuzzifiées comme entrée floue et les convertit en sortie floue à l'aide des règles IF-Then. La sortie floue du moteur d'inférence à son tour est transformée en valeurs non floues en utilisant les fonctions d'appartenance qu'inclut l'unité de défuzzification. Les méthodes de défuzzification couramment utilisées sont : Le Centre de la surface (CoA), Centre de la surface modifié (mCoA), Centre des sommes (CoS), Centre du maximum (CoM) ou Moyenne des maxima (MoM). La méthode Mamdani est largement utilisée et acceptée pour la saisie de connaissances spécialisées. Cela permet de décrire l'expertise de manière plus humaine. Ces modèles flous sont caractérisés par des propositions floues comme antécédents et conséquences.

4.3 Description et simulation du circuit à tester

Pour mettre en valeur cette technique dans le domaine de diagnostic et plus précisément dans un processus de classification de fautes, on s'est limité à un seul circuit analogique simple dans sa structure et facile à comprendre comme exemple d'étude. Celui-ci choisi pour être soumis au test décrit dans la section précédent, est un filtre Sellen-Key passe bande (Figure 4.3), le plus communément employé en domaine de télécommunication. Il est utilisé dans beaucoup de travaux visant à améliorer la détectabilité des défauts et contribue par conséquent à l'établissement de meilleur diagnostic [9,11,20]. Sa structure est conçue à partir de l'amplificateur opérationnel $\mu A741$ développé par la firme Ferranti. Cet amplificateur a un schéma interne représenté par la figure 4.4 dont les transistors sont de type Mono Chip, leurs structures équivalentes appartiennent à la firme même.

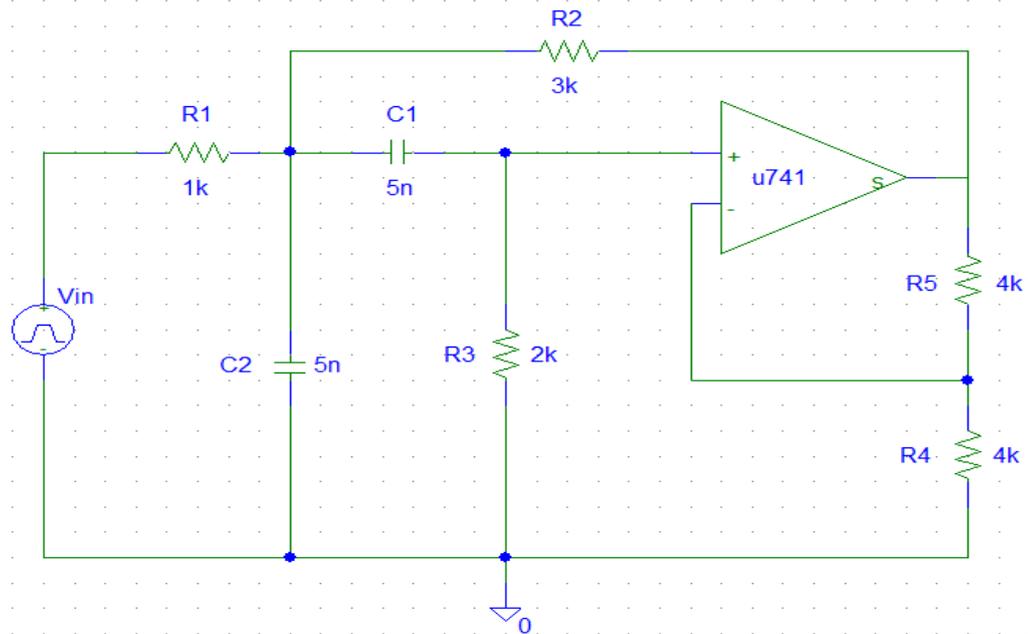
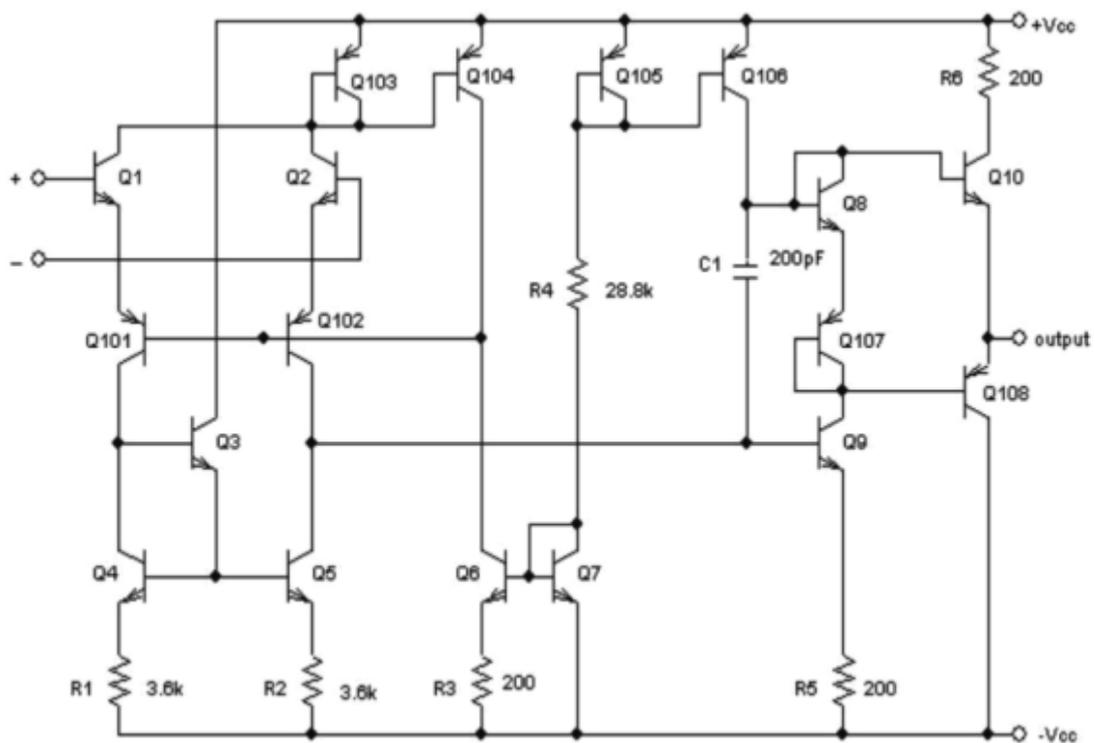


Figure 4.3 Circuit analogique sous test : filtre Sallen-Key passe bande

Figure 4.4 Schéma interne de l'amplificateur opérationnel $\mu A741$

Le type de fautes visé concernant les fautes paramétriques se produisant d'une façon seule et unique faute qui touchent les composants passifs, résistances et condensateurs qui composent les circuits analogiques et en particulier ceux de filtrages. Étant donné que chaque composant

pourra être atteint de 8 fautes possibles, déviation de $\pm 20\%$, $\pm 30\%$, $\pm 40\%$ et $\pm 50\%$ de la valeur de composant et une valeur nominale où les composants conservent leurs valeurs nominales comme dans le circuit d'origine durant la simulation. La variation de $\pm 10\%$ de la valeur du composant est prise comme limite de tolérance nominale recommandée dans la plupart des travaux de recherches. Cette gamme de valeurs de déviation de tolérance a été choisie d'une façon délibérée pour déterminer à quel taux d'ambiguïté de fautes minimal ce type de classificateur pourra atteindre.

Afin d'extraire les valeurs de la composante continue, le taux de distorsion et l'amplitude de la fondamentale caractérisant l'état fonctionnement du circuit sans et avec faute, le circuit est simulé par PSPICE et subissant un stimulus d'excitation d'entrée un signal carré périodique de fréquence 10kHz et d'amplitude 2V (Figure 4.5). Faire soumettre le circuit à l'analyse en régime transitoire sous PSPICE, le simulateur nous permet d'effectuer la décomposition en série de Fourier de son signal de sortie et de fournir les valeurs de ces paramètres sous forme de tableau.

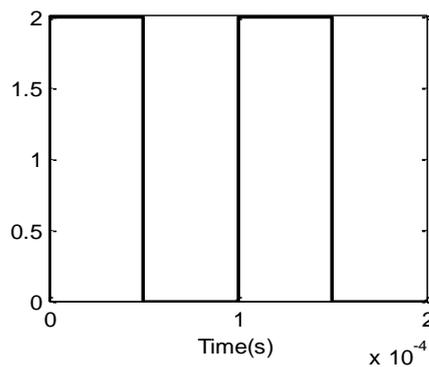


Figure 4.5 Le signal d'excitation

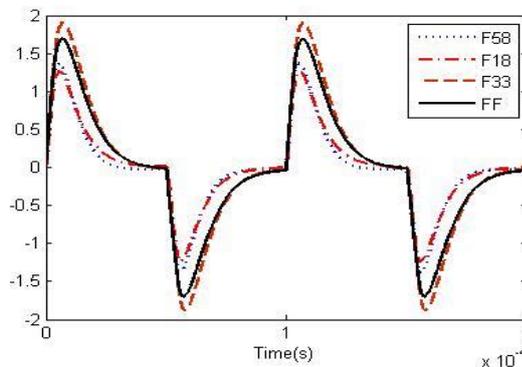


Figure 4.6 Le signal de sortie pour les cas : sans faute (FF) et avec faute (F58, F18, F33)

4.4 Construction du dictionnaire de fautes du circuit sou test

La première étape de la construction de dictionnaire de fautes est de simuler le circuit à tester (Figure 4.3) opérant en absence de faute à l'aide du simulateur électrique PSPICE afin d'obtenir ses valeurs caractéristiques relatives à la composante continue, au taux de distorsion et à l'amplitude du fondamental. Ensuite, il s'en suit l'étape de la simulation de fautes l'une après l'autre ou chacune est une déviation de la valeur nominale du composant passif (résistance ou capacité) présent dans le circuit variant de $\pm 10\%$ à $\pm 50\%$. Le CUT ainsi simulé sous ces diverses conditions de faute fournit des réponses (voir figure 4.6) contenant les effets de ces altérations qui sont traduits par des valeurs distordues que ces valeurs caractéristiques subissent, constituant ainsi une signature propre à un type de défaillance approprié. Nous rappelons que ces fautes sont qualifiées de fautes singulières car seulement une valeur de composant est modifiée à la fois. Sur la base du résultat de simulation récolté, un dictionnaire de défauts est instauré. Un indice d'erreur est attribué à chaque défaut présent dans le dictionnaire de fautes.

En règle générale, une fois que les signatures de fautes ont été collectées et organisées en un dictionnaire de fautes, les données doivent être optimisées en éliminant les signatures qui masquent les fautes. Ces dernières entraînent une confusion et rendent leur identification difficile ou même impossible ; elles sont connues, de fautes ambiguës. Résoudre ce problème nécessite parfois plus d'un paramètre à observer pour une meilleure isolation de ce type de fautes. À titre d'exemple, on peut observer à partir du dictionnaire de faute que les valeurs propres à la composante continue, au taux de distorsion et à l'amplitude du fondamental sont différents pour chaque condition de fautes et exemptes de redondances. Les fautes considérées comme ambiguës à cause des mêmes valeurs de la composante continue, sont devenues distinctes par leur valeurs différentes de taux de distorsion ou de leurs valeurs de l'amplitude de la fondamentale.

Le dictionnaire de fautes établi pour ces fautes paramétriques singulières est présenté dans le tableau 4.1. La condition sans fautes FF est donnée par l'indice F00.

Tableau 4.1 Le dictionnaire de fautes

Fautes	Code de la faute	Composante continue (S_0)	Taux de distorsion (THD)	Amplitude du fondamentale (S_1)
FF	F00	-0.017	54.52	1.010
R1+10%	F01	-0.019	53.04	0.992
R1-10%	F02	-0.015	56.08	1.027
R1+20%	F03	-0.020	51.63	0.972

R1-20%	F04	-0.013	57.68	1.043
R1+30%	F05	-0.021	50.30	0.953
R1-30%	F06	-0.010	59.27	1.056
R1+40%	F07	-0.022	49.05	0.933
R1-40%	F08	-0.007	60.81	1.065
R1+50%	F09	-0.023	47.89	0.914
R1-50%	F10	-0.005	62.23	1.070
R3+10%	F11	-0.023	51.98	1.1
R3-10%	F12	-0.012	57.32	0.918
R3+20%	F13	-0.029	49.65	1.187
R3-20%	F14	-0.006	60.37	0.823
R3+30%	F15	-0.034	47.53	1.272
R3-30%	F16	0	63.68	0.725
R3+40%	F17	-0.040	45.60	1.354
R3-40%	F18	0.006	67.23	0.626
R3+50%	F19	-0.046	43.85	1.432
R3-50%	F20	0.012	71.01	0.525
R2+10%	F21	-0.017	53.46	1.016
R2-10%	F22	-0.017	53.66	1.015
R2+20%	F23	-0.018	52.63	1.020
R2-20%	F24	-0.017	57.77	0.992
R2+30%	F25	-0.018	51.94	1.024
R2-30%	F26	-0.017	60.39	0.978
R2+40%	F27	-0.018	51.38	1.027
R2-40%	F28	-0.016	64.34	0.956
R2+50%	F29	-0.018	50.91	1.029
R2-50%	F30	-0.016	70.84	0.924
R5+10%	F31	-0.014	54.43	0.959
R5-10%	F32	-0.021	54.63	1.073
R5+20%	F33	-0.012	54.33	0.917

R5-20%	F34	-0.025	54.71	1.152
R5+30%	F35	-0.010	54.24	0.881
R5-30%	F36	-0.030	54.78	1.254
R5+40%	F37	-0.008	54.16	0.851
R5-40%	F38	-0.036	54.78	1.392
R5+50%	F39	-0.006	54.09	0.825
R5-50%	F40	-0.045	54.62	1.588
R4+10%	F41	-0.014	54.59	1.067
R4-10%	F42	-0.02	54.44	0.954
R4+20%	F43	-0.011	54.63	1.124
R4-20%	F44	-0.023	54.34	0.898
R4+30%	F45	-0.008	54.65	1.182
R4-30%	F46	-0.026	54.21	0.843
R4+40%	F47	-0.004	54.65	1.240
R4-40%	F48	-0.029	54.06	0.788
R4+50%	F49	-0.001	54.62	1.298
R4-50%	F50	-0.032	53.89	0.733
C1+10%	F51	-0.017	51.5	1.086
C1-10%	F52	-0.018	58.11	0.929
C1+20%	F53	-0.016	48.93	1.157
C1-20%	F54	-0.019	62.37	0.842
C1+30%	F55	-0.015	46.73	1.222
C1-30%	F56	-0.019	67.45	0.750
C1+40%	F57	-0.015	44.85	1.282
C1-40%	F58	-0.020	73.51	0.653
C1+50%	F59	-0.014	43.23	1.338
C1-50%	F60	-0.021	80.72	0.551
C2+10%	F61	-0.019	52.48	1.01
C2-10%	F62	-0.016	56.65	1.008
C2+20%	F63	-0.020	50.51	1.009

C2-20%	F64	-0.014	58.79	1.003
C2+30%	F65	-0.021	48.64	1.007
C2-30%	F66	-0.013	60.92	0.996
C2+40%	F67	-0.021	46.90	1.003
C2-40%	F68	-0.011	62.98	0.986
C2+50%	F69	-0.022	45.26	0.998
C2-50%	F70	-0.010	64.89	0.973

4.5 Description du Module d'inférence floue du logiciel MATLAB

L'inférence floue est une méthode qui interprète les valeurs d'entrée selon des règles définies par l'utilisateur, et attribue des valeurs aux variables de sortie.

L'interface graphique d'inférence floue (Fuzzy Inférence System) de la boîte à outils (Toolbox) de MATLAB, permet de définir complètement le système flou. En utilisant les éditeurs et les moyens de visualisation de la boîte à outils de logique floue, on peut construire l'ensemble des règles, définir les fonctions d'appartenance et analyser le comportement d'un système d'inférence floue (FIS). Cette interface possède trois éditeurs et deux interfaces graphiques (Figure 4.7) dont chacun développe une tâche appropriée :

- **Editeur du système d'inférence** : il affiche des informations générales sur un système d'inférence floue.
- **Éditeur de fonctions d'appartenance** : il permet d'afficher et de modifier les fonctions d'appartenance associées aux variables d'entrée et de sortie du FIS.
- **Éditeur de règles** : il permet de visualiser et de modifier des règles floues.
- **Visualiseur des règles** : il permet de visualiser le comportement détaillé d'un FIS pour aider à diagnostiquer le comportement de règles spécifiques ou étudier l'effet de la modification des variables d'entrée.
- **Visualiseur du graphe de surface** : il génère une surface 3D à partir de deux variables d'entrée et de la sortie d'un FIS.

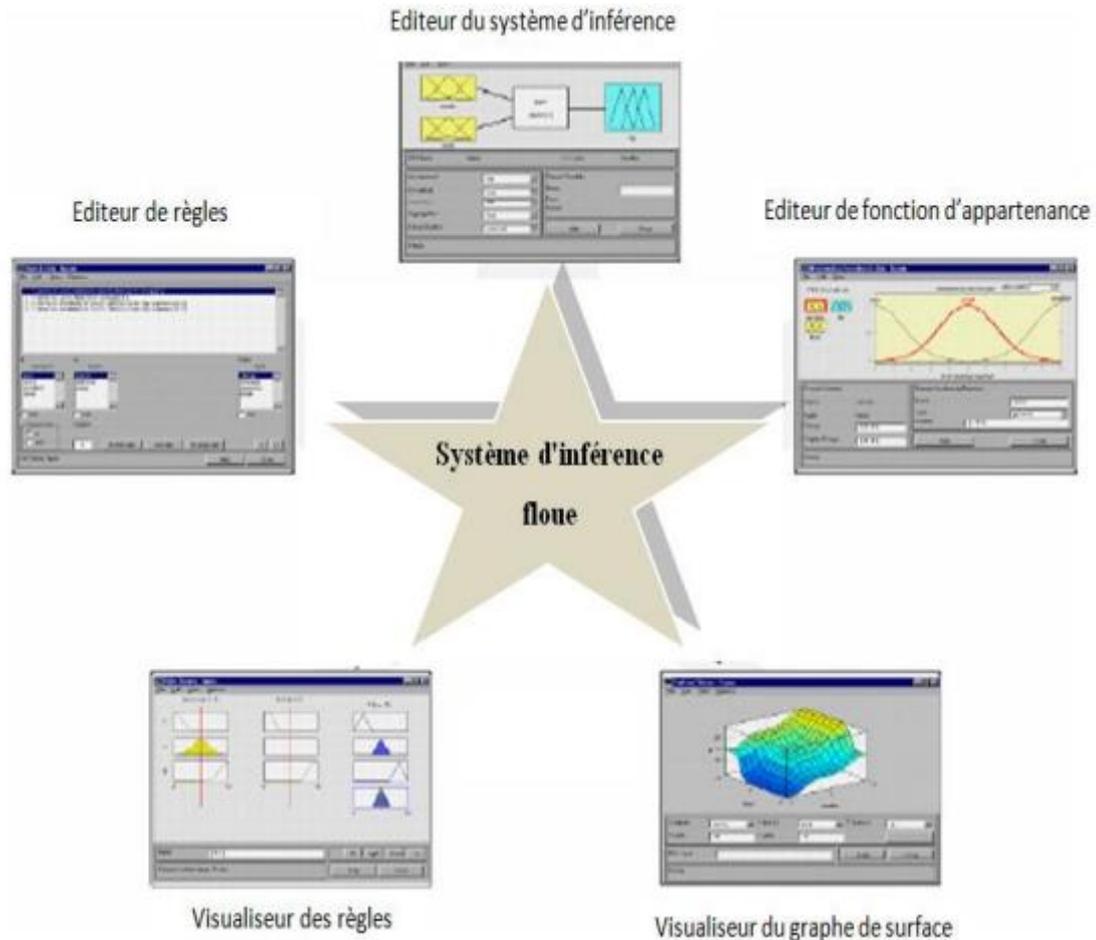


Figure 4.7 Outils de la boîte à outils floue (Fuzzy) de Matlab

À partir de l'éditeur correspondant, il est possible de choisir le type du FIS (Mamdani, Sugeno), de définir, de visualiser, d'éditer les différentes fonctions d'appartenance, de construire la base des règles, et de choisir les méthodes d'implication (max, min,...), etc.

4.6 Conception et implémentation du système d'inférence floue

Le système FIS qui a été suggéré pour résoudre le problème de la détection et de la localisation des défauts est composé des 3 composantes qui sont illustrées dans le schéma fonctionnel de la figure 4.8 et qui ont été énumérées comme suit :

- 1) Méthode de fuzzification par des fonctions d'appartenance pour les variables d'entrée.
- 2) Les bases de règles (de type *SI – ALORS*).
- 3) Méthode de défuzzification par des fonctions d'appartenance pour les variables de sortie.

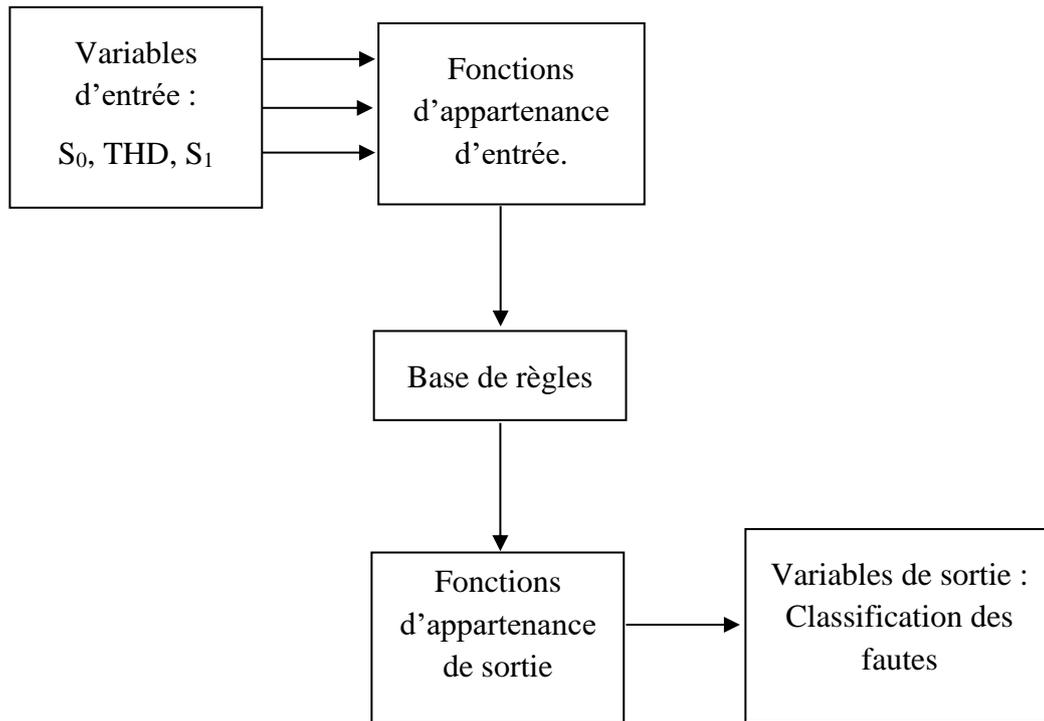


Figure 4.8 Aperçu général du système flou proposé

Bien qu'il existe principalement deux types de méthodes d'inférence floue, à savoir les méthodes Mamdani et Sugeno, la méthode Mamdani a été choisie pour créer le FIS en raison de la transparence de ses règles entre les entrées et les sorties et de ses étapes simples de mise en œuvre [16]. Il nous permet de décrire les connaissances d'une manière plus intuitive et plus proche au raisonnement humain [143]. Contrairement au modèle Sugeno, le modèle de Mamdani exprime le résultat en utilisant des termes flous au lieu de combinaisons mathématiques des variables d'entrée.

L'implémentation de la logique floue nécessite, outre la licence de base *MATLAB*, l'installation du *Fuzzy Control Toolbox*. Celui-ci met à la disposition de l'utilisateur la fenêtre principale de l'éditeur de ce système flou «FIS Editor» (Figure. 4.9) par une instruction sur la ligne de commande *MATLAB* :

```

» fuzzy
  
```

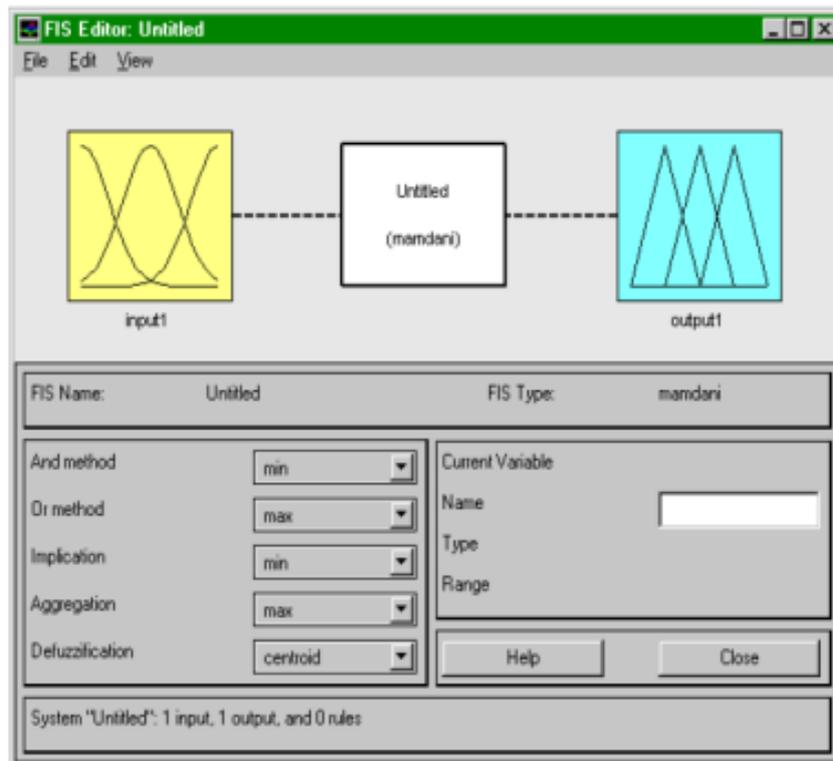


Figure 4.9 Fenêtre principale de l'éditeur de logique floue

Le système d'inférence de type Mamdani, construit pour résoudre le problème actuel de localisation de défaut, est montré dans la figure 4.10 où chaque signature extraite pour le diagnostic de faute sera considérée comme une entrée de système floue.

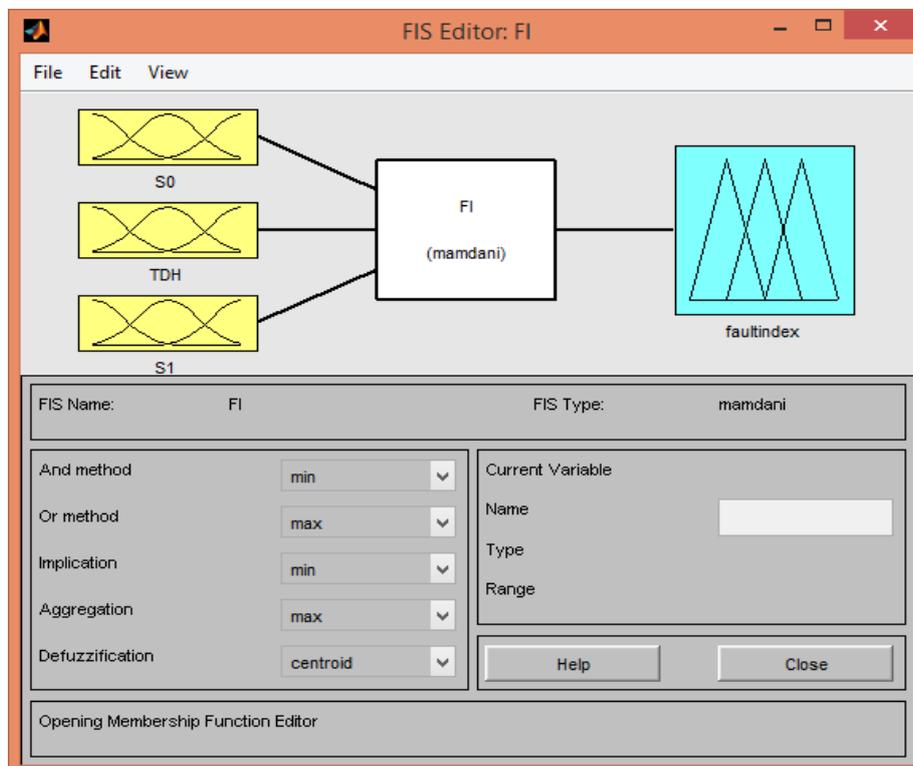


Figure 4.10 Système d'inférence floue « Mamdani » à trois entrées

Dans notre approche proposée, nous avons trois signatures à savoir la composante continue (S_0), le taux de distorsion (THD) et l'amplitude du fondamental (S_1).

4.7 Application du FIS pour la localisation des fautes au CUT

L'exécution de cette application exige de l'utilisateur l'observation des étapes de fuzzification, l'établissement des règles floues, et la défuzzification. Nous résumerons l'essentiel de chacune de ces étapes ci dans les sections qui suivent.

4.7.1 Fuzzification des variables d'entrées et de sorties

Le but est de convertir l'entrée à des variables linguistiques à l'aide des fonctions d'appartenance, alors la fuzzification est l'étape qui consiste en une quantification floue des valeurs réelles d'une variable comme le montre la figure 4.11.

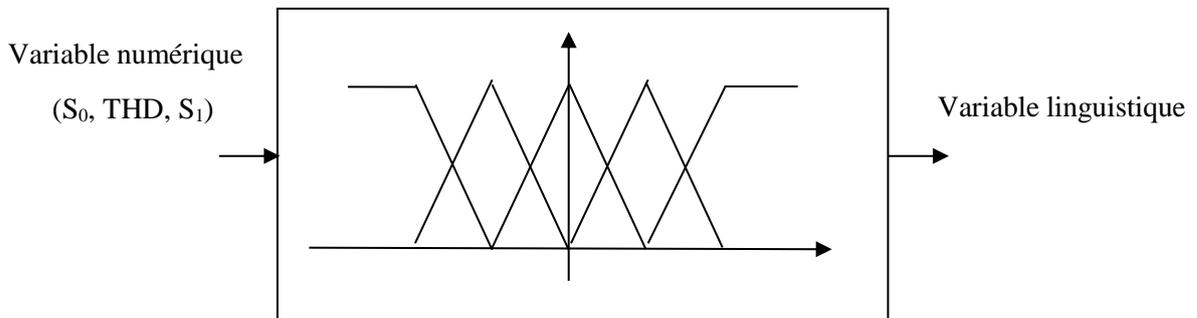


Figure 4. 11 Processus de fuzzification

Le nombre de fonctions d'appartenance pour chaque signature d'entrée dépend du nombre de modèles de fautes prédéfinis pour les composants et de leur valeur nominale. Dans notre cas, nous avons 11 fonctions d'appartenance de forme triangulaire où celle-ci est fréquemment rencontrée dans la pratique [16, 10], en raison de son efficacité en termes de temps de calcul. Cette efficacité peut être attribuée à sa structure simple composée de simples segments linéaires. Les figures 4.12, 4.13 et 4.14 montrent les fonctions d'appartenance pour chaque signature d'entrée, la composante continue (S_0), le taux de distorsion (THD) et l'amplitude du fondamental (S_1), pour R1.

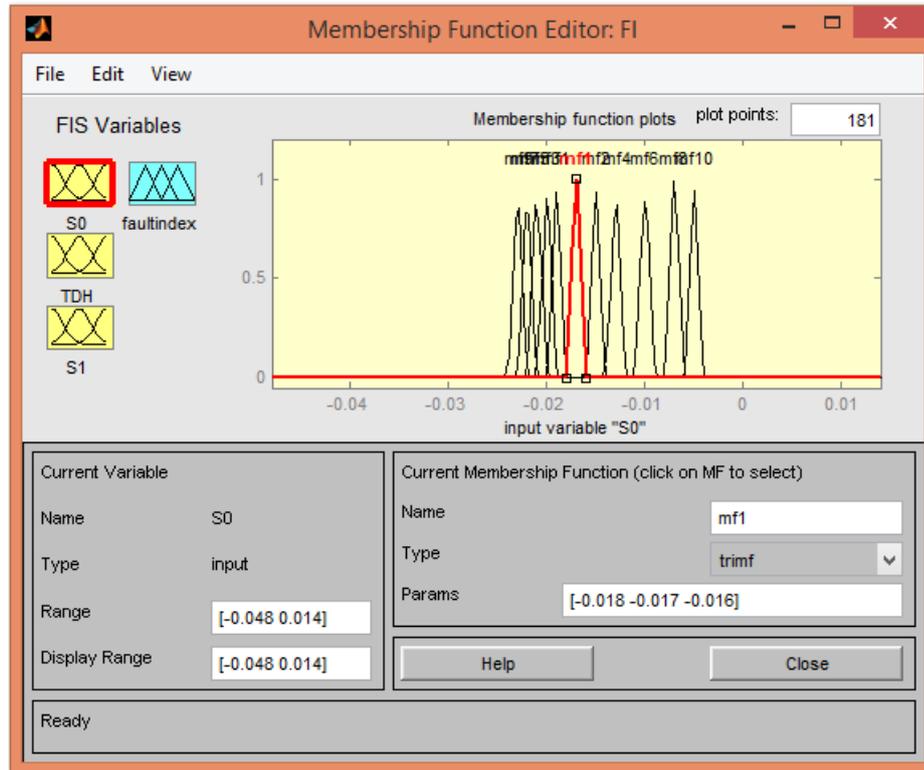


Figure 4.12 Fonctions d'appartenance de la composante continue (S0) relative à la faute R3 et ses variantes

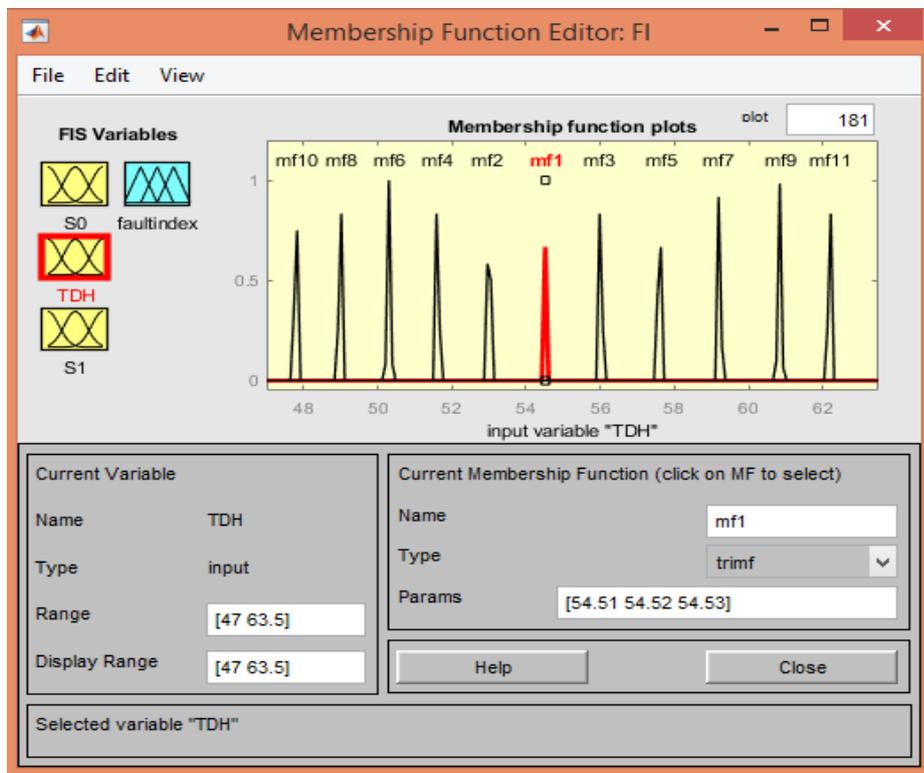


Figure 4.13 Fonctions d'appartenance de taux de distorsion (THD) relative à la faute R3 et ses variantes

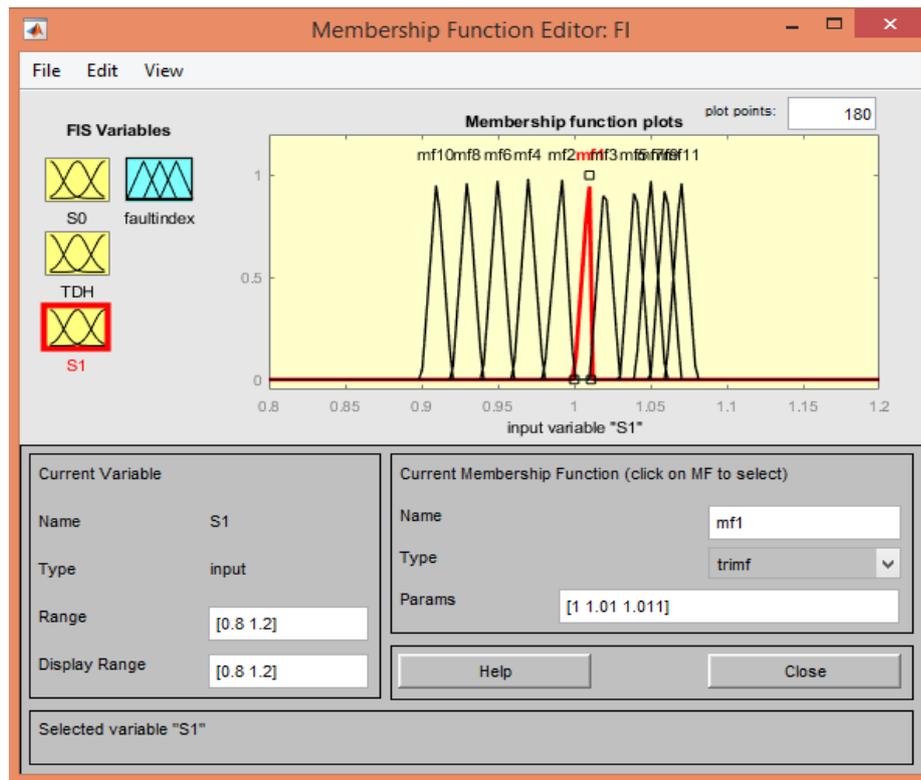


Figure 4.14 Fonctions d'appartenance de l'amplitude du fondamental (S1) relative à la faute R3 et ses variantes

D'un autre côté, les sorties du système flou sont les valeurs estimées des composants du circuit. Par conséquent, le nombre des sorties du système flou équivaut celui des composants du circuit analogique. Le nombre de fonctions d'appartenance pour chaque sortie sera égal au nombre d'écart dérivé pour chaque faute de composant. La forme de la fonction d'appartenance de sortie est aussi de forme triangulaire, un exemple de fonction d'appartenance de sortie pour un composant est illustré dans la figure 4.15.

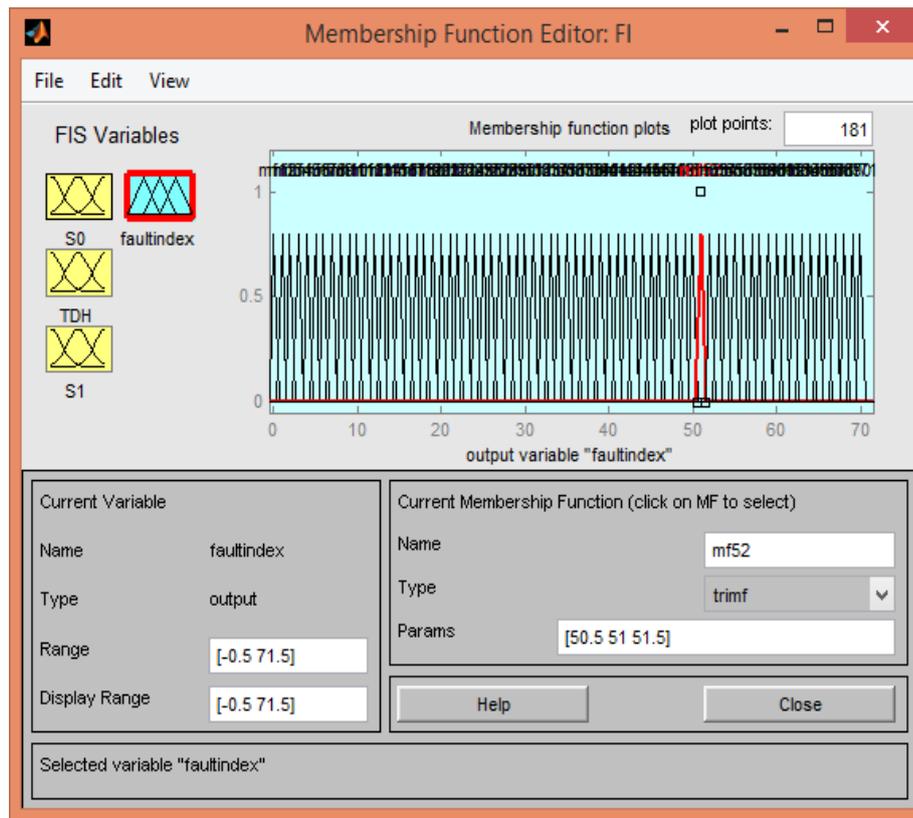


Figure 4.15 Fonctions d'appartenance pour l'indice de faute 51

4.7.2 Édition de règles floues

La base de règles floue est une agrégation de règles *SI – ALORS* qui définissent la relation entre les ensembles flous d'entrée et de sortie. En effet, l'utilisation de variables linguistiques et de règles floues (*SI - ALORS*) imite la capacité de l'esprit humain à prendre des décisions [16]. Après que les fonctions d'appartenance sont définies à la fois pour l'entrée et la sortie du système flou, elles doivent être connectées au moyen de règles construites en utilisant l'éditeur de règles. Ici l'opérateur *AND* est utilisé car l'entrée a trois variables. Le nombre de règles est égal au nombre de défauts définis. Comme il y a 70 configurations différentes du CUT dans le dictionnaire de fautes, il doit y avoir 70 règles floues pour le problème considéré. La structure de règle est donnée sous la forme :

$$\text{Si } (S_0 \text{ est } mf_i) \text{ et } (TDH \text{ est } mf_j) \text{ et } (S_1 \text{ est } mf_k) \text{ Alors } (\text{faultindex est } mf_l)$$

Les règles floues (*SI – ALORS*) sont construites par la boîte à outil « fuzzy logic » comme le montre la figure 4.16.

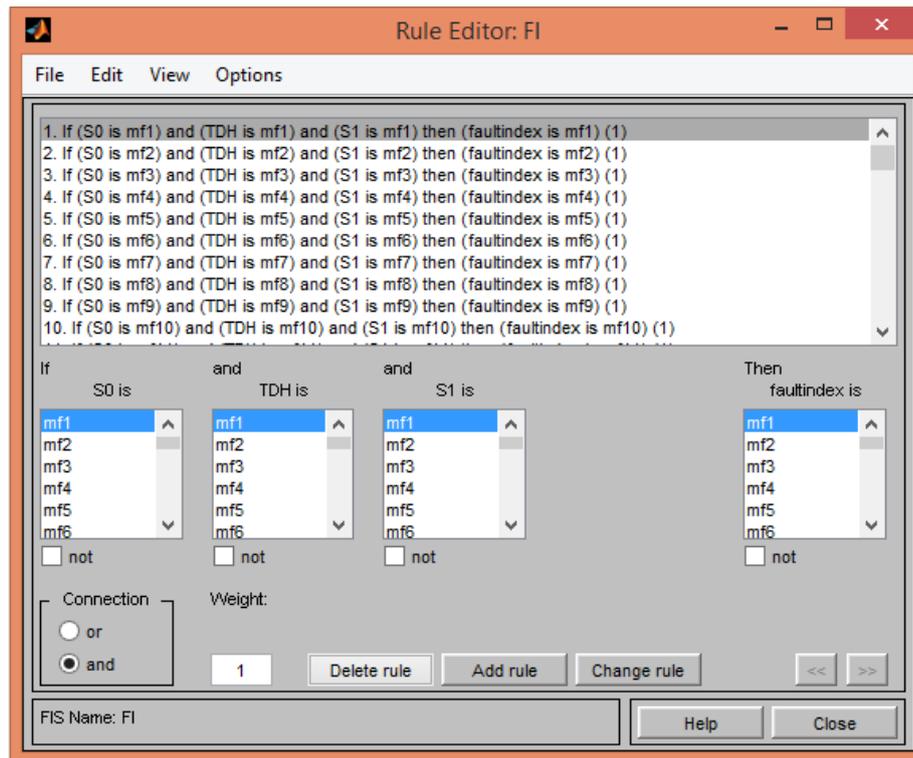


Figure 4.16 Les règles floues

L'ensemble flou de la conclusion d'une règle est construit en réalisant le minimum *MIN* entre les trois degrés d'appartenance de l'entrée. Après cette étape d'implication, l'ensemble flou global de sortie est construit par agrégation des ensembles flous obtenus par chacune des règles concernant cette sortie par l'opérateur *MAX*. L'étape finale, qui permet de passer de l'ensemble flou issu de l'agrégation des conclusions à une décision unique, est la défuzzification.

4.7.3 Défuzzification

Cette étape de défuzzification prend place une fois on arrive à situer notre solution, il s'agit de passer par cette phase pour avoir une valeur numérique attribué comme indice de faute. La défuzzification est un processus de conversion de la sortie floue, représentée par les surfaces obtenues dans l'étape d'inférence (Figure 4.17), en une valeur nette. La défuzzification s'effectue selon différentes méthodes dont celle du centre de gravité est la méthode la plus couramment utilisée, car elle est très précise [16,144]. Contrairement aux valeurs obtenues par d'autres méthodes, les valeurs défuzzifiées obtenues par la méthode du centre de gravité divisent la superficie sous la fonction d'appartenance en deux parties égales, qui peuvent calculer directement la valeur la plus nette de la quantité floue.

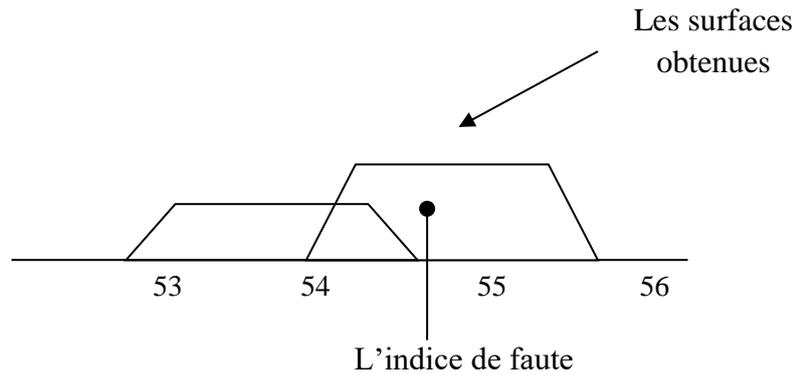


Figure 4.17 Défuzzification avec la méthode centre de gravité pour l'ensemble flou issu de l'agrégation des conclusions

4.7.4 Exemples d'applications et résultats

Afin de vérifier la faisabilité de l'approche proposée, nous avons examiné des cas d'étude ciblant différentes fautes. Considérons un exemple de test pour une faute du dictionnaire avec la valeur d'indice 52.

L'entrée du FIS pour la faute d'indice 52 (F52) est $[-0.018 \ 58.11 \ 0.929]$. Pour cette entrée, les fonctions d'appartenance triangulaires de ces trois entrées sont définies comme $[-0.019 \ -0.018 \ -0.017]$, $[58.10 \ 58.11 \ 58.12]$ et $[0.928 \ 0.929 \ 0.930]$ respectivement pour la composante continue (S_0), taux de distorsion (THD) et l'amplitude du fondamentale (S_1), tout en gardant la valeur extraite au centre et produisant une légère variation (faible pourcentage) par rapport à celle-ci. De même, la fonction d'appartenance triangulaire pour la sortie est définie comme $[51.5 \ 52 \ 52.5]$ en mettant l'indice de défaut (dans ce cas, 52) en tant que centre de cette fonction d'appartenance.

La règle floue pour ce défaut est établie comme suit : "Si (S_0 se trouve dans l'intervalle $[-0.019$ à $-0.017]$) et si (THD se trouve dans l'intervalle $[58.10$ à $58.12]$) et si (S_1 se trouve dans l'intervalle $[0.928$ à $0.930]$) Alors (la gamme de la faute est $[51.5$ à $52.5]$)".

Après la défuzzification par la méthode du centre de gravité, la sortie a pour valeur 52.1 qui évidemment est approximée à la valeur 52 correspondants à l'indice de faute 52. Le résultat du FIS pour la faute d'indice 52 est illustré à la figure 4.18.

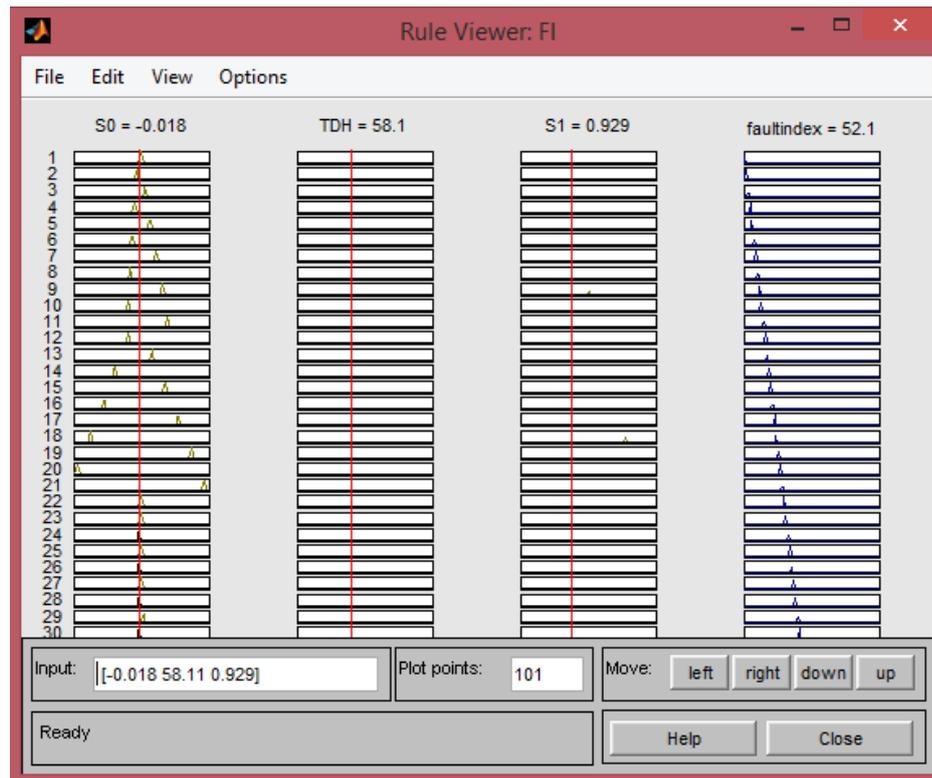


Figure 4.18 La sortie du FIS pour la faute F52

Pour appuyer l'aspect pratique de l'approche, les résultats de certains cas de faute ont été reportés dans le tableau 4.2 et concordent bien avec l'indice de la faute correspondante.

Tableau 4.2 Les entrées et les sorties du FIS pour les cas de test F58 (C1-40%), F18 (R3-40%), et F33 (R5+20%)

Faute	F58 (C1-40%)	F18 (R3-40%)	F33 (R5+20%)
Entrée FIS	[-0.020 73.51 0.653]	[0.006 67.23 0.626]	[-0.012 54.33 0.917]
$SI (TMF S_0)$	[-0.021 -0.020 -0.019]	[0.005 0.006 0.007]	[-0.013 -0.012 -0.011]
$Et si (TMF TDH)$	[73.50 73.51 73.52]	[67.22 67.23 67.24]	[54.32 54.33 54.34]
$Et si (TMF S_1)$	[0.652 0.653 0.654]	[0.625 0.626 0.627]	[0.916 0.917 0.918]
$Alors(TMf faultindex)$	[57.5 58.5]	[17.5 18.5]	[32.5 33.5]
Sortie FIS	57.8	18.2	33

De même, pour les autres fautes, les fonctions d'appartenance d'entrée et la fonction d'appartenance de sortie sont déterminées à partir des valeurs des paramètres extraits pour le

diagnostic et l'indice de faute. Les sorties du Système FIS pour l'ensemble de fautes sont données dans le tableau 4.3; elles indiquent clairement que la totalité (100 %) des fautes, faisant l'objet de test dans le travail actuel, ont été détectées et dissociées avec succès. Ceci a conduit à l'élimination des groupes d'ambiguïtés, et par conséquent, a aidé à une bonne identification et à une meilleure localisation des fautes.

Nous reportons au tableau le résultat global du diagnostic des défauts fréquents et considérés pour le circuit filtre Sallen-Key passe bande. Il apparait clairement que selon cette approche de classification en l'occurrence celle du système d'inférence floue (FIS), toutes les fautes sont complètement dispatchées les unes des autres et identifiées.

Tableau 4.3 Les sorties FIS et leurs fautes correspondantes

Les paramètres d'entrées du système flou			Sortie FIS	Localisation	
Composante continue	Taux de distorsion	Amplitude du fondamentale		Code de la faute	Les fautes
-0.017	54.52	1.010	0.22 \cong 0	F00	FF
-0.019	53.04	0.992	0.94 \cong 1	F01	R1+10%
-0.015	56.08	1.027	1.97 \cong 2	F02	R1-10%
-0.020	51.63	0.972	3.1 \cong 3	F03	R1+20%
-0.013	57.68	1.043	3.82 \cong 4	F04	R1-20%
-0.021	50.30	0.953	5.16 \cong 5	F05	R1+30%
-0.010	59.27	1.056	5.98 \cong 6	F06	R1-30%
-0.022	49.05	0.933	6.91 \cong 7	F07	R1+40%
-0.007	60.81	1.065	8.14 \cong 8	F08	R1-40%
-0.023	47.89	0.914	8.86 \cong 9	F09	R1+50%
-0.005	62.23	1.070	10.1 \cong 10	F10	R1-50%
-0.023	51.98	1.1	11	F11	R3+10%
-0.012	57.32	0.918	11.8 \cong 12	F12	R3-10%
-0.029	49.65	1.187	13.2 \cong 13	F13	R3+20%
-0.006	60.37	0.823	13.9 \cong 14	F14	R3-20%
-0.034	47.53	1.272	15	F15	R3+30%
0	63.68	0.725	16.1 \cong 16	F16	R3-30%

-0.040	45.60	1.354	16.8\cong 17	F17	R3+40%
0.006	67.23	0.626	18.2\cong 18	F18	R3-40%
-0.046	43.85	1.432	18.9\cong 19	F19	R3+50%
0.012	71.01	0.525	20\cong 20	F20	R3-50%
-0.017	53.46	1.016	21.1\cong 21	F21	R2+10%
-0.017	53.66	1.015	21.8\cong 22	F22	R2-10%
-0.018	52.63	1.020	23.2\cong 23	F23	R2+20%
-0.017	57.77	0.992	24	F24	R2-20%
-0.018	51.94	1.024	24.9\cong 25	F25	R2+30%
-0.017	60.39	0.978	26.1\cong 26	F26	R2-30%
-0.018	51.38	1.027	26.9\cong 27	F27	R2+40%
-0.016	64.34	0.956	28.1\cong 28	F28	R2-40%
-0.018	50.91	1.029	29	F29	R2+50%
-0.016	70.84	0.924	29.8\cong 30	F30	R2-50%
-0.014	54.43	0.959	31.2\cong 31	F31	R5+10%
-0.021	54.63	1.073	31.9\cong 32	F32	R5-10%
-0.012	54.33	0.917	33	F33	R5+20%
-0.025	54.71	1.152	34.1\cong 34	F34	R5-20%
-0.010	54.24	0.881	34.8\cong 35	F35	R5+30%
-0.030	54.78	1.254	36.2\cong 36	F36	R5-30%
-0.008	54.16	0.851	36.9\cong 37	F37	R5+40%
-0.036	54.78	1.392	38	F38	R5-40%
-0.006	54.09	0.825	39.1\cong 39	F39	R5+50%
-0.045	54.62	1.588	39.8\cong 40	F40	R5-50%
-0.014	54.59	1.067	41.2\cong 41	F41	R4+10%
-0.02	54.44	0.954	42	F42	R4-10%
-0.011	54.63	1.124	42.9\cong 43	F43	R4+20%
-0.023	54.34	0.898	44.1\cong 44	F44	R4-20%
-0.008	54.65	1.182	44.9\cong 45	F45	R4+30%
-0.026	54.21	0.843	46.1\cong 46	F46	R4-30%

-0.004	54.65	1.240	47	F47	R4+40%
-0.029	54.06	0.788	47.8\cong 48	F48	R4-40%
-0.001	54.62	1.298	49.2\cong 49	F49	R4+50%
-0.032	53.89	0.733	49.9\cong 50	F50	R4-50%
-0.017	51.5	1.086	51\cong 51	F51	C1+10%
-0.018	58.11	0.929	52.1\cong 52	F52	C1-10%
-0.016	48.93	1.157	52.8\cong 53	F53	C1+20%
-0.019	62.37	0.842	54.2\cong 54	F54	C1-20%
-0.015	46.73	1.222	54.9\cong 55	F55	C1+30%
-0.019	67.45	0.750	56\cong 56	F56	C1-30%
-0.015	44.85	1.282	57.1\cong 57	F57	C1+40%
-0.020	73.51	0.653	57.8\cong 58	F58	C1-40%
-0.014	43.23	1.338	59.2\cong 59	F59	C1+50%
-0.021	80.72	0.551	60	F60	C1-50%
-0.019	52.48	1.01	60.9\cong 61	F61	C2+10%
-0.016	56.65	1.008	62.1\cong 62	F62	C2-10%
-0.020	50.51	1.009	62.9\cong 63	F63	C2+20%
-0.014	58.79	1.003	64.1\cong 64	F64	C2-20%
-0.021	48.64	1.007	65\cong 65	F65	C2+30%
-0.013	60.92	0.996	65.8\cong 66	F66	C2-30%
-0.021	46.90	1.003	67.2\cong 67	F67	C2+40%
-0.011	62.98	0.986	67.9\cong 68	F68	C2-40%
-0.022	45.26	0.998	69	F69	C2+50%
-0.010	64.89	0.973	70.1\cong 70	F70	C2-50%

4.8 Conclusion

Nous avons décrit dans ce chapitre une approche de SBT pour détecter l'existence des fautes paramétriques dans les circuits analogiques. Cette méthode SBT développée nous a permis d'effectuer le diagnostic de faute de circuit électronique analogique pour la construction le dictionnaire de faute en se servant des valeurs de la composante continue, de l'amplitude de la

fondamentale et du taux de distorsion ainsi que le système d'inférence floue qui est utilisé comme classificateur. La faisabilité de la méthode proposée est validée par le filtre passe-bande Sallen-key. Les résultats de la simulation montrent que les fautes singulières peuvent être détectées par cette méthode développée. Cependant, cette technique de classification a été exécutée sans tenir compte de l'intervalle de tolérance sur les valeurs de ces 3 paramètres que produisent chacune de ces fautes considérées dans notre étude. Par ailleurs son emploi fut à titre de démonstration de son efficacité dans un processus de classification de fautes et qui va renforcer son implication dans la nouvelle méthode de diagnostic qui sera traitée prochainement.

Chapitre 5

**Classification des fautes des circuits
analogiques à l'aide de la technique
PCA-ANFIS**

5.1 Introduction

Dans ce chapitre, l'évolution des méthodes développées autour de l'intelligence artificielle (AI) sont proposées pour une automatisation de la détection et de la classification des défauts paramétriques du composant dans les circuits analogiques intégrés. Le but est d'arriver à maximaliser le taux de couverture des fautes, avec un taux d'ambiguïté quasi nul et avec un volume de données à traiter aussi petit que possible. Cela a pu être possible par l'implication d'algorithme de classification dont la précision traduit son efficacité d'assurer une meilleure isolation des fautes entre elles reflétant ainsi une ambiguïté la plus faible possible. Quant à la réduction du volume de donnée introduit dans le classificateur, il a fallu procéder à une compression des paramètres d'entrée du classificateur et les réduire aux plus importants en éliminant ceux qui sont redondants et leur volume de donnée correspondant. Pour cela, il a été proposé une méthode d'analyse des composant principale (PCA) fournissant les paramètres essentiels (features) au classificateur agissant comme système d'inférence neuro-floue adaptative (ANFIS). Ces éléments la de classification subissent un prétraitement par une approche numérique (K-means clustering : KMC) de calcul permettant le regroupement de donnée (data clustering) autour d'une valeur moyenne appelée centroïde. Pour extraire et sélectionner de manière efficace ces éléments caractéristiques des défauts un traitement traditionnel du signal de la réponse transitoire du circuit sous test (CUT) basé sur la technique d'échantillonnage conduit à différents paramètres signatures de défauts. Un stimulus appliqué au CUT nous a permis d'obtenir une réponse de sortie de référence. En respectant à la fois l'intervalle et le pas d'échantillonnage, les réponses sans fautes et avec fautes sont échantillonnées pour créer des échantillons d'amplitudes caractéristiques qui serviront au processus de classification des fautes paramétriques (soft faults). Le PCA est utilisé pour la réduction des données, conduira à diminution de la complexité de calcul et fournira des caractéristiques optimales. Les principales composantes extraites par cette méthode ci au nombre restreint sont introduites comme candidats favoris à une meilleure classification de fautes dans l'ANFIS avec l'aide précieuse de la méthode KMC pour obtenir les meilleurs résultats de diagnostic des défauts. Ces techniques sont validées par leur application sur différents circuits sous test (CUTs) pour les types de fautes paramétriques dont les résultats expérimentaux montrent un score de classification de 100%.

5.2 Les concepts principaux des méthodes de détection et de classification proposées

5.2.1 Analyse en Composantes Principales

L'analyse par composantes principales (ACP ou PCA en anglais pour Principal Component Analysis) est une méthode géométrique et statistique qui permet de transformer l'espace de variables d'entrées multiples corrélées en un espace plus petit non corrélé tout en conservant le maximum de variance des données d'entrées. Elle permet de voir les données d'une manière différente (dans un autre repère) par la rotation des axes des variables originales vers des nouveaux axes, qui sont orthogonaux et complètement non corrélés pour éviter d'avoir des informations redondantes. C'est donc une méthode d'analyse et de réduction de dimension de données. Elle génère un nouveau jeu de données appelé Composantes Principales (PC : Principal component) à partir desquelles le modèle va être construit, et chaque composante a un taux de représentation du modèle, comme on peut le voir sur la figure 5.1.

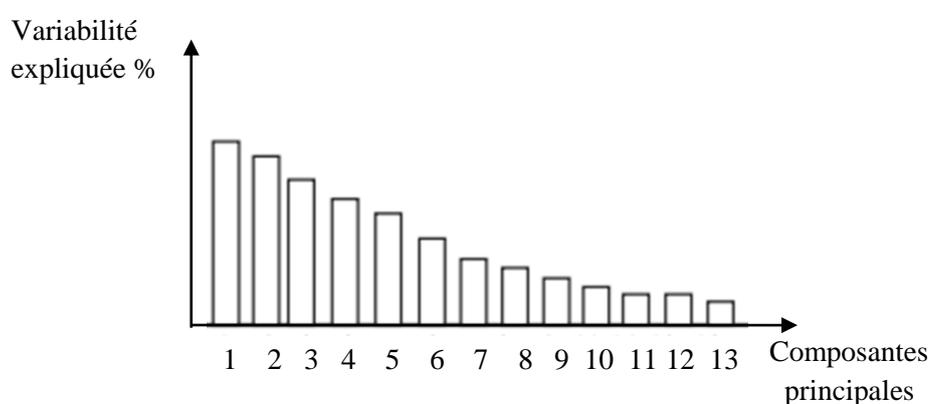


Figure 5.1 Taux de représentativité des composantes principales dans le modèle

Les domaines d'application de cette méthode sont très variés allant de la réduction de dimension, visualisation, réduction et suppression de bruit, à la détection des défauts, compression de données, [145], et aussi au prétraitement des modèles empiriques.

5.2.1.1 Fondement théorique de la méthode PCA

Soit X une matrice de données de taille $N \times m$ constituée de N observations ou échantillons et m variables :

$$X = \begin{bmatrix} x_{11} & \cdots & x_{1m} \\ \vdots & \ddots & \vdots \\ x_{N1} & \cdots & x_{Nm} \end{bmatrix} \quad 5.1$$

Le calcul de PCA pour la matrice X revient à réaliser les opérations ci-dessous afin de trouver les composantes principales :

Étape 1. Pour entamer PCA, il convient tout d'abord de faire un prétraitement qui consiste à centrer et réduire les variables (PCA centrée et réduite), cela est nécessaire si les variables sont

exprimées dans des unités différentes, si elles sont d'ordres de grandeur très différents ou si leurs variances sont très éloignées. Dans le cas contraire, on détermine la matrice centrée (PCA centrée) où chaque colonne \tilde{X}_j de la nouvelle matrice centrée est donnée par :

$$\tilde{X}_j = X_j - M_j \quad 5.2$$

Et pour un PCA centrée et réduit par :

$$\tilde{X}_j = \frac{X_j - M_j}{\sigma_j} \quad 5.3$$

où X_j est la $j^{\text{ème}}$ colonne de la matrice X et M_j est sa moyenne donnée par :

$$M_j = \frac{1}{N} \sum_{k=1}^N x_j(k) \quad 5.4$$

et σ_j^2 est sa variance qui sera estimée en utilisant l'équation :

$$\sigma_j^2 = \frac{1}{N} \sum_{k=1}^N (x_j(k) - M_j)^2 \quad 5.5$$

La nouvelle matrice de données est notée :

$$\tilde{X} = [\tilde{X}_1 \cdots \tilde{X}_m] \quad 5.6$$

Etape 2. Une fois que les données ont été centré/centré réduit. Calculer la matrice C de variance covariance de taille $m \times m$ de données centrées :

$$C = \frac{1}{N-1} [\tilde{X}^T \tilde{X}] \quad 5.7$$

Dans le cas de la matrice PCA centrée réduite en calcule la matrice des corrélations.

Etape 3. Calculer la matrice U (de taille $m \times m$) qui est composée des coordonnées des vecteurs propres de C triés par ordre décroissant des modules des valeurs propres λ_j (la première colonne de U est le vecteur propre qui correspond à la plus grande valeur propre).

Etape 4. Garder les ℓ ($\ell \leq m$) premières colonnes de U pour former la matrice $X_{new} : N \times \ell$ qui représente les ℓ premières composantes principales.

$$X_{new} = U^T \tilde{X}. \quad 5.8$$

Pour plus de détails, le lecteur pourra consulter [146].

5.2.1.2 Choix du nombre ℓ de composantes principales

Le choix du nombre ℓ ($\ell \leq m$) des composantes principales est important puisqu'il permet de construire la matrice U , et par la suite X qui représente la source de variabilité dans le procédé.

Il détermine donc la qualité du modèle PCA afin de garder la plupart de l'information d'origine [147].

Il existe de nombreuses méthodes pour sélectionner le nombre de PC qui sont : le Pourcentage Cumulé de la Variance totale (CPV), le critère de validation croisée, la moyenne des valeurs propres et la méthode de reconstruction [148]. Dans cette étude, nous faisons usage du CPV. La sélection du nombre de PC est basée sur le pourcentage de la variance totale qu'on veut conserver, sachant que chaque composante principale est représentative d'une portion de la variance des mesures du processus étudié. Les valeurs propres de la matrice de covariance (corrélacion) représentent les mesures de cette variance. Le pourcentage de la variance capturée par les ℓ PC retenues est donné par :

$$CPV(\ell) = 100 \left(\frac{\sum_{j=1}^{\ell} \lambda_j}{\sum_{j=1}^m \lambda_j} \right) \% \quad 5.9$$

Avec cette méthode, on peut par exemple sélectionner un CPV qui peut satisfaire 85% de la variabilité de X [149]. Donc, le nombre de PC est le plus petit nombre pris pour que ce pourcentage soit atteint ou dépassé.

5.2.2 La méthode de regroupement de donnée : K-mean clustering

K-means (ou K-moyennes) : C'est l'un des algorithmes de groupement de données (data clustering) les plus répandus. Il permet d'analyser un jeu de données caractérisées par un ensemble de descripteurs, afin de regrouper les données "similaires" en groupes (ou clusters).

La similarité entre deux données peut être inférée grâce à la "distance" séparant leurs descripteurs ; ainsi deux données très similaires sont deux données dont les descripteurs sont très proches. Cette définition permet de formuler le problème de partitionnement des données comme la recherche de K "données prototypes", autour desquelles peuvent être regroupées les autres données. Ces données prototypes sont appelés centroïdes ; en pratique l'algorithme associe chaque donnée à son centroïde le plus proche, afin de créer des groupes ou clusters. D'autre part, les moyennes des descripteurs des données d'un cluster, définissent la position de leur centroïde dans l'espace des descripteurs : ceci est à l'origine du nom de cet algorithme (K-moyennes ou K-means en anglais).

Après avoir initialisé ses centroïdes en prenant des données au hasard dans le jeu de données, K-means alterne plusieurs fois ces deux étapes pour optimiser les centroïdes et leurs groupes :

Étape 1. Regrouper chaque objet autour du centroïde le plus proche.

Étape 2. Remplacer chaque centroïde selon la moyenne des descripteurs de son groupe.

Après quelques itérations, l'algorithme trouve un découpage stable du jeu de données : on dit que l'algorithme a convergé.

5.2.3 ANFIS

Le modèle ANFIS, connu sous le nom de réseau adaptatif à base de système d'inférence floue, développé par Jang [150] est un approximateur universel [135]. ANFIS est une technique qui incorpore les concepts de la logique floue dans les réseaux de neurones. Il a été largement utilisé dans beaucoup d'applications. Ce modèle simule la relation entre l'entrée et la sortie d'un processus à travers un apprentissage hybride pour déterminer la distribution optimale des fonctions d'appartenances (Figure 5.2). Il est basé sur les règles floues « Si...Alors » de Takagi et Sugeno [151]. L'architecture équivalente du modèle comporte cinq couches, chacune comportant plusieurs nœuds (Figure 5.2). Le chapitre 3 explique en détaille le modèle ANFIS.

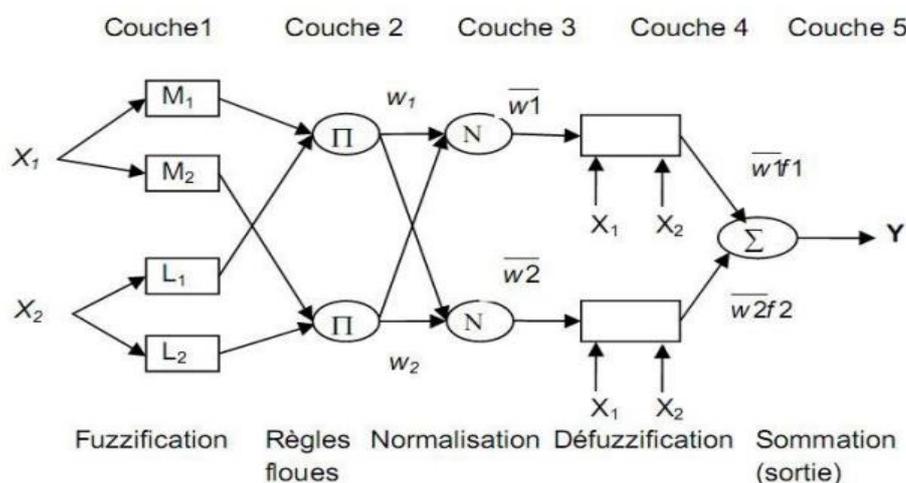


Figure 5.2 Architecture du modèle ANFIS

- Apprentissage du modèle ANFIS

Les paramètres à optimiser dans un ANFIS sont les paramètres primaires $\{ , bi , ci \}$, qui décrivent la forme des MFs, et les paramètres de conséquence $\{ pi , qi , ri \}$, qui décrivent la sortie totale du système. L'apprentissage basique d'un réseau adaptatif est l'algorithme de retropropagation, cet algorithme est basé sur le gradient descendant et peut être appliqué avec succès pour estimer ces paramètres. Cependant, Jang (1991) explique que la méthode du gradient descendant est généralement lente et peut probablement être piégé dans le minimum local. Jang a proposé un algorithme d'apprentissage rapide, qui combine la méthode du gradient descendant

avec l'estimation des moindres carrés [Least Squares Estimate (LSE)] pour identifier les paramètres du système ANFIS, un autre algorithme proposé par Møller [152] combine la méthode du gradient descendant à échelle (SCG) avec l'estimation des moindres carrés. Dans le passage en avant de ces algorithmes, les sorties de chaque nœud vont jusqu'à la 4^{ème} couche, et les paramètres de conséquence sont estimés par la méthode des moindres carrés. Dans le passage en arrière, le taux d'erreur est propagé en arrière et les paramètres primaires sont mis à jour par le gradient descendant ou SCG. L'avantage de l'utilisation de l'algorithme SCG est sa vitesse et son adéquation aux problèmes à grande échelle [152-153].

La technique K-means clustering (KMC) est utilisée dans cette approche ANFIS pour définir la valeur de départ des paramètres de la fonction d'appartenance gaussienne. Les paramètres c et σ de cette fonction sont obtenus à partir de centres générés par K-means et du calcul de l'écart type des données dans chaque cluster généré autour du centroïde, respectivement.

Une fois que l'ANFIS a été formé, il génère un FIS finale pour tester les données inconnues. Cette approche hybride, qui combine la méthode des moindres carrés et la méthode SCG, a été particulièrement efficace dans la formation de l'ANFIS [150]. Par conséquent, dans le cadre de travail actuel, le classificateur suggéré par l'ANFIS a été formé à l'aide d'une méthode de rétro-propagation (back propagation) qui intégrait les méthodes de gradient et de moindres carrés.

5.3 L'approche proposée de détection et de classification de fautes

L'approche appliquée dans notre travail fait partie du diagnostic des circuits analogiques affectés par les défauts. Ce processus repose sur trois éléments essentiels, à savoir la détection, l'identification et l'isolement des défauts. Ceci sera réalisé efficacement si cette opération est basée sur une approche de classification des défauts adéquate en fonction du choix de la méthode d'extraction et de sélection de caractéristique. Ces dernières actions peuvent être résumées dans la figure 5.3 ci-dessous.

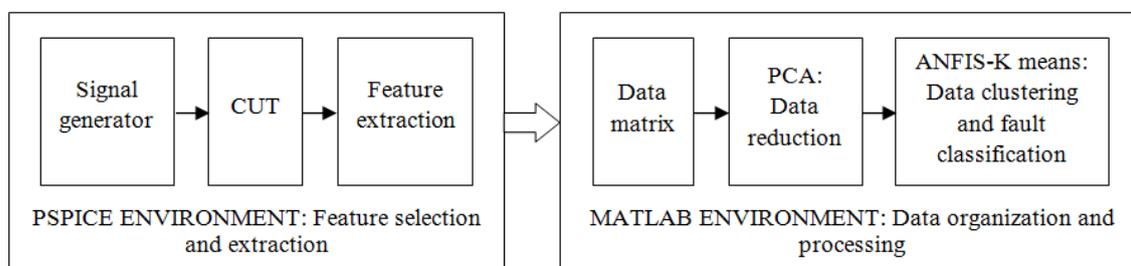


Figure 5.3 La procédure de diagnostic basée sur PCA-ANFIS

Les tâches globales que développe l'approche sont réalisées dans deux environnements principaux : PSPICE et le logiciel MATLAB. Le premier a permis la génération du signal d'entrée

et l'extraction de la fonctionnalité de la CUT. Quant au second, il a servi à mettre en évidence l'organisation et la réduction des données ainsi que la classification des défauts. Toutes ces opérations de ce processus sont réalisées selon le schéma de la figure 5.3 qui s'étalent sur les étapes suivantes :

Étape 1 : Au point de départ de l'organigramme (Figure 5.4) et une fois la sélection du circuit à tester effectuée, les modes de défaut et les valeurs nominales et tolérances des composants sont déterminés et rapportés dans les tableaux correspondants. Les CUTs ont été conçus dans l'environnement PSPICE dans des conditions exemptes de défauts. Un signal d'entrée précis a été défini comme un bon stimulus afin d'assurer une propagation de l'effet de défaut au sortie du circuit et ses paramètres caractéristiques sont mentionnées dans les sections à venir.

Étape 2 : La collection de données est obtenue en domaine temporel à partir du signal de réponse du CUT selon les deux types d'analyse que le simulateur PSPICE fournit à savoir l'analyse transitoire et l'analyse Monte Carlo dont celle-ci a servi à extraire ces caractéristiques dans leurs intervalles d'écart de valeur tolérante. Dans le cas de notre étude, ces paramètres caractéristiques sont les échantillons d'amplitude de tension avec un pas et intervalle d'échantillonnage spécifique au circuit à tester. À ce stade, les données récoltées pour n'importe quel CUT sont de quantités énormes. Ceci provient d'abord du nombre assez important de simulation N ($N=100$) procuré de l'analyse de Monte Carlo afin de délimiter l'intervalle de tolérance du signal de réponse de tension. Ensuite, P échantillons ($P=60$) de signal sont pris sur une plage d'échantillonnage appropriée et au pas d'échantillon sélectionné sur le signal de réponse temporelle du CUT. Ceux-ci nous conduisent à collecter un volume de données pour chaque mode de défaut, d'environ N instances de défaut à observer et dont chacun est un vecteur de P -dimension. L'ensemble des données requises pour tous les états de fonctionnement du circuit est égal à $P \times N \times (K + 1)$ où $(K + 1)$ est le nombre de modes de défaut relatif au circuit CUT plus le mode sans défaut. Pour faciliter le processus de calcul qui nécessite l'approche PCA-ANFIS pour la réduction de la dimensionnalité et la classification des défauts, une matrice $(N \times (K + 1), P)$ est construite et introduite dans l'environnement MATLAB.

Étape 3 : Traitement des données par l'algorithme PCA pour réduire la dimension des données. Plusieurs calculs doivent être effectués : Initialiser le nombre de composants principales m ($m = 1, \dots, P$), où P représente le nombre de points d'échantillonnage pour chaque observation. Selon le processus de PCA présenté à la section 5.2.1, la valeur de m devrait être aussi petite que possible pour obtenir un résultat de dimensions inférieures par rapport à l'objectif de notre travail.

Ceci est dit que certains des vecteurs propres obtenus par PCA avec un petit nombre de valeurs propres sont considérés comme suffisants pour contribuer efficacement à la classification des défauts. Les principales composantes au nombre m résultant de cette paire spécifique de vecteurs propres et de valeurs propres devraient être présentés comme données d'entrée pour l'ANFIS. Par conséquent, pour déterminer la meilleure valeur de m , l'effet de classification sous différentes valeurs de ce nombre est vérifié via ANFIS et celui qui a une petite valeur et atteint la plus haute précision de classification est également sélectionné.

Étape 4 : Après avoir terminé l'étape de la réduction de données, on devrait diviser les nouveaux ensembles de données en deux groupes d'apprentissage et de test : le groupe de données d'apprentissages est orienté vers le classificateur ANFIS afin d'être trainer, puis nous appliquons les données de test à cet algorithme pour le processus de test.

Étape 5 : A ce stade, et pour cette valeur m initiale, si la précision de classification est meilleure que celle prédéfinie, le classificateur est prêt pour le diagnostic de défaut des circuits analogiques de filtrage sous test. Au contraire, une nouvelle PC est ajoutée à la précédente et le processus de classification est repris en incrémentant la valeur m précédente à la suivante (de m à $m+1$). Ainsi, les étapes 3 et 4 sont répétées et le classificateur sera recyclé avec les nouveaux données jusqu'à ce qu'une plus grande précision de classification soit acquise.

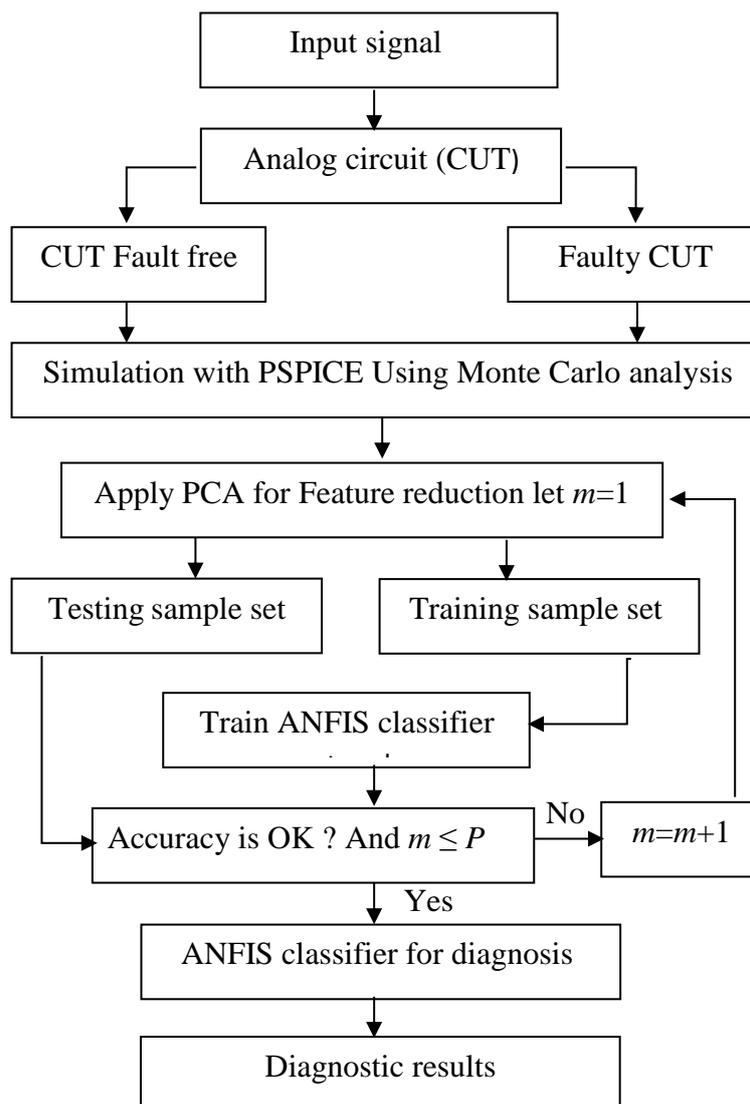


Figure 5.4 Diagramme illustrant la méthode de diagnostic des défauts basée sur PCA-ANFIS

5.4 Circuits sous test et résultats de simulation

Le système de diagnostic des défauts proposé pour la détection et la classification des défauts des circuits analogiques est validé par deux exemples de circuits, un filtre passe bande de Sallen-Key et un filtre passe-haut biquad à quatre amplificateurs opérationnels. Dans cette étude, seuls les défauts paramétriques ont été pris en considération à cause du degré de sévérité qu'ils exposent dans les circuits et systèmes électroniques.

5.4.1 Premier circuit sous test : le filtre passe bande de Sallen-Key

Le premier circuit sous test dans cette étude est le filtre passe bande de Sallen-Key [9] (voir figure 5.5). La tolérance des résistances et des condensateurs est de 5% et 10% respectivement considérés jusqu'à présent comme marges d'erreur acceptables pour un circuit opérant sans altération notable au niveau de sa fonction.

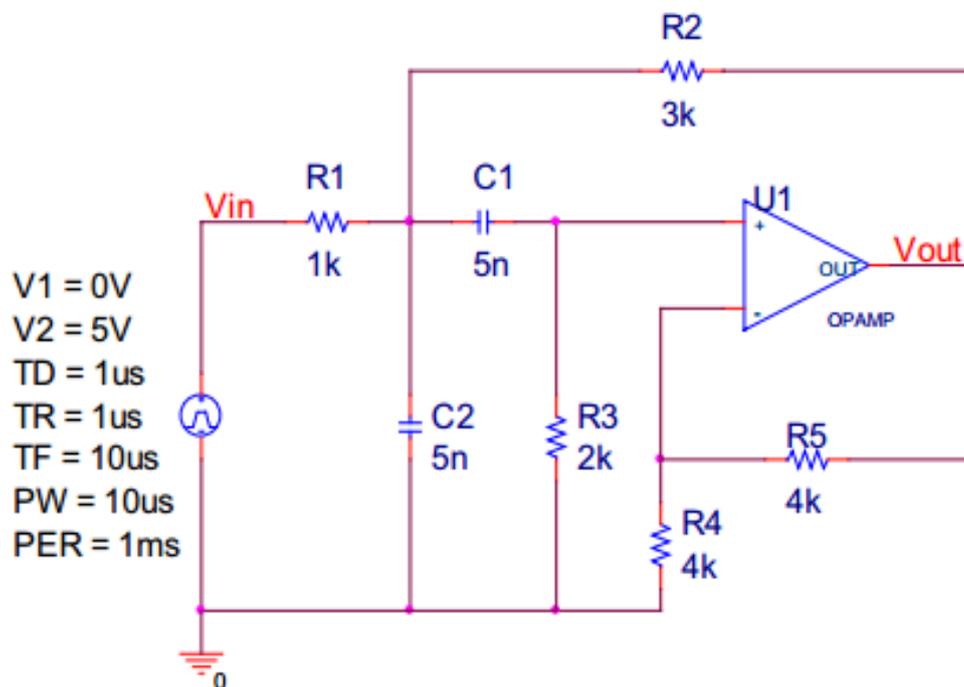


Figure 5. 5 Schéma du filtre passe bande de Sallen-Key

Dans cette première expérimentation, nous utilisons un signal à une seule impulsion avec une amplitude de 5V et une durée de 10 μ s, qui pour des raisons de comparaison, est choisie similaire à celle adoptées dans [12] comme entrée du circuit sous test dans le domaine temporel. La simulation du circuit sous test a été effectuée sous le simulateur PSPICE. Par conséquent, les valeurs nominales et altérées par la présence de défaut sur les composants sont indiquées dans le tableau 5.1. Les classes de fautes incluent les valeurs des composants R1, R2, R3, C1 et C2 qui variaient de plus ou de moins 50% par rapport à leurs valeurs nominales, plus celle de la classe sans défauts introduite comme référence.

Afin de générer les données de la simulation des fautes selon leurs classes dans le tableau 5.1, des analyses en mode transitoire (figure 5.6) et celle basée sur l'approche de Monte Carlo développées à partir le logiciel ORCAD Pspice sont employées [67]. Par conséquent, les données simulées pour chaque classe de faute correspondent à un ensemble de 100 itérations, qui sont répartis en 80 vecteurs d'échantillons formant un sous groupe de données d'apprentissage et 20 autres vecteurs constituant un sous ensemble de données de test.

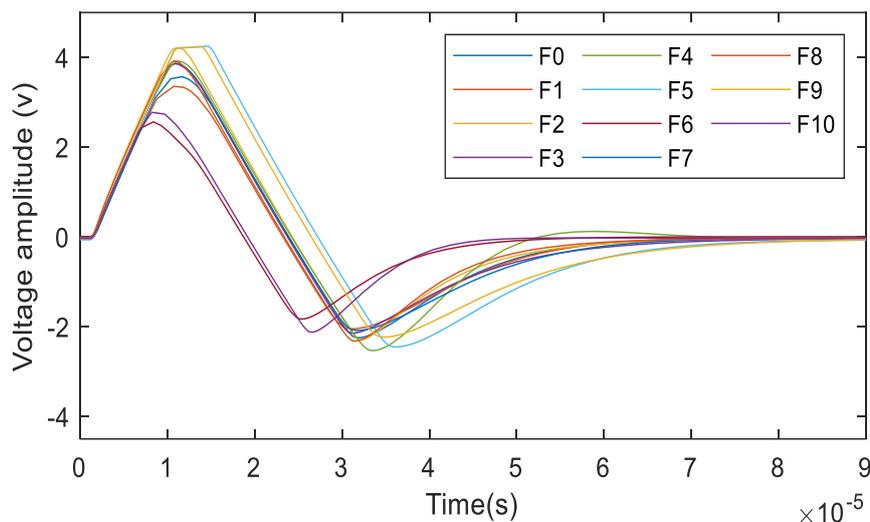


Figure 5.6 Réponse de sortie des différents défauts paramétriques du circuit 1

Tableau 5.1 Valeurs nominales et altérées par fautes des composants du premier circuit sous test

Faute	Type de faute	Valeur nominal	Valeur fautive
F0	FF	-	-
F1	R1+50%	1k Ω	1.5k Ω
F2	R1-50%	1k Ω	0.5k Ω
F3	R2+50%	3k Ω	4.5k Ω
F4	R2-50%	3k Ω	1.5k Ω
F5	R3+50%	2k Ω	3k Ω
F6	R3-50%	2k Ω	1k Ω
F7	C1+50%	5nf	7.5nF
F8	C1-50%	5nF	2.5nF
F9	C2+50%	5nF	7.5nF
F10	C2-50%	5nF	2.5nF

5.4.1.1 Résultats de simulations

La réponse temporelle du circuit sous test est représentée dans la figure 5.7. Elle représente une nappe de courbes propre à une tolérance de composants admissibles pour un nombre d'échantillons de test prescrits. Il s'agit du résultat obtenu selon la méthode de Monté Carlo qui délimite l'intervalle de bon fonctionnement du circuit en absence de faute.

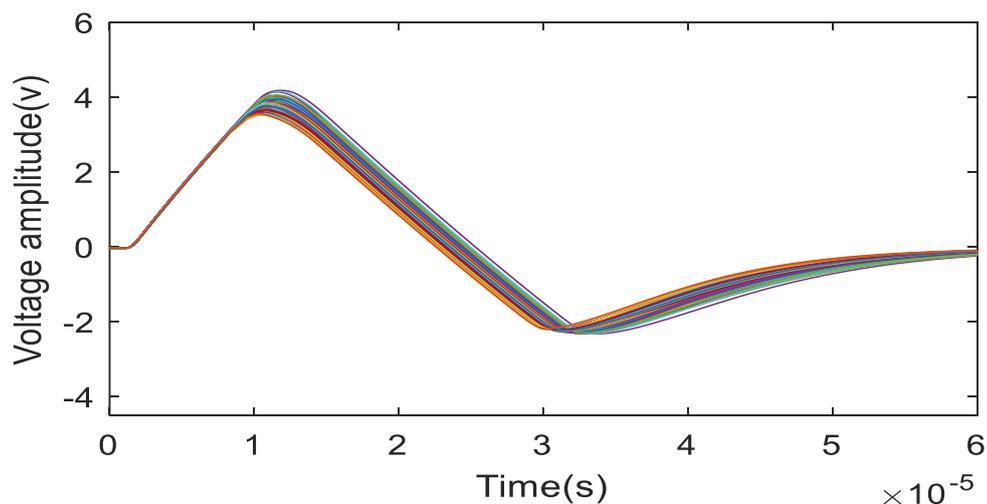


Figure 5.7 Réponse temporelle du circuit sous test sans fautes

5.4.1.2 Génération des entrées du classificateur pour le premier CUT

L'extraction des paramètres d'entrée du classificateur est une opération qui a pour mission d'engendrer une carte de données brutes à l'entrée du classificateur. Cela vise à construire des éléments fonctionnels plus efficaces pour le processus de détection et de classification des fautes dans le circuit sous test.

Afin d'acquérir les signaux de réponse du CUT dans le domaine temporel relatives aux classes de défauts mentionnées dans le tableau 5.1, les méthodes d'analyse transitoires et Monte Carlo fournies par le logiciel ORCAD/PSPICE [154] sont globalement exploitées. Dans le premier type d'analyse, la plage et le pas d'échantillonnage du signal de réponse sont établies pour des laps de temps de $60\mu\text{s}$ et $1\mu\text{s}$, respectivement, et sont semblables à celles utilisées dans les travaux précédents [12] dont cette reconduction est intentionnée pour des raisons d'étude comparative. Les échantillons sont compris dans un tel intervalle en raison de la tendance du signal à une amplitude nulle après une propagation de temps de $60\mu\text{s}$ (voir figure 5.6). Une quantité de 60 points d'échantillonnage d'amplitude de tension constitue le vecteur caractéristique. En outre, dans l'analyse de Monte Carlo, le nombre d'exécutions de simulation est fixé à 100 de sorte que chaque classe de défaut obtient 100 instances (y compris la classe sans défaut F0). Les courbes de réponse de sortie temporelle itérative sans défaut (c'est-à-dire F0) pour le filtre Sallen-Key passe-bande que nous obtenons de ce type d'analyse est représenté à la figure 5.7. Ce processus de simulation nous permet de borner la distribution de ces échantillons d'amplitude de tension de chaque signal de réponse mesuré de 100 valeurs itératives afin d'instaurer l'intervalle de tolérance permis. Ce processus de simulation est répété pour les 10 classes de défauts (voir figure 5.6) également, ce qui a conduit à un énorme volume de données estimé à 1100×60 points pour toutes les conditions

d'état de circuit sous et sans défaut. Par la suite, ces données sont converties en une matrice de dimension (1100, 60) pour une utilisation d'algorithme PCA.

5.4.2 Deuxième circuit sous test : le filtre passe haut biquad à quatre opamp

Le deuxième circuit à tester est un filtre passe-haut biquad complexe dans sa structure, et est réalisé de quatre amplificateurs opérationnels, utilisé comme circuit sous test (CUT) dans des travaux de recherche [11-15]. Les valeurs nominales de tous les composants sont reportées en figure 5.8. Le signal d'entrée est identique à celui utilisé pour le premier CUT il s'agit également d'une impulsion unique d'amplitude de 5V et une durée de 10us dans le domaine temporel. La simulation de circuit a été exécutée sous le logiciel PSPICE en utilisant le type d'analyse transitoire. La tolérance des résistances et des condensateurs est fixée respectivement à 5% et 10%. Le tableau 5.2 indique les valeurs nominales et les valeurs fautives des composants. Par conséquent, dans cette expérience, les réponses temporelles (figure 5.9) ont été collectées pour 12 fautes individuelles y compris celle du circuit sans fautes (FF), afin de vérifier la validité et la précision de la méthode proposée. Ces défauts sélectionnés correspondent aux classes de défauts qui affectent les composants suivants R1, R2, R3, R4, C1 et C2, dont les valeurs deviennent de plus et de moins de 50% de leur valeur nominale.

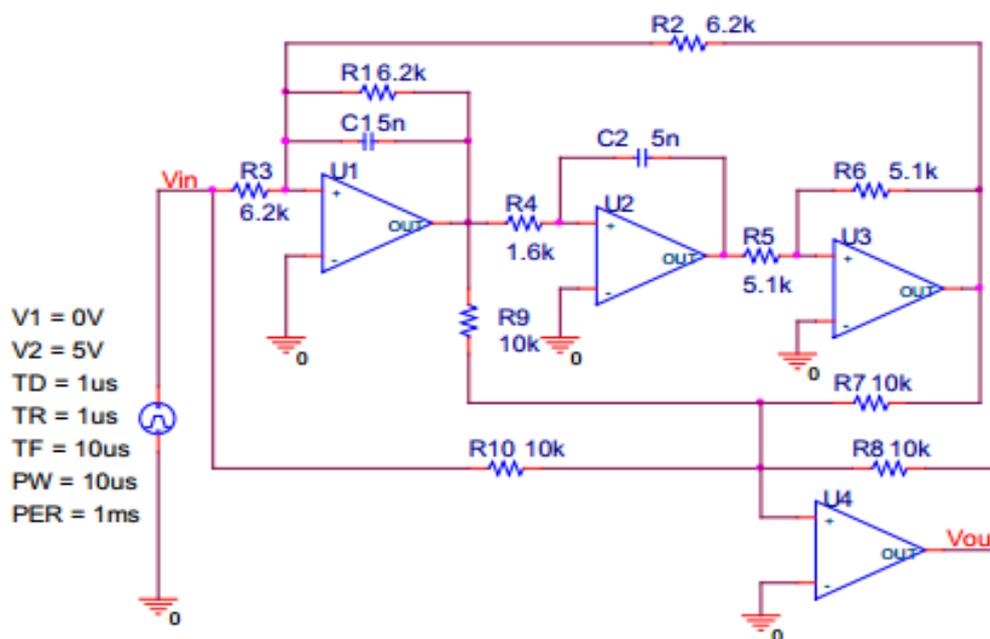


Figure 5.8 Filtre biquad passe haut à quatre amplificateurs opérationnels

Tableau 5.2 Les valeurs nominales et fautives des composants du deuxième circuit sous test

Faute	Type de faute	Valeur nominal	Valeur fautive
F0	FF	-	-
F1	R1+50%	6.2k Ω	9.3k Ω
F2	R1-50%	6.2k Ω	3.1k Ω
F3	R2+50%	6.2k Ω	9.3k Ω
F4	R2-50%	6.2k Ω	3.1k Ω
F5	R3+50%	6.2k Ω	9.3k Ω
F6	R3-50%	6.2k Ω	3.1k Ω
F7	R4+50%	1.6 k Ω	2.4k Ω
F8	R4-50%	1.6k Ω	0.8k Ω
F9	C1+50%	5nf	7.5nF
F10	C1-50%	5nF	2.5nF
F11	C2+50%	5nF	7.5nF
F12	C2-50%	5nF	2.5nF

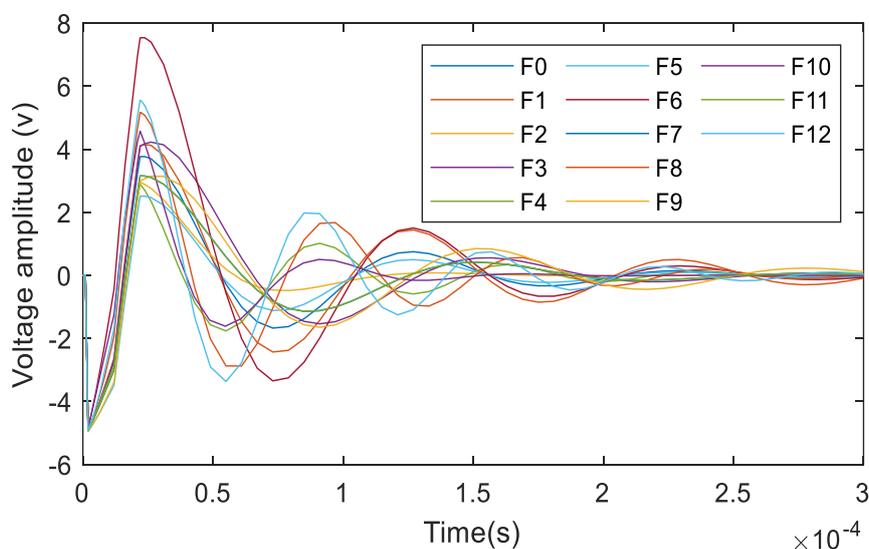


Figure 5.9 Réponse de sortie des différents défauts paramétriques du circuit 2

5.4.2.1 Résultats de simulations

La réponse temporelle du deuxième circuit sous test est représentée dans la figure 5.10. Chacune de ces réponses représente une nappe de courbes propre à une tolérance de composants admissibles pour un nombre d'échantillons de test prescrits. Il s'agit du résultat obtenu selon la méthode de Monté Carlo qui délimite l'intervalle de bon fonctionnement du circuit en absence de faute.

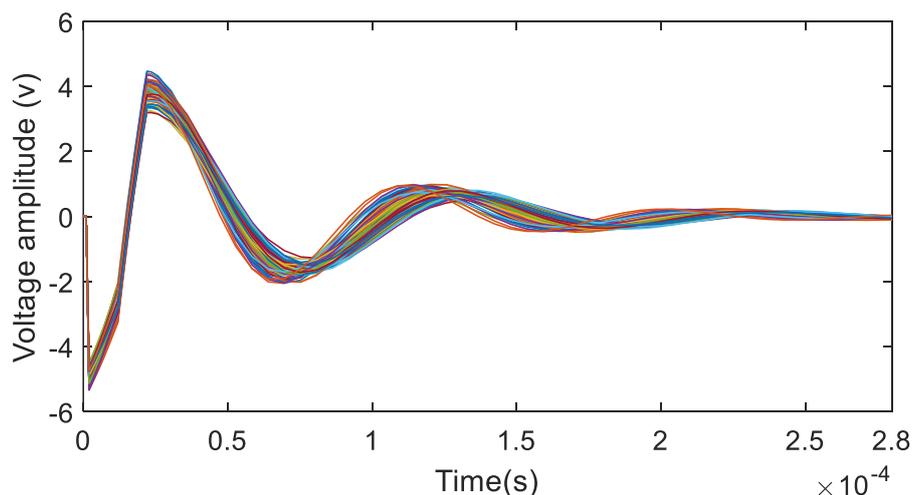


Figure 5.10 Réponse temporelle du deuxième circuit sous test sans fautes par la méthode de Monté Carlo

5.4.2.2 Génération des entrées du classificateur pour le deuxième CUT

La simulation du circuit a été effectuée à l'aide du même logiciel que celui utilisé pour le premier circuit. L'intervalle de temps ou période d'échantillonnage dans l'analyse transitoire est fixé à 280 μ s, en raison du signal de réponse démontrant une tendance de courbe à disparaître après ce temps de propagation (voir figure 5.9). Le pas d'échantillonnage est sélectionné différemment de celle du premier CUT en fonction des informations utiles que le signal de propagation transporte. Dans ce deuxième cas de circuit d'étude, deux pas d'échantillonnage différents sont définis pour le signal de sortie dont le premier est de 1 μ s pour une durée du signal de réponse de 5 μ s à partir de l'instant initial, et la seconde est de 5 μ s pour le reste de cette période d'échantillonnage. Cette répartition par pas d'échantillonnage est semblable à celle mentionnée dans les travaux de recherche précédents [12], afin de donner plus de crédibilité à la comparaison des résultats. En conséquence, les valeurs d'amplitude de tension de 60 points d'échantillonnage sont utilisées pour construire les vecteurs caractéristiques du diagnostic (features).

Par ailleurs, la simulation Monte Carlo est réalisée pour produire 100 itérations pour chaque mode de défaillance (voir figure 5.9) afin de construire l'intervalle de tension de tolérance du signal de réponse. Les courbes de réponse transitoires dans le domaine temporel sans défaut (F0) du circuit de filtrage passe-haut à Amp-Op biquad obtenues en utilisant à la fois l'analyse transitoire et l'analyses de Monte Carlo exécutées sous 100 itérations sont montrées dans la figure 5.10. On rappelle que chaque signal itératif a été soumis à cette opération d'échantillonnage ce qui conduira à la collecte d'une quantité de donnée de 100 \times 60 valeurs caractéristiques pour chaque état de fonctionnement du circuit à diagnostiquer.

5.5 Résultats et discussions

Une fois que les signaux de réponse aux défaillances auront été recueillis et organisés en fonction du volume de ces données caractéristiques là sous forme matricielle, ce volume sera réduit par la méthode proposée de PCA, comme il est indiqué à la section 5.2.1. Un classificateur ANFIS est construit, pour classer les données réduites une fois qu'elles ont été organisées par l'approche de regroupement de K-means pour une utilisation appropriée. Ici, le volume de données est divisé en deux ensembles avec un rapport qui donne une meilleure précision de classification. Le réseau de l'ANFIS est ensuite formé avec l'un de ces ensembles pour apprentissage (training data) tandis que l'autre est employé pour le processus de test pour estimer l'efficacité de ce groupe de donnée d'apprentissage. On calcule les précisions de classification dans différents PC à l'aide de la technique de réduction des dimensions des données.

5.5.1 Résultats et discussions pour le premier circuit sous test

Selon la méthode proposée à la section 3, l'analyse des composantes principales est utilisée pour réduire la dimension du vecteur de donnée caractéristique dont nous précisons sa nature correspondant à une classe de faute ou ces éléments sont les amplitudes des échantillons pour toutes les itérations concernées (100×60 éléments). De plus, tous les vecteurs de caractéristiques résultants de PCA sont divisés en deux parties : 80 instances équivalent à 80% de ces éléments en tant qu'ensemble de données d'entraînement et 20 instances (20% de ce volume d'éléments) en tant qu'ensemble de test. Un classificateur ANFIS est construit, lorsque la fonction d'activation sélectionnée est une fonction gaussienne, le nombre de groupes déduit de l'approche de regroupement de k-means est le même que le nombre de catégories à classer qui est égal à 11. Le nombre de nœuds d'entrée ANFIS dépend d'un numéro de composant principal sélectionné comme entrée de données. Ensuite, l'ensemble de donnée d'apprentissage est utilisé pour former le réseau ANFIS. Après ce processus de formation, l'ensemble de tests est utilisé pour tester le réseau ANFIS formé.

Les précisions (accuracy) de classification selon les différentes composantes principales à l'aide de la technique de réduction des dimensions des données sont indiquées à la figure 5.11. Cependant, nous devons insister sur le fait que l'ANFIS, sans le soutien de la réduction des dimensions des données, a fourni une faible précision de classification d'environ 86,82 % (voir le tableau 5.3). Un dénouement heureux à cette situation fut possible par la combinaison de l'ANFIS et de PCA qui a démontré à partir de cette figure que 9 PCs seulement sont nécessaires pour obtenir le score de précision le plus élevé rivalisant un taux de 100 %, ce qui représente bien une meilleure valeur de précision que celle obtenue avec l'ANFIS sans l'implication de PCA. Entre-temps, il est

également remarqué dans la figure 5.12, le Pourcentage Cumulé de la Variance totale CPV(m) correspondant à la variance totale des composantes principales extraites est égal à 100% pour notre nombre choisi de PCs. Cela nous amène à dire que les PCA ont été utilisés de façon adéquate à des fins de réduction des dimensions, puisque 9 PCs ont été conservés et que la variation initiale correspond à un rapport d'ensemble de données réduit de plus de 85 %. Nous pouvons également noter à partir de ce résultat de PCA que plus de PCs ont atteint aussi 100% comme proportion de CPV, bien qu'ils ne soient pas nécessaires car ils contraignent l'efficacité de la classification à se déchoir lorsqu'ils approchent du volume entier de données. Nous concluons qu'après l'extraction des caractéristiques, les données brutes sont transformées avec succès en un meilleur espace pour les caractéristiques, au contraire, l'utilisation de plus de données peut influencer sur la procédure de formation de l'ANFIS et distraire la formation sur le modèle de l'ANFIS et, malheureusement, peut nuire au rendement du classificateur.

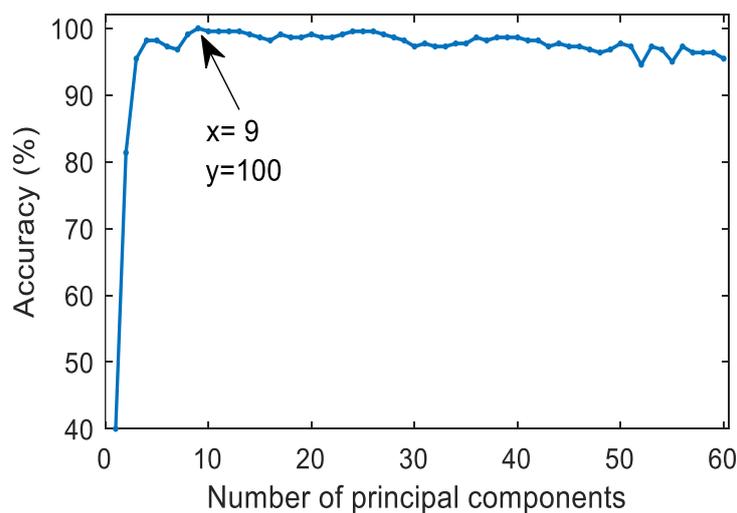


Figure 5.11 Résultats de la classification PCA-ANFIS du filtre passe-bande de Sallen pour différents PCs

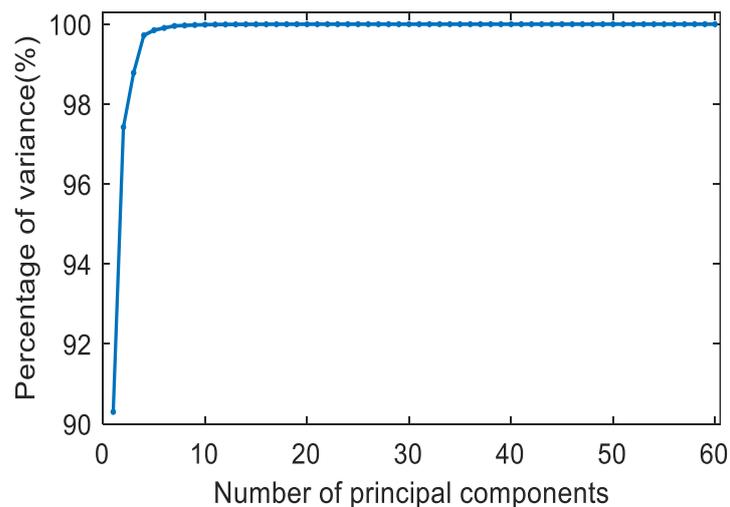


Figure 5.12 Somme cumulative de la variance contenue dans les composantes principales

La performance du diagnostic de défaut de la méthode proposée a été vérifiée en comparant les résultats expérimentaux avec deux autres méthodes existantes [11-12].

Dans le premier document en référence, l'extraction des caractéristiques des défaillances était fondée sur l'analyse de la fréquence et du temps, et la classification des défaillances était effectuée par un classificateur précis fondé sur des données neuro-floues adaptatives.

Dans le second cas, une nouvelle approche de diagnostic de défaillance basée sur une machine d'apprentissage extrême (ELM) a été accomplie. Étant donné que les paramètres des circuits du banc de test et les modes de défaillance présentés dans le présent document sont semblables à ceux présentés dans ces documents de référence, ceux l'ont renforcé notre étude comparative et la rendent plus crédible. La comparaison de ces mesures est fondée sur la dimension des vecteurs caractéristiques d'entrée, le type de classificateur implicite et l'exactitude de la classification. Les résultats de la comparaison sont présentés dans les tableaux 5.3 et 5.4.

Tableau 5.3 Comparaison de la précision de classification pour le filtre passe bande de Sallen-Key entre la méthode proposée et d'autres méthodes

Fautes	Précision de Classification (%)			
	Méthode en [11]	Méthode en [12]	ANFIS sans PCA	La méthode proposée
F0	-	100.00	100.00	100.00
F1	99.20	100.00	90.00	100.00
F2	99.90	100.00	50.00	100.00
F3	99.60	100.00	100.00	100.00
F4	100.00	100.00	100.00	100.00
F5	99.90	100.00	95.00	100.00
F6	100.00	100.00	90.00	100.00
F7	99.20	100.00	90.00	100.00
F8	100.00	100.00	50.00	100.00
F9	99.80	100.00	95.00	100.00
F10	100.00	100.00	95.10	100.00
Moyenne	99.76	100.00	86.82	100.00

Tableau 5.4 Comparaison du nombre de caractéristique et de classificateur utilisés entre la méthode proposée et d'autre méthode pour le filtre passe bande Sallen-Key

Référence	Nombre d'éléments caractéristiques d'entrée	Classificateur
Méthode en [11]	3, 4, ...	Multiclass ANFIS
Méthode en [12]	60	ELM
La méthode proposée	9	PCA-ANFIS

Comme l'indique le tableau 5.3, la méthode de diagnostic proposée a obtenu une précision de classification de 100 %, ce qui est supérieur à 99,76 % en [11] et le même ratio que celui mentionné en [12]. Entre-temps, sur la base de l'analyse du tableau 5.4, on peut conclure que PCA-

ANFIS n'a eu besoin de 9 caractéristiques que pour obtenir une meilleure précision que la méthode ELM susmentionnée de ce type d'expérience.

Il ressort très clairement de la comparaison entre ces méthodes que la méthode proposée est très efficace en terme de précision du classificateur pour le cas du premier circuit de filtrage passe-bande Sallen-Key et elle a pu la confirmer avec le second circuit de filtrage analogique comme il est démontré dans la section suivante.

5.5.2 Résultats et discussions pour le deuxième circuit sous test

La réduction des dimensions des vecteurs caractéristiques du deuxième CUT a été effectuée par PCA et ayant été présentés comme vecteurs d'entrée dans l'ANFIS après avoir fait l'objet d'un processus au moyen d'algorithme de calcul par regroupement par K-means. Le classificateur est effectué de la même manière que lors de l'expérience précédente, où les vecteurs de caractéristiques réduits sont respectivement répartis en 80% et 20% selon les groupes de données d'apprentissage et de test respectifs. Le nombre de clusters dérivés de son approche appropriée est égale au nombre de catégories à classer (13 classes de défauts). Les précisions de classification calculées avec le support technique de la PCA pour tous les composants principaux PC ($m=60$) sont indiquées à la figure 5.13. Ceci a clairement montré que sur un nombre de 5 comme nombre de PC, l'ANFIS avec cette technique de réduction des données donne une augmentation du niveau de précision de classification variant de 90% et à 100%. On affirme que ce résultat est nettement supérieur à celui obtenu avec l'ANFIS sans assistance par la PCA qui est évalué à 89,23 % (voir le tableau 5.5) exploitant l'ensemble total de données original ($m = 60$ échantillons). En outre, à partir du graphe illustrant la dimension des données comprimée à travers la figure 5.14, il est souligné que pour valider les PCA, un CPV(m) calculé a accompli 100%. D'après la tendance de la courbe de précision de la figure 5.13, le point que nous devons souligner est qu'une précision de classificateur de 100% a été atteinte pour une dimension de données réduite d'environ 14 PCs. Cela signifie que les informations originales sont conservées dans ce nombre de PC.

Au contraire, au-dessus de ce nombre choisi, la précision tend à diminuer drastiquement tandis que plus de PC sont impliqués et donc résultant en une performance déficiente du classificateur ANFIS. Afin de valider l'efficacité du diagnostic de défaillance et d'améliorer le niveau de précision de la méthode proposée, un jeu de comparaison est établi entre les résultats obtenus par notre approche et ceux des méthodes existantes susmentionnées [11-12]. Les éléments métriques de comparaison restent les mêmes que ceux utilisés avec le circuit précédent et sont enregistrés avec les résultats dans les tableaux 5.5 et 5.6.

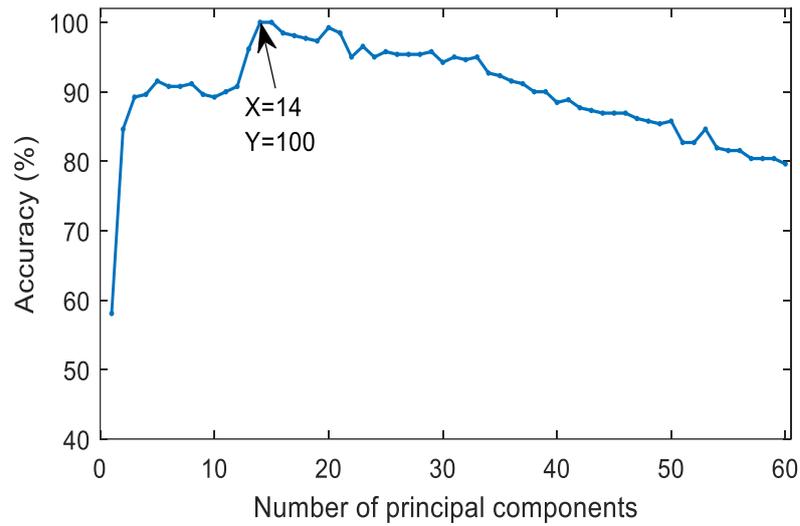


Figure 5. 13 Résultats de classification PCA-ANFIS du filtre passe haut biquad à quatre opamp pour différents PCs

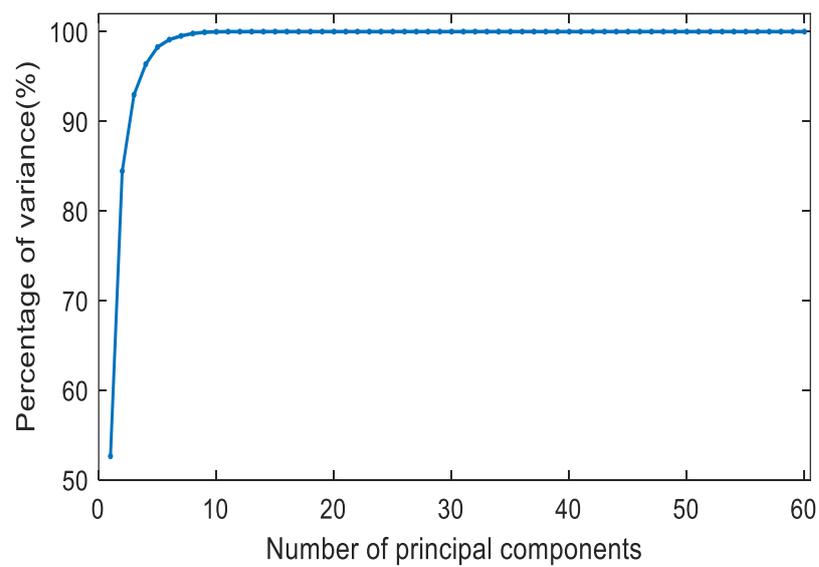


Figure 5.14 Somme cumulative de la variance contenue dans les composantes principales

Tableau 5.5 Comparaison de la précision de classification entre la méthode proposée et d'autres méthodes pour le filtre passe haut biquad à quatre opamp

Fautes	Précision de Classification (%)			
	Méthode en [11]	Méthode en [12]	ANFIS sans PCA	La méthode proposée
F0	-	99.60	95.00	100.00
F1	99.66	99.30	100.00	100.00
F2	100.00	99.80	100.00	100.00
F3	99.91	99.80	100.00	100.00
F4	99.58	99.50	100.00	100.00
F5	96.91	98.40	95.00	100.00
F6	100.00	100.00	100.00	100.00
F7	92.33	99.60	60.00	100.00
F8	91.16	99.60	90.00	100.00
F9	99.41	99.90	100.00	100.00
F10	98.67	99.00	100.00	100.00
F11	91.58	99.80	45.00	100.00
F12	91.75	99.80	75.00	100.00
Moyenne	96.74	99.50	89.23	100.00

Tableau 5.6 Comparaison du nombre de caractéristique et de classificateur utilisés entre la méthode proposée et d'autre méthode pour le filtre passe haut biquad à quatre opamp

Référence	Nombre de caractéristique	Classificateur
Méthode en [11]	3, 4, ...	Multiclass ANFIS
Méthode en [12]	60	ELM
La méthode proposée	14	PCA-ANFIS

Les résultats présentés aux tableaux 5.5 et 5.6 précisent bien que la nouvelle méthode de classification a obtenu aussi une précision de classification de 100 %, ce qui est plus élevée et considérée comme meilleure que celles des méthodes ANFIS et ELM, qui ont comptabilisé 96,74 % en [11] et 99,50 % en [12], respectivement. Une fois de plus, nous arrivons à la

conclusion que le classificateur proposé a obtenu non seulement de bons résultats en matière de précision sur la classification de défauts soumis à l'investigation, mais aussi une réduction efficace de la dimension des données évaluée à plus de 75 % pour les deux CUT sélectionnés.

5.6 Conclusion

Dans ce chapitre, une proposition d'une combinaison hybride de méthodes PCA et ANFIS assistée par la technique de groupement K-means pour la classification des défauts des circuits intégrés analogiques est recommandée. La faisabilité et la validation de cette nouvelle méthode ont été vérifiées au moyen d'un filtre passe-bande Sallen-key et d'un filtre passe haut biquad d'une structure assez complexe construit autour de quatre opamp pour une classification singulière des défauts paramétriques. L'expérience procédée sur ces circuits de banc a visé l'évaluation et l'appréciation de la capacité du classificateur proposée à une réduction de l'ambiguïté entre les classes de défauts. La précision de diagnostic moyenne atteint a raflé le niveau de 100 % pour ces deux CUTs et a fourni la preuve d'efficacité de la méthode proposée. De plus, notre approche a permis de diagnostiquer les fautes paramétriques individuelles fréquentes chez les circuits analogiques vers a conduit à une amélioration de la précision avec la compression des données d'entrée au classificateur que celui-ci a du recevoir au préalable du processus de diagnostic. Cela a fait en sorte que 60 vecteurs de fonction sélectionnés comme entrées du classificateur ANFIS ont été réduits à plus de 75 % par l'approche APC pour les deux CUT. En outre, l'élévation du degré d'efficacité de la classification des fautes de l'ANFIS est due à l'aide technique de regroupement des K-moyennes qui a aidé à la disposition des données à partir de la formation de centroïde des groupes de données. De ces deux performances résultant de la méthode de classificateur proposée, on ira de l'avant avec l'ambition de cibler d'autres types de circuits analogiques complexes. Par conséquent, les résultats obtenus avec la méthode PCA-KMC-ANFIS sont très encourageants. Il incite à son implication avec d'autres types de défauts et dans différentes conditions de défaut, i.e. défauts multiples. Cela permettra probablement d'élargir les solutions aux problèmes de diagnostic de défauts analogiques et d'améliorer l'efficacité du test des circuits intégrés analogiques.

Conclusion générale et perspectives

L'évolution des technologies vers une intégration de plus en plus croissante rend le test et le diagnostic des circuits intégrés de plus en plus difficile et complexe, par conséquent, l'étape d'identification et de localisation de défauts devient cruciale. Cette étape est d'autant plus importante lorsque les défauts sont localisés dans la partie analogique d'un circuit intégré, car il n'existe pas de procédures ou de méthodes normalisées particulières élaborées. La nature complexe des signaux analogiques, les limites de tolérance des composants des circuits analogiques, le comportement non linéaire des composants et le nombre de nœuds accessibles sont des difficultés majeures dans le diagnostic des défauts des circuits analogiques qui limitent le développement d'une approche efficace du test. La plupart des approches qui ont été adoptées dans ce contexte sont des approches basées sur un dictionnaire de défaillances. Le dictionnaire de défauts est construit au stade du pré-test au moyen de simulations du circuit sous test (CUT), dans des conditions nominales et de défauts avec un stimulus d'entrée prédéfini. Le comportement simulé d'un CUT défectueux est généralement appelé signature de défaut. Dans le processus de diagnostic, la réponse mesurée du circuit est comparée aux signatures correspondant à chaque état de défaut stocké dans le dictionnaire.

Dans cette thèse, nous avons ciblé certains objectifs concernant la détection et la maximalisation de la couverture des défauts dans les circuits analogiques, ainsi que de proposer une approche de haute précision pour la classification de ces défauts. L'objectif a été non seulement pour réaliser une classification des défauts à un taux de 100% mais aussi avec un nombre très limité de paramètres de détection. Cette réduction doit non seulement assurer une classification des défauts avec un très petit volume de données d'analyse mais aussi avec un minimum de temps possible. Ces deux caractéristiques reposent également sur le signal de stimulation assurant à la fois la propagation de l'effet de défaut vers la sortie du circuit à travers sa réponse et sa trace ou sa signature sur les paramètres à extraire de celle-ci. Nous avons ensuite présenté de nouvelles approches prenant en compte les différents types de fautes existantes.

Pour des fins de détection et de couverture des défauts, deux approches ont été proposées : une approche basée sur la comparaison de la réponse transitoire ou une technique d'extraction de paramètres servant d'éléments de classification basée sur la série de Fourier fut employée : il s'agit de la composante continue, les amplitudes des différentes fréquences ainsi que le taux de distorsion. Cette approche de classification basée sur la logique floue a donné un taux de couverture des défauts testés de 100 % dont les données à traiter proviennent par voie de simulation en utilisant la méthode de Monte Carlo. Cette dernière est appliquée pour détecter les défauts paramétriques et catastrophiques du filtre passe-bande de Sallen-Key en analysant ces paramètres extraits des réponses de ce circuit en présence et en absence de fautes. Quant à la deuxième

approche, un classificateur Neuro-flou est proposé pour la détection et la classification des fautes pour deux circuits intégrés analogiques à savoir le circuit cité précédemment et un autre plus complexe que celui-ci, il s'agit du fameux filtre Biquad à amplificateur opérationnel. En plus de la détection des défauts, il est proposé à travers le projet inclus dans cette thèse la classification des défauts dont l'objectif principal est d'indiquer le type de défaut et d'aider à l'isoler de manière efficace et rapide. L'importance des techniques de réduction de la dimensionnalité des données d'entrée du classificateur a été démontrée et justifiée tout au long du manuscrit. Cette compression de données a été rendue possible par une approche dite PCA, acronyme d'analyse en composantes principales sur des données attribuées à des paramètres extraits de la réponse du circuit à diagnostiquer. Tout d'abord, les entrées du classificateur ont été construites sur la base des résultats de simulation des circuits testés. Ces données brutes correspondent à un certain nombre d'échantillons prélevés sur le signal de réponse du circuit en présence et en l'absence de défauts. Ces échantillons ont été extraits selon un pas d'échantillonnage fixe de $1\mu s$ sur un temps de réponse de $60\mu s$ ou selon deux pas fixes de $1\mu s$ et $5\mu s$ et ceci pour des cas de circuits spécifiques tout en gardant le nombre d'échantillons à 60. Les données constituent une carte d'informations brutes en entrée du classificateur basé sur des réseaux de neurones combinés à de la logique floue. Lors du premier traitement de l'information, le jeu d'échantillons utilisé par le classificateur a conduit à une contre-performance se traduisant par un taux de classement inférieur à 90%.

Cette baisse de ce taux est probablement due à une redondance de certains échantillons provoquant une dégradation de la précision moyenne du classificateur, ce qui nous a conduits à rechercher des moyens d'élimination de cette redondance. Le but est alors de pouvoir sélectionner des entrées plus efficaces pour la détection et la classification des défauts dans les circuits analogiques. Par conséquent, une méthode proposée pour la réduction de la dimensionnalité d'entrée a été appliquée à plusieurs classificateurs pour chaque circuit sous test (CUT). Il s'agit d'une technique statistique permet de convertir ces données en d'autres données constituant les principales composantes de l'analyse PCA (principal components analysis ou PCA) dont le maximum d'information est concentré sur les premières composantes. Les composantes principales (PC) constituant les nouvelles données ont servi de paramètres d'entrée au classificateur Neuro-flou et le PC ou les PCs donnant le maximum de précision, le reste est éliminé. Les résultats obtenus selon cette combinaison des approches PCA-ANFIS, ont révélé une meilleure performance pour les deux circuits analogiques diagnostiqués puisqu'un taux de 100% y a été atteint avec un nombre d'échantillons de 9 et 14 sur 60.

Ces résultats constituent une prouesse en comparaison avec ceux des derniers travaux de recherche réalisés récemment. Grâce à ce projet, nous avons pu développer une approche de

classification Neuro-floue multi-classes qui est un algorithme d'apprentissage supervisé, qui démontre la capacité d'apprendre à partir des données. En diffusant les informations des données mesurées en sortie du classificateur, la classification des défauts peut être établie. L'effet remarquable de cette approche suivie dans ce processus de diagnostic des circuits analogiques et d'avoir réussi à optimiser le résultat de cette approche de classification en assurant une couverture à 100% et une isolation des défauts avec notamment une réduction nettement significative des paramètres comme éléments d'entrée du nouveau classificateur système, ANFIS-PCA

Travaux en perspective :

Pour les travaux futurs, nous souhaitons que des prolongements de nos travaux se fassent selon les points suivants :

L'extension de la génération de test pour couvrir et classifier les défauts multiples de type tolérance à différentes proportions supérieures ou inférieures à 50 % ainsi que les défauts catastrophiques survenant individuellement ou en groupement multiple. Une autre perspective envisagée est l'application de nouvelles méthodes pour améliorer la détectabilité et la précision de la classification des défauts en termes de temps minimum requis pour ce processus. Il s'agit d'une recherche approfondie et d'une mise en évidence d'autres algorithmes qui assurent cette exigence chronophage tout en préservant les performances d'apprentissage de ce classificateur. Enfin, la validation de la méthode proposée nécessite qu'elle soit étendue pour couvrir d'autres types de circuits analogiques hybrides tels que les convertisseurs analogique-numérique ou numérique-analogique considérés comme des circuits mixtes et pourquoi pas l'unifier pour couvrir les circuits numériques tels que les mémoires, registres et autres.

Références et bibliographies

- [1] P. Sun, Z. Yang, Y. Jiang, S. Jia, and X. Peng, "A Fault Diagnosis Method of Modular Analog Circuit Based on SVDD and D–S Evidence Theory." *Sensors*, vol. 21, no. 20, p. 6889, Oct. 2021.
- [2] V. Manikandan and N. Devarajan, "SBT Approach towards Analog Electronic Circuit Fault Diagnosis," *Active and Passive Electronic Components*, vol. 2007, pp. 1–12, 2007.
- [3] P. Nagaraja and G. Sadashivappa, "Fault diagnosis of circuits using statistical parameters and implementation using classifiers — A survey," 2016 International Conference on Communication and Signal Processing (ICCSP), Melmaruvathur, India, 2016, pp. 2162-2166
- [4] A. D. Spyronasios, M. G. Dimopoulos and A. A. Hatzopoulos, "Wavelet Analysis for the Detection of Parametric and Catastrophic Faults in Mixed-Signal Circuits," in *IEEE Transactions on Instrumentation and Measurement*, vol. 60, no. 6, pp. 2025-2038, June 2011
- [5] D. Binu and B. S. Kariyappa, "A survey on fault diagnosis of analog circuits: Taxonomy and state of the art," *AEU - International Journal of Electronics and Communications*, vol. 73, pp. 68–83, Mar. 2017.
- [6] A. Kavithaman, V. Manikandan, and N. Devarajan, "Analog circuit fault diagnosis based on bandwidth and fuzzy classifier," in *TENCON 2009 - 2009 IEEE Region 10 Conference*, Singapore, Nov. 2009.
- [7] J. W. Bandler and A. E. Salama, "Fault diagnosis of analog circuits," *Proc. IEEE*, vol. 73, no. 8, pp. 1279–1325, 1985.
- [8] A. Sai Sarathi Vasani, B. Long, and M. Pecht, "Diagnostics and Prognostics Method for Analog Electronic Circuits," *IEEE Trans. Ind. Electron.*, vol. 60, no. 11, pp. 5277–5291, Nov. 2013.
- [9] P. Song, Y. He, and W. Cui, "Statistical property feature extraction based on FRFT for fault diagnosis of analog circuits," *Analog Integr Circ Sig Process*, vol. 87, no. 3, pp. 427–436, Jun. 2016.
- [10] A. Kumar and A. P. Singh, "Fuzzy classifier for fault diagnosis in analog electronic circuits," *ISA Transactions*, vol. 52, no. 6, pp. 816–824, Nov. 2013.
- [11] A. Arabi, N. Bourouba, A. Belaout, and M. Ayad, "An accurate classifier based on adaptive neuro-fuzzy and features selection techniques for fault classification in analog circuits," *Integration*, vol. 64, pp. 50–59, Jan. 2019.

- [12] G. Zhao, Y. Liu, Y. Gao, Z. Jiang, and C. Hu, "A New Approach for Analog Circuit Fault Diagnosis Based on Extreme Learning Machine," in 2018 Prognostics and System Health Management Conference (PHM-Chongqing), Chongqing, pp. 196–200, Oct. 2018.
- [13] G. Cai, L. Wu, and M. Li, "The Circuit Fault Diagnosis Method Based on Spectrum Analyses and ELM," in 2021 IEEE 16th Conference on Industrial Electronics and Applications (ICIEA), Chengdu, China, pp. 475–479, Aug. 2021.
- [14] T. Gao, J. Yang, S. Jiang, and C. Yang, "A novel fault diagnostic method for analog circuits using frequency response features," *Review of Scientific Instruments*, vol. 90, no. 10, p. 104708, Oct. 2019.
- [15] A. R. Nasser, A. T. Azar, A. J. Humaidi, A. K. Al-Mhdawi, and I. K. Ibraheem, "Intelligent Fault Detection and Identification Approach for Analog Electronic Circuits Based on Fuzzy Logic Classifier," *Electronics*, vol. 10, no. 23, p. 2888, Nov. 2021.
- [16] R. Bharat Ram, V. Prasanna Moorthy, and N. Devarajan, "Fuzzy based time domain analysis approach for fault diagnosis of analog electronic circuits," in *Communication and Energy Conservation 2009 International Conference on Control, Automation*, pp. 1–6, Jun. 2009.
- [17] B. Long, M. Li, H. Wang, and S. Tian, "Diagnostics of Analog Circuits Based on LS-SVM Using Time-Domain Features," *Circuits Syst Signal Process*, vol. 32, no. 6, pp. 2683–2706, Dec. 2013.
- [18] G. Zhao, X. Liu, B. Zhang, Y. Liu, G. Niu, and C. Hu, "A novel approach for analog circuit fault diagnosis based on Deep Belief Network," *Measurement*, vol. 121, pp. 170–178, Jun. 2018.
- [19] H. Yang, C. Meng, and C. Wang, "Data-Driven Feature Extraction for Analog Circuit Fault Diagnosis Using 1-D Convolutional Neural Network," *IEEE Access*, vol. 8, pp. 18305–18315, 2020.
- [20] C. Zhang, D. Zha, L. Wang, and N. Mu, "A Novel Analog Circuit Soft Fault Diagnosis Method Based on Convolutional Neural Network and Backward Difference," *Symmetry*, vol. 13, no. 6, p. 1096, Jun. 2021.
- [21] A. Khouas, "Simulation de Fautes et Optimisation des Tests de Production pour les Circuits Analogiques avec Prise en Compte des Tolérances." Thèse de doctorat, Université de Paris VI, 2000.
- [22] D. J. Wilkins, "The Bathtub Curve and Product Failure Behavior. Part One : The Bathtub Curve, Infant Mortality and Burn-in." *Reliability HotWire*, November 2002.

- [23] B.P. Richards , P.K. Footner, "Failure analysis in semiconductor device–rational, methodology and practice." GEC Journal Vol. 1, no. 2, p. 74-90, 1983
- [24] H. Albustani, "Modeling methods for testability Analysis of Analog Integrated Circuits Based on Pole-Zero analysis." Thèse de Doctor Ing. August 2004
- [25] Nur Engin, "Linking Mixed –Signal Design and test : Generation and Evaluation of Specification Based Tests." University of Twente in Enschede, The Netherlands, 2000.
- [26] J.L. Huertas, "Test and Design for Testability of Analog and Mixed-signal Integrated Circuits. Theoretical Basis and Pragmatically Approaches." In : Proc. ECCTD Conf. p. 75-156, 1993
- [27] L. Milor, "A Tutorial Introduction to research on analog and Mixed–Signal circuit Testing." IEEE Trans. On Circuits and Systems 2. Analog and Digital Signal Processing, Vol 45, n° 10 October 1998.
- [28] F. Mohamed, "Approche à base de logique floue pour le test et le diagnostic des circuits analogiques", Thèse de doctorat, INPG –Grenoble -France 1997.
- [29] C. Benoît, "Modélisation de fautes de conception en vue de test structurel de microsysteme." Thèse de Doctorat, 12 Mars 2001, Institut polytechnique de Grenoble.
- [30] Jonathan R. Carter, Sule Osev, and Daniel J. Sorin, "Circuit-Level Modeling for Concurrent Testing of Operational Défects due to Gate Oxide Breakdown." In : Design, Automation and Test in Europe. IEEE. p. 300-305, 2005.
- [31] M. P. de Boer, P.J. Clews, B.K. Smith, T. A.. Michalske, "Adhesion of Polysilicon Microbeams in Controlled Humidity Ambient." C.A. Symposium on Microelectromechanical Structures for Materials Research, Vol 518 pp 131-136, April 15-16, 1998.
- [32] M. P. de Boer, J. A. Knapp, T. M. Mayer and T. A. Michalske, "The Role of Interfacial properties on MEMS Performance and reliability." In SPIE/EOS Conference on Microsystems Metrology and inspection ,Munich, p. 2-15, 1999.
- [33] L. Michelutti, N. Mathieu, A Chovet, A. Gallerie, "Influence of the chemical corrosion on resistivity and $1/f$ noise of polysilicon gauges." In microelecronics Reliability , Vol. 40 n°1-2000 pp 179-183.
- [34] M. Pacheco, Z. Wang, L. Skoglund, Y. Liu, A. Medina, A. Raman, R. Dias, D. Goyal, S. Ramanathan, "Advanced Fault Isolation and Failure Analysis Techniques for Future package Technology." Intel Technology Journal, vol. 9, no 4, 2005.
- [35] D. G. Edwards, "Testing for MOS IC Failure Modes." in IEEE Transactions on Reliability, vol. R-31, no. 1, p. 9-18, April 1982,

- [36] A. SAMI, ALARIAN, "Physical Failures and Fault modes of CMOS Circuits." IEEE Trans. On Circuits and Systems, vol. 34, no 3, p. 269-279, 1987.
- [37] C.H. Jone, "Fault Investigation of some silicon Integrated Circuits." The radio and Electronic Engineer, vol. 42, no 4, p. 185-194, 1972.
- [38] J. Partridge, "Testing for Bipolar Integrated Circuits failures modes." The Charles Stark Draper Laboratory, IEEE Test Conference, p. 397-406, 1980.
- [39] S.Chih-Hua, "Testing BiCMOS and Dynamic CMOS Logic." CRC Technical Report N°95- 1 ,June 1995.
- [40] Gordon W. Roberts, "Metrics, Techniques and Recent Developpements in Mixed-Signal Testing."In International Conference on Computer-Aided Design, p. 514-521, 1996.
- [41] J. P. Hayes, "Fault Modeling." IEEE Design & Test of Computers, p. 88-95, 1985.
- [42] Y. K. Malaiya, A. P. Jayasumana and R. Rajsuman, "A Detailed Examination Of Bridging Faults." In International Conference on Computer Design, p. 78-81, 1986.
- [43] G. R. Case, "Analysis of Actual Fault Mechanisms in CMOS Logic Gates." In : Proceedings of the 13th Design Automation Conference. p. 265-270, 1976
- [44] R.L. Wadsack, "Fault Modeling and Logic Simulation of CMOS and MOS Integrated Circuits."Bell system Technical Journal, vol. 57, no 5, p. 1449-1474, 1978
- [45] M. Renovell, P. Huc and Y. Bertrand, "The Concept of Resistance Interval : A New Parametric Model for Realistic Resistive Bridging Fault." In Proc. of the 13th IEEE VLSI Test Symposium, p. 184-189, 1995.
- [46] R. Rodriguez-Montanes, E.M.J.G. Bruls and J. Figueras, "Bridging Defects Resistance Measurements in a CMOS Process." In : *Proceedings International Test Conference 1992*. IEEE. p. 892, 1995
- [47] A. K. Majhi and V. D. Agrawal, "Delay Fault Models and Coverage". In : Proceedings Eleventh International Conference on VLSI Design. IEEE. p. 364-369, 1998
- [48] S. Seshu, "On an Improved Diagnosis Program". IEEE Transactions on Electronic Computers, no 1, p. 76-79, 1965.
- [49] D. B. Armstrong, "On Deductive Method for Simulating Fault in Logic Circuits". IEEE Transactions on Computers, vol. 100, no 5, p. 464-471, 1972.
- [50] H. Fujiwara, "Logic Testing and Design for Testability". The MIT Press, 1985.
- [51] J.P Roth, "Diagnosis of automata failures : A calculus and a method". IBM Journal Research and Development, vol. 10, no 4, p. 278-291, 1966.
- [52] P. Goel, "An Implicit Enumeration Algorithm To Generate Test for Combinational Logic Circuits". IEEE Transactions of Computers, vol. 100, no 3, p. 215-222, 1981.

- [53] T. Kirland and R. Mercer. "Algorithms for Automatic Test Pattern Generation". IEEE Design & Test of Computers, vol. 5, no 3, p. 43-55, 1988.
- [54] F. Azaïs, S. Bernard, Y. Bertrand, M.-L. Flottes, P. Girard, C. Landrault, L. Latorre, S. Pravossoudovitch, M. Renovell and B. Rouzeyre, "Test de circuits et de systèmes intégrés". Hermes Science, 2004.
- [55] M. Abramovici, M. A. Breuer and A. D. Friedman, "Digital Systems Testing And Testable Design". Computer Science Press, New York, vol. 10, p. 379-388, 1990.
- [56] M. L. Bushnell and V. D. Agrawal, "Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI Circuits". Springer, 2000.
- [57] V. D. Agrawal, C. R. Kime and K. K. Saluja, "A Tutorial on Built-In Self-Test. Part 1 : Principles". IEEE Design & Test of Computers, vol. 10, no 1, p. 73-82, 1993.
- [58] S.W. Golomb, "Shift Register Sequences". Aegean Park Press, 1982.
- [59] IEEE. IEEE STANDARD 1076-1993, "IEEE Standard VHDL Language Reference Manual", 1993.
- [60] IEEE. IEEE STANDARD 1364-2001, "IEEE Standard Verilog Language Reference Manual", 2001.
- [61] IEEE. IEEE STANDARD 1666-2005, "IEEE Standard System C Language Reference Manual", 2001.
- [62] I. G. Harris, "Fault Models and Test Generation for Hardware-Software Covalidation". IEEE Design & Test of Computers, vol. 20, no 4, p. 40-47, 2003.
- [63] K. T. Cheng and A.S. Krishnakumar, "Automatic Functional Test Generation Using The Extended Finite State Machine Model". In : Proceedings of the 30th International Design Automation Conference. p. 86-91, 1993.
- [64] F. Fummi, C. Marconcini and G. Pravadelli, "An EFSM-based Approach for Functional ATPG". In GLSVLSI'05, 2005.
- [65] G. Di Guglielmo, F. Fummi, C. Marconcini and G. Pravadelli, "EFSM Manipulation to Increase High-Level ATPG Eeffectiveness". In International Symposium on Quality Electronic Design (ISQED'06), 2006.
- [66] B. Vinnakota, "Analog and Mixed-Signal Test". Prentice Hall, 1998.
- [67] P.W. Tuinenga, "SPICE A Guide to Circuit Simulation & Analysis Using PSpice". Prentice Hall, 1988.
- [68] A. Rivat, "Logiciel de simulation analogique PSPICE 5.30". Dunod Tech, 1994.

- [69] P. Duhamel and J.-C. Rault, "Automatic Test Generation Techniques for Analog Circuits and Systems : A Review". IEEE Transactions Circuits and Systems, vol. 26, no 7, p. 411-440, 1979.
- [70] N. B. Hamida and B. Kaminska, "Analog Circuit Testing Based on Sensitivity Analysis". In International Test Conference, pages 652-661, October 1993.
- [71] N. B. Hamida and B. Kaminska, "Multiple Fault Analog Circuit Testing by Sensitivity Analysis". Analog Integrated Circuits and Signal Processing, vol. 4, p. 231-243, 1993.
- [72] B. Ayari, N. Ben Hamida and B. Kaminska, "Automatic Test Vector Generation for Mixed-Signal Circuits". In The European Design and Test Conference, pages 458-463, 1995.
- [73] R. Ramadoss and M. L. Bushnell, "Test Generation for Mixed-Signal Devices Using Signal Flow Graphs". In 9th International Conference on VLSI Design : VLSI in Mobile Communication, pages 242-247, January 1996.
- [74] M. V. Mahomey, "DSP-Based Testing of Analog and Mixed-Signal Circuits". IEEE Computer Society Press, 1987.
- [75] M. Burns and G. W. Roberts, "An Introduction to Mixed-Signal IC Test and Measurement". Oxford University Press, 2001.
- [76] M.H. Touati, "Test et diagnostic de cartes et de MCMs partiellement boundary scan". Thèse de doctorat, Institut National Polytechnique de Grenoble, Janvier 1996.
- [77] N. Bourouba, "Développement des techniques de test pour des circuits analogiques intégrés de type S.S.I" Thèse de doctorat d'état, Université Ferhat Abbas, Sétif, 2007.
- [78] A. abderrahmen, "Génération de tests roibustes pour les circuits analogiques linéaires. Thèse de doctorat, Université de Montréal, Octobre 1997.
- [79] A. Machouat, "Développement et application d'une méthode d'analyse de défaillances fonctionnelles et contribution à l'amélioration de l'utilisation des techniques optiques statiques et dynamiques. Thèse de doctorat, Université de Bordeaux 1, Décembre 2008.
- [80] K. Saab, "Outil Automatique de test de Circuits Analogiques. Thèse de doctorat, Université de Montréal, Décembre 1999.
- [81] M. Benabdenbi, "Conception en Vue du Test de Systèmes Intégrés sur Silicium (SOC). Thèse de doctorat, Université PARIS VI, septembre 2002.
- [82] G. Puvaneswari, "Multiple Parametric and Catastrophic Faults Detection in Linear and Nonlinear Analog Circuits. PHD Thesis, University CHENNAI, November 2016.
- [83] M. Sachdev and J. P. de Gyvez, "Defect-Oriented Testing for Nano-Metric CMOS VLSI Circuits, Springer, 2007.

- [84] N. Lewis, "Méthodes de conception des circuits intègres analogiques et mixtes- Perspectives sur les systèmes électroniques en interaction avec le vivant. Mémoire d'habilitation, Université Bordeaux 1, Avril 2010.
- [85] S.P. Venu Madhava Rao, "Efficient methods and novel approaches for analog electronic circuit fault diagnosis using simulation before test (SBT) approach. These de doctorat, Université technologique de Hyderabad, India, 2011.
- [86] M. Karmani, C. Khedhiri, B. Hamdi and B. Bensalem, "A Fault Dictionary-Based Fault Diagnosis Approach for CMOS Analog Integrated Circuits. International Journal of VLSI design & Communication Systems (VLSICS), Vol.2, N° 3, pp 1-19, September 2011.
- [87] D. Grzechca and J. Rutkowski, "Analog Fault Dictionary–Fuzzy Set Approach. European Conference on Circuit Theory and Design ECCTD'01, Espoo, Finland, pp 28- 31, 2001.
- [88] W.G. Fenton, T. M. McGinnity and L. P. Maguire, "Fault Diagnosis of Electronic Systems Using Intelligent Techniques: A Review. IEEE Transactions on Systems, Man, and Cybernetics—Applications and Reviews, Vol. 31, N° 3, pp. 269-281, August 2001.
- [89] H. Luo, W. Lu, Y. Wang, L. Wanga and X. Zhao, "A novel approach for analog fault diagnosis based on stochastic signal analysis and improved GHMM. Measurement, Elsevier, vol.81, pp. 26-35, 2016.
- [90] P. Kabisatpathy, A. BARUA and S. SINHA, "Fault Diagnosis of Analog Intégrated Circuits. Springer, 2005.
- [91] P. Bilski and J. Wojciechowski, "Artificial Intelligence Methods in Diagnostics of Analog Systems. Int. J. Appl. Math. Comput. Sci., Vol. 24, N° 2, pp 271–282, 2014.
- [92] Sh. Mantha and M.A. Rani, "Fault Diagnosis in an analog Circuit With Feedback. Journal of Engineering and Applied Science, vol. 14, N° 2, pp. 455-463, 2019.
- [93] K. Huang, "Modélisation de fautes et diagnostic pour les circuits mixtes/RF nanométriques. Thèse de doctorat, Université de Grenoble, Novembre 2011.
- [94] H. Dai and T. M. Souders, "Time-domain testing strategies and fault diagnosis for analog systems," IEEE transactions on Instrumentation and Measurement, vol. 39, no. 1, pp. 157–162, 1990.
- [95] A. Balivada, J. Chen, and J. Abraham, "Analog testing with time response parameters," IEEE Design & Test of Computers, vol. 13, no. 2, pp. 18–25, 1996.
- [96] K. Nadesalingam and D. R. Towill, "Frequency domain fault detection and diagnosis in hybrid control systems: A feasibility study," IEEE Transactions on Instrumentation and Measurement, vol. 27, no. 2, pp. 193–199, 1978.

- [97] M. Slamani and B. Kaminska, "Multifrequency testability analysis for analog circuits," in Proceedings of IEEE VLSI Test Symposium. IEEE, pp. 54–59, 1994.
- [98] J. H. Maenpaa, C. J. Stehman, and W. J. Stahl, "Fault isolation in conventional linear systems: A progress report," IEEE Transactions on Reliability, vol. 18, no. 1, pp. 12–14, 1969.
- [99] S. Seshu and R. Waxman, "Fault Isolation in Conventional Linear Systems: A Feasibility Study," IEEE Transactions on Reliability, vol. 15, no. 1, pp. 11–16, 1966.
- [100] M. Parai, S. Srimani, K. Ghosh, and H. Rahaman, "Multi-source data fusion technique for parametric fault diagnosis in analog circuits," Integration, vol. 84, pp. 92–101, 2022.
- [101] N. Zhang, "Detection et Isolation de pannes basées sur la platitude différentielle Application aux Engins Atmosphériques. Thèse de doctorat, Université de Toulouse, Juin 2010.
- [102] R. Spina and S. Upadhyaya, "Linear circuit fault diagnosis using neuromorphic analyzers," IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, vol. 44, no. 3, pp. 188-196, 1997
- [103] S. S. Somayajula, E. Sanchez-Sinencio, and J. Pineda de Gyvez, "Analog fault diagnosis based on ramping power supply current signature clusters," IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process., vol. 43, no. 10, pp. 703-712, 1996.
- [104] M. Aminian and F. Aminian, "A modular fault-diagnosis system for analog electronic circuits using neural networks with wavelet transform as a preprocessor," IEEE Trans. Instrum. Meas., vol. 56, no. 5, pp. 1546-1554, 2007.
- [105] D. Chen, "Fault Classification Research of Analog Electronic Circuits Based on Support Vector Machine. Chemical Engineering Transactions, Vol. 51, pp. 1333-1338, 2016.
- [106] J. Cui and Y. R. Wang, "A novel approach of analog circuit fault diagnosis using support vector machines classifier. Measurement, vol.44, pp. 281-289, 2011.
- [107] S. Chakrabarti, S. Cherubal, and A. Chatterjee, "Fault diagnosis for mixed-signal electronic systems," in Proc. IEEE Aerosp. Conf., pp. 169-179,1999.
- [108] M. Merabet, N. Bourouba, "DC Hard Faults Detection and Localization in Analog Circuits Using Fuzzy Logic," Techniques Electron. J., vol. 23, no 1, p. 18-25, 2019.
- [109] H. Luo, Y. Wong, J. Cui, "A SVDD approach of fuzzy classification for analog circuit fault diagnosis with FWT as preprocessor," International journal of expert systems with application, vol. 38, no 8, p. 10554-10561, 2011.
- [110] S. V. M. Rao, K. S. Sundari, "Optimized multi frequency approach to analog fault diagnosis using monte carlo analysis," Electrical and Electronic Engineering, vol. 4, no 2, p. 25-30, 2014.

- [111] P. Chen, L. Yuan, Y. He and S. Luo, "An improved SVM classifier based on double chains quantum genetic algorithm and its application in analogue circuit diagnosis," *Neurocomputing*, vol. 211, p. 202-211, 2016.
- [112] Y. Qin, J. Xing and Y. Mao, "Weak transient fault feature extraction based on an optimized Morlet wavelet and kurtosis," *Measurement Science and Technology*, vol. 27, no 8, p. 085003, 2016.
- [113] W. He, Y. He, Q. Luo and C. Zhang, "Fault diagnosis for analog circuits utilizing timefrequency features and improved VVRKFA," *Measurement Science and Technology*, vol. 29, no 4, p. 045004, 2018
- [114] S. Anis, M. H. ElMahlawy, M. E. A. Gadallah, E. A. El-Samahy, "Parametric fault detection of analogue circuits," *International Journal of Computer Applications*, vol. 96, no 9, p.14-23, 2014.
- [115] S. Srimani, K. Ghosh, H. Rahaman, "Parametric fault detection in analog circuits, A statistical approach," In : 2016 IEEE 25th Asian Test Symposium (ATS). IEEE, p. 275-280, 2016.
- [116] B. Han, J. Li, H. Wu, "Diagnosis method for analog circuit hard fault and soft fault," *TELKOMNIKA Indonesian Journal of Electrical Engineering*, vol. 11, no 9, p. 5420-5426, 2013.
- [117] M. Jahangiri, F. Razaghian, "Fault detection in analogue circuits using hybrid evolutionary algorithm and neural network," *Analog integrated circuits and signal processing*, vol. 80, p. 551-556, 2014.
- [118] A. Kavithamani, V. Manikandan, N. Devarajan, "Soft fault classification of analog circuits using network parameters and neural networks," *J Electron Test* 29, p.237-240, 2013.
- [119] A. Kavithamani, V. Manikandan, N. Devarajan, "Fault detection of analog circuits using network parameters," *Journal of Electronic Testing*, vol. 29, p. 237-240, 2013.
- [120] G. Dreyfus, "Réseaux de neurones: méthodologies et applications", Ed Eyrolles, 2002.
- [121] T. Poggio, F. Girosi, "Networks for Approximation and Learning," *Proceedings of the IEEE*, vol. 78, n° 9, p. 1481-1497, 1990.
- [122] R. Jean-Phillipe, "Réseaux neuronaux, Une introduction accompagnée d'un modèle Java". Vuibert, Paris, pp 56-57, 2010.
- [123] T. S. Dillon and D. Niebur, "Neural networks applications in power systems," 1996.
- [124] M. H. B. Howard B. Demuth, Martin T. Hagan, "Deep Learning Toolbox™, User's guide," The MathWorks, 2021.

- [125] O. Rabih, "Modélisation du moteur Diesel, en vue de sa commande dynamique par réseaux de neurones pour minimise les émissions", Thèse de Doctorat, L'école centrale de Lyon, 2007.
- [126] L. A. Zadeh, "A fuzzy-set-theoretic interpretation of linguistic hedges". 1972.
- [127] D. Dubois et H. Prade, "Fuzzy Sets and Systems: Theory and Applications", Academic Press, 1980.
- [128] T.J. Ross, "Fuzzy logic with engineering applications". John Wiley & Sons, 2009.
- [129] H. Maaraf, "Notion de base de la théorie de flou," Cours de la théorie de flou, université d'Evry Val d'Essonne, 2002.
- [130] S. V. Kartalopoulos, "Understanding Neural Networks and Fuzzy Logic Basic Concepts and Applications". IEEE Press – PHI, 2004.
- [131] H. Ouakka, "Contribution à l'Identification et la Commande Floue d'une Classe de Systèmes Non Linéaires." Thèse de Doctorat, Université de FES, Juin 2009.
- [132] L. X. WANG, "Adaptive Fuzzy Systems and Control: Design and Stability Analysis," Prentice-Hall, Englewood Cliffs, NJ.1994
- [133] L. A. Zadeh, "A relational for fuzzy control," journal of systems, Measurement and control, pp. 3-4. 1972.
- [134] C. T. LIN, G. LEE, "Neural Fuzzy Systems: A Neuro-Fuzzy Synergism to Intelligent Systems" .Ed. Prentice Hall. 1996
- [135] J. -S. R. Jang, C.T. Sun, E. Mizutani., "Neuro-Fuzzy and Soft Computing: a Computational Approach to Learning and Machine Intelligence", Prentice- Hall, NewYork.1997
- [136] A. Baraldi, B. Palma, P. Alfredo, "Fuzzy Neural Networks for Pattern Recognition," pp 35-83. 1998
- [137] D. Racoceanu, "Contribution à la surveillance des Systèmes de Production en utilisant les Techniques de l'Intelligence Artificielle," Thèse de doctorat. Université de Franche-Comté, 2006.
- [138] LEE C.W, McGinnity, G. Prasad, "An approach for on-line extraction of fuzzy rules using a self-organising fuzzy neural network," Fuzzy Sets and Systems vol. 150, no 2, p. 211-243, 2005.
- [139] C. Mahabir, F. Hicks, F.R. Fayek, "Neuro-Fuzzy river ice breakup forecasting System," Cold régions science and technology, vol. 46, no 2, p. 100-112, 2006.
- [140] R. JANG, "Neuro-fuzzy modeling : architecture, analyses and applications", PhD thesis ,Dep. Of electrical Engineering and computer Science, University of California, Berkeley. 1992.

- [141] OPEYEMI OBANIJESU, EMUOYIBOFARHE O. JUSTICE, "Development of Neuro-fuzzy System for Early Prediction of Heart Attack". *I.J. Information Technology and Computer Science*, 9, pp 22-28. 2012
- [142] PATNAIK SRIKANTA, YEON-MO YANG, "Soft Computing Techniques in Vision Science". *Studies in Computational Intelligence 395*, Springer, ISBN 978-3- 642-25506-9. 2012
- [143] M. Tadeusiewicz and M. Ossowski. A Verification Technique for Multiple Soft Fault Diagnosis of Linear Analog Circuits. *International Journal of Electronics and Telecommunications*, Vol. 64, N° 1, pp. 83-89, 2018.
- [144] M.A. El-Gamal and M. Abdulghafour. Fault Isolation in Analog Circuits Using a Fuzzy Inference System. *Computers and Electrical Engineering*, Vol. 29, pp. 213–229, 2003.
- [145] X. Sun, H. J. Marquez, T. Chen and M. Riaz, "An improved PCA method with application to boiler leak detection," *ISA Trans.*, vol. 44, p. 379-397, 2005.
- [146] I. T. Jolliffe, "Principal component analysis," 2nd ed. 2002 édition. New York: Springer-Verlag New York Inc, pp. 1-9, 2002
- [147] S. Valle, W. Li, and S. J. Qin, "Selection of the number of principal components: the variance of the reconstruction error criterion with a comparison to other methods," *Industrial & Engineering Chemistry Research*, vol. 38, no 11, p. 4389-4401, 1999.
- [148] M. F. Harkat, "Détection et localisation de défauts par analyse en composantes principales", Thèse de Doctorat, Institut National Polytechnique de Lorraine, France, 2003.
- [149] T. He, W. R. Xie, Q. H. Wu, T. L. Shi, "Process fault detection and diagnosis based on principal component analysis", *Proceedings IEEE of the Fifth International Conference on Machine Learning and Cybernetics*, Dalian, Chine, Août 2006.
- [150] J.-S. R. Jang, "ANFIS: adaptive-network-based fuzzy inference system," *IEEE Trans. Syst., Man, Cybern.*, vol. 23, no. 3, pp. 665– 685, Jun. 1993.
- [151] T. Takagi and M. Sugeno, "Fuzzy identification of systems and its applications to modeling and control," in *IEEE Transactions on Systems, Man, and Cybernetics*, vol. SMC-15, no. 1, p. 116-132, Jan-Feb. 1985.
- [152] M. F. Møller, "A scaled conjugate gradient algorithm for fast supervised learning," *Neural Networks*, vol. 6, no. 4, pp. 525–533, Jan. 1993.
- [153] B. Cetişli and A. Barkana, "Speeding up the scaled conjugate gradient algorithm and its application in neuro-fuzzy classifier training," *Soft Comput*, vol. 14, no. 4, pp. 365–378, Feb. 2010.

[154] J. Keown, OrCAD Pspice and circuit analysis, 4th ed. Upper Saddle River, NJ: Prentice Hall, 2001

Liste de Publications

Je cite ici les travaux scientifiques auxquels j'ai participé durant mon cycle de doctorat.

1) Publications internationales :

I, Laidani, N, Bourouba, 2022. Analog Circuit Fault Classification and Data Reduction Using PCA-ANFIS Technique Aided by Kmeans Clustering Approach, Advances in Electrical and Computer Engineering, 22(4).DOI:10.4316/AECE.2022.04009

2) Articles présentés dans des conférences nationales et internationales :

[1] Laidani, I., Bourouba, N. (2021). Processing Signal Parameters Based Fuzzy Inference System Classifier for Analog Circuit Single Parametric Faults. In: Bououden, S., Chadli, M., Ziani, S., Zelinka, I. (eds) Proceedings of the 4th International Conference on Electrical Engineering and Control Applications. ICEECA 2019. Lecture Notes in Electrical Engineering, vol 682. Springer, Singapore. https://doi.org/10.1007/978-981-15-6403-1_62

[2] Laidani, I., Bourouba, N. "Time Domain Modeling of Catastrophic Defects of the Analog Circuits using ARX Method." 2015, NCENT'15, May19-20, M'Sila, Algeria

تطوير تقنيات اختبار الدوائر التناظرية عن طريق المحاكاة باستخدام SPICE

ملخص :

تتناول هذه المخطوطة تطبيق تقنيات جديدة لتشخيص الأعطال الموجودة في الدوائر المتكاملة التناظرية، يتعلق الأمر باكتشاف وتصنيف العيوب في هذا النوع من الدوائر، والتي يمكن أن تفشل وتتحلل خلال فترة التشغيل. هذه الأخيرة رغم أنها تمثل ربع عالمها الإلكتروني مقارنة بنظيرتها الرقمية، إلا أنها تشكل العنصر الأساسي في عالمنا ذي الطبيعة التناظرية وبالتالي أصبحت ضرورية أكثر فأكثر في عالم الإلكترونيات. ترجع هذه الضرورة إلى أهميتها في مجالات العلوم والأبحاث، كالاتصالات، الطيران، الطب... إلخ. الأمر الذي يتطلب تشخيصاً دقيقاً هدفه الرئيسي هو توفير أداة أوتوماتيكية وفعالة تسمح بالكشف المبكر عن الأعطال لحماية الدوائر الإلكترونية بالإضافة إلى تصنيفها. تم بناء مصنفات قائمة على الذكاء الاصطناعي، مثل المصنفات العصبية و المصنفات العصبية الضبابية ANFIS. أخيراً، تم تحسين التشخيص من خلال إدخال هذا المصنف يسبقه نهج تقليل الأبعاد المسمى PCA. وقد تمت مقارنة هذا الأخير بأنواع أخرى من المصنفات وتميز عنها بكفاءته ودقته.

الكلمات المفتاحية : الدوائر التناظرية ؛ الكشف عن الأعطال ؛ تصنيف الأعطال ؛ المصنف عصبى-ضبابي ؛ تقليل الأبعاد.

Développement de techniques de test des circuits analogiques par simulation à l'aide de SPICE

Résumé:

Le travail présenté dans ce manuscrit porte sur l'application de nouvelles techniques employées dans le diagnostic des défauts présents dans les circuits analogiques intégrés. Plus précisément, il aborde la détection et la classification des défauts dans ce type de circuits susceptibles de tomber en panne et se dégrader pendant la durée de fonctionnement. Ces derniers quoiqu'ils représentent un quart de leur monde électronique en le comparant à leur contrepartie numérique, ils constituent l'élément clef de notre monde. Ces circuits sont de nature analogique et sont devenus alors de plus en plus nécessaires dans le monde de l'électronique. Cette nécessité est due à leur importance dans les domaines de la science et de la recherche à savoir la télécommunication, l'avionique, du biomédical...etc. Ce qui nécessite un diagnostic pointu dont l'objectif principal est de fournir un outil automatique et efficace qui permet la détection précoce des défauts pour en protéger les circuits, et en plus de les classer. Pour ce faire des classificateurs à base de l'intelligence artificielle ont été construits, tels que les classificateurs neuronal et Neuro-flou, ANFIS. En outre, le processus de diagnostic a été amélioré par l'introduction de ce classificateur précédé d'une approche de réduction de dimensionnalité appelée PCA. Ce dernier a été comparé à d'autres types de classificateurs et s'est remarqué par son efficacité et sa précision.

Mots clés : circuits analogiques; détection des fautes; classification des fautes; classificateur neuro-flou; réduction de dimensionnalité.

Development of analog circuit testing techniques by simulation using SPICE

Abstract:

This manuscript deals with the application of new techniques used in the diagnosis of defects present in analog integrated circuits. This is the detection and classification of defects in this type of circuits that can fail and degrade during operation. The latter though they represent one quarter of their electronic world by comparing it to their digital counterpart they constitute the key element of our world which is of analog nature and then became increasingly necessary in the world of electronics. This necessity is due to their importance in all fields of science and research, namely telecommunications, avionics, biomedical...etc. This requires a sharp diagnosis whose main objective is to provide an automatic and effective tool that allows the early detection of defects to protect the circuits, and in addition to classifying them. Artificial intelligence-based classifiers have been built, such as neuronal and neuro-fuzzy classifiers, ANFIS. Finally, the diagnosis was improved by the introduction of this classifier preceded by a dimensionality reduction approach called PCA. The latter has been compared to other types of classifiers and has stood out from them for its efficiency and accuracy.

Keywords: analog circuits; fault detection; fault classification; neuro-fuzzy classifier; dimensionality reduction.