

الجمهورية الجزائرية الديمقراطية الشعبية

République Algérienne Démocratique et Populaire

Ministère de L'Enseignement Supérieur et de la Recherche Scientifique



UNIVERSITÉ FERHAT ABBAS - SETIF1

FACULTÉ DE TECHNOLOGIE

THÈSE

Présentée au Département d'Electronique

Pour l'obtention du diplôme de

DOCTORAT

Domaine : Sciences et Technologie

Filière : Electronique

**Option : Electronique des Systèmes
Embarqués**

Par

BEY Habib

THÈME

**Implémentation numérique de commandes
avancées de systèmes dédiés à l'amélioration de la
qualité de l'Energie**

Soutenue le 05/10/2023 devant le Jury :

AMARDJIA Nouredine	Professeur	Univ. Ferhat Abbas Sétif 1	Président
KRIM Fateh	Professeur	Univ. Ferhat Abbas Sétif 1	Directeur de thèse
REKIOUA Toufik	Professeur	Univ. Bejaïa	Examineur
SEMCHEDDINE Samia	Professeur	Univ. Ferhat Abbas Sétif 1	Examineur

Dédicaces

Je dédie ce travail à :

Ma mère,

Mon père,

Mes frères et sœurs,

Toute ma famille,

Tous mes enseignants et mes collègues à l'université de Sétif 1.

Tous ceux que j'aime,

Qu'ils trouvent ici l'expression de toute ma reconnaissance.

Remerciements

Je remercie ALLAH LE TOUT PUISSANT de m'avoir donné le courage et la volonté de parvenir à la fin de mon parcours universitaire.

Je tiens à remercier, en tout premier lieu, Prof. KRIM Fateh., mon directeur de thèse. Je le remercie pour sa disponibilité et ses précieux conseils. Je voudrais aussi le remercier pour toute la confiance qu'il a placée en moi, ainsi que pour sa patience et son soutien.

Mes vifs remerciements vont aux membres du jury :

Mr. REKIOUA Toufik. Professeur au département de génie électrique, Univ. Bejaïa.

Mr. AMARDJIA Nouredine. Professeur au département d'électronique, Univ. Ferhat Abbas Sétif 1.

Mme. SEMCHEDDINE Samia. Professeur au département d'électronique, Univ. Ferhat Abbas Sétif 1.

Pour l'intérêt qu'ils ont donné à mon travail et ce en acceptant de le juger.

Je suis très reconnaissant à tous les professeurs qui m'ont enseigné et orienté avec leurs précieux conseils.

Ma gratitude et mes très sincères remerciements s'adressent à ma famille qui m'a soutenu dans les moments difficiles.

Je voudrais remercier très sincèrement mes collègues et l'ensemble du personnel du département d'électronique.

Les travaux présentés dans ce projet ont été réalisés au Laboratoire d'Electronique de Puissance et Commande Industrielle (LEPCI) et au département d'électronique.

Enfin, je tiens à exprimer ma gratitude envers toutes les personnes qui ont contribué scientifiquement et humainement à la réalisation de ce travail.

SOMMAIRE.

SOMMAIRE.....	I
LISTE DES FIGURES	IV
LISTE DES TABLEAUX.....	VI
LISTES DES ACRONYMES ET SYMBOLES.....	VII
INTRODUCTION GENERALE	1
CHAPITRE I. QUALITE DE L'ENERGIE ELECTRIQUE ET FILTRAGE ACTIF DE PUISSANCE.	5
I.1. INTRODUCTION :.....	6
I.2. QUALITE DE L'ENERGIE ELECTRIQUE :.....	6
I.2.1. Les problèmes de la qualité de l'énergie :	6
I.2.2. Définitions de la QE :	7
I.2.3. Définition des harmoniques :.....	8
I.2.3.1. Exemple :.....	9
I.3. LES SOURCES DES HARMONIQUES DANS LES SYSTEMES ELECTRIQUES :.....	10
I.3.1. Les lampes fluorescentes :	10
I.3.2. Les alimentations à découpage :.....	11
I.3.3. Chargeurs pour véhicules électriques :	12
I.3.4. Les variateurs de vitesse :.....	12
I.3.5. Autres charges produisant des harmoniques :.....	13
I.4. NORMES DE QE :.....	13
I.4.1. Prévention de la production d'harmoniques :	14
I.5. METHODE DE SUPPRESSION DES HARMONIQUES :	14
I.5.1. Les filtres passifs :	14
I.5.2. Les filtres actifs de puissance :	16
I.5.3. Applications du FAP :.....	17
I.5.3.1. Locomotives à haute Puissance :	17
I.5.3.2. FAP utilisé dans une plateforme de forage en mer :.....	17
I.6. CLASSIFICATION DES FAPS :	19
I.6.1. Onduleurs de tension :	19
I.6.2. Concepts de FAP Shunt :	19
I.6.3. Circuit équivalent du filtre actif shunt :.....	21
I.7. CONCLUSION :.....	22
BIBLIOGRAPHIE	23
BIBLIOGRAPHIE DE L'INTRODUCTION GENERALE.	23
BIBLIOGRAPHIE DU CHAPITRE I.....	26
CHAPITRE II. METHODOLOGIE DE DEVELOPPEMENT D'UNE COMMANDE AVANCEE.....	31
II.1. INTRODUCTION :	32

II.2. ÉLECTRONIQUES DE PUISSANCE :	32
II.3. DESCRIPTION DU FAPS :	33
II.3.1. Modélisation du système à base de FAPS :	35
II.4. NOTION DE SYSTEME :	38
II.5. THEORIE DE LA COMMANDE SYNERGETIQUE :	39
II.5.1. Présentation de la théorie de la commande synergétique	39
II.5.2. Conception de la loi de commande synergétique :	40
II.5.2.1. Choix de la macro-variable :	41
II.5.2.2. Evolution dynamique de macro-variable :	41
II.5.2.3. Extraction de loi de commande	42
II.5.3. Commande synergétique discrète :	42
II.5.4. La stabilité de la commande synergétique :	43
II.5.4.1. Méthodes directes de Lyapunov	43
II.6. L'ALGORITHME D'OPTIMISATION PAR COLONIE DE FOURMIS	45
II.6.1. Les vraies fourmis :	45
II.6.2. Fourmis Artificielles :	47
II.6.3. Optimisation des colonies de fourmis :	47
II.6.4. Optimisation des colonies de fourmis de la DTSC :	48
II.6.5. Vaporisation des phéromones :	49
II.6.6. Organigramme de ACO :	50
II.7. CONCLUSION :	50
BIBLIOGRAPHIE DU CHAPITRE II.	51
 CHAPITRE III. STRUCTURE D'UNE COMMANDE AVANCEE.	 53
III.1. INTRODUCTION :	54
III.2. SYSTEME D'ELECTRONIQUE DE PUISSANCE :	54
III.3. COMMANDE NUMERIQUE DES SYSTEMES DE L'ELECTRONIQUE DE PUISSANCE :	55
III.4. DESCRIPTION DES FPGAs ET DE LEURS OUTILS DE DEVELOPPEMENT :	56
III.4.1. Description générale de l'architecture FPGA :	56
III.4.2. Langage de programmation des FPGAs :	57
III.4.3. Raffinement de l'algorithme :	59
III.4.4. Ciblage des conceptions en virgule fixe :	59
III.4.5. Avantages de l'utilisation des FPGAs :	60
III.5. TECHNIQUES DE COMMANDE DES FILTRES ACTIFS DE PUISSANCE :	61
III.5.1. Techniques de commande du FAPS :	62
III.5.2. Commande directe de courant :	62
III.5.3. Commande par hystérésis :	63
III.5.4. Régulateur du bus DC :	63
III.6. IMPLEMENTATION MATERIELLE FIL :	65
III.6.1. Résultats HIL obtenus et discussion :	66
III.7. CONCLUSION	71
BIBLIOGRAPHIE DU CHAPITRE III.	73

CHAPITRE IV. COMPARAISON DES STRUCTURES D'UNE COMMANDE AVANCEES.....	75
IV. 1. INTRODUCTION :	76
IV. 2. CONCEPTION A BASE DE MODELES EN V :	77
IV. 2.1. <i>Implémentation matérielle FPGA in the Loop</i> :	78
IV. 3. DESCRIPTION ET MODELISATION DU FAPS (EXIGENCE ET SPECIFICITE DU SYSTEME) :	79
IV. 4. COMMANDE PROPOSEE :	80
IV. 5. CONCEPTION DE LA COMMANDE SYNERGETIQUE (BLOCS CODEURS HDL) :.....	81
IV. 6. RESULTATS EXPERIMENTAUX.	84
IV. 6.1. <i>Formes d'onde du système</i> :.....	85
IV. 6.2. <i>Analyse spectrale du courant de réseau</i> :.....	87
IV. 6.3. <i>Puissances active et réactive</i> :	88
IV. 6.4. <i>Résultats expérimentaux lors des changements de charge</i> :	89
IV. 6.5. <i>Cas d'un réseau déséquilibré</i> :	91
IV. 6.6. <i>Cas d'une charge RLC</i> :	92
IV. 6.7. <i>Cas d'un creux de tension (voltage sag)</i> :	93
IV. 6.8. <i>La tension de sortie du FAPS</i>	94
IV. 6.9. <i>Recherche finale des valeurs optimales des paramètres T et λ</i> :.....	95
IV. 7. CONCLUSION :	97
BIBLIOGRAPHIE DU CHAPITRE IV.	99
CONCLUSION GENERALE ET PERSPECTIVE.....	102
ANNXE	104

LISTE DES FIGURES

Figure I.1. Classification des paramètres de la qualité de l'énergie électrique dans une échelle temporelle.	7
Figure I.2. Charge non linéaire dans un système électrique triphasé.	9
Figure I.3. Forme d'onde d'un signal comprenant des harmoniques.	10
Figure I.4. Courant d'entrée typique d'une lampe fluorescente [20].	11
Figure I.5. Courant d'entrée d'une alimentation d'ordinateur typique et son spectre harmonique [20].	11
Figure I.6. Problèmes de QE pour les chargeurs de véhicules électriques (VE).	12
Figure I.7. Courant d'entrée et spectre harmonique d'un VSR typique [20].	12
Figure I.8. Dispositif de correction automatique du facteur de puissance.	15
Figure I.9. Moteur à induction haute puissance à vitesse variable pour une locomotive.	17
Figure I.10. FAP utilisé sur une plateforme de forage en mer.	18
Figure I.11. Classification des FAPs selon la configuration du circuit de puissance	19
Figure I.12. Filtre actif shunt triphasé.	20
Figure I.13. Onduleur en pont IGBT dans un FAP.	20
Figure I.14. Circuit équivalent du filtre actif shunt, avec une source et charge, (a) compensation des harmoniques de courant de charge, (b) compensation des harmoniques de tension de charge, et (c) compensation des harmoniques de tension de la source.	21
Figure II.1. La nature multidisciplinaire des circuits électroniques de puissance.	33
Figure II.2. Circuit typique d'un FAPS à base onduleur avec sa commande.	34
Figure II.3. circuit électrique du FAPS	36
Figure II.4. L'orientation vers l'état désiré du système.	40
Figure II.5. Le chemin des fourmis.	45
Figure II.6. Fourmis confrontées à un obstacle.	46
Figure II.7. Sélection des fourmis rencontrant l'obstacle.	46
Figure II.8. Trouver le plus court chemin par les fourmis.	47
Figure II.9. Organigramme d'optimisation par colonies de fourmis pour le réglage des paramètres $[T, \lambda]$ de la commande synergétique.	50
Figure III.1. Un système d'électronique de puissance.	56
Figure III.2. Architecture générique d'un FPGA.	57
Figure III.3. Structure d'une cellule logique.	58
Figure III.4. Conception top-down et son environnement de modèle HDL.	59
Figure III.5. Distribution temporelle. (a) Microcontrôleur à usage général, (b) Contrôleur à base de DSP et (c) Contrôleur à base de FPGA	61
Figure III.6. Principe de la commande de courant à hystérésis à deux niveaux.	64
Figure III.7. Schéma fonctionnel du régulateur IP anti-saturation proposé.	65
Figure III.8. Bloc diagramme de la commande à hystérésis HIL Matlab/Simulink.	66
Figure III.9. Configuration expérimentale sur une carte Xilinx Atlys Spartan-6.	67

Figure III.10. Résultats HIL : (a) tension de source, (b) courant de source, (c) courant de charge, (d) courant de sortie du FAPS (e) tension du bus DC.	68
Figure III.11. Résultats HIL avant compensation : (a) courant source (b) Spectre	69
Figure III.12. Résultats HIL après compensation : (a) courant source (b) Spectre.	69
Figure III.13. Résultats HIL : (a) puissance active (b) puissance réactive.	70
Figure III.14. Résultats HIL lors des changements de charge soudains : (a) tensions de source, (b) courants de source, (c) courants de charge, (d) courant de sortie du FAPS et (e) tension du bus DC.	71
Figure III.15. Résultats HIL lors des changements de charge soudains : (a) puissance active (b) puissance réactive.	72
Figure IV.1. Conception à base de modèles avec des outils de MathWorks.	79
Figure IV.2. Scénario de vérification en boucle fermée avec FPGA-in-the-Loop	80
Figure IV.3. Organigramme de la co-simulation FIL.	81
Figure IV.4. Schéma blocs du système FAPS et la commande synergétique.	82
Figure IV.5. Schéma de la CS pilotant le FAPS.	83
Figure IV.6. Blocs HDL de la commande synergétique.	83
Figure IV.7. Diagramme ACO d'optimisation des paramètres $[T, \lambda]$	84
Figure IV.8. Représentation graphique de l'ACO pour le processus d'ajustement de la commande synergétique.	84
Figure IV.9. Configuration expérimentale du système.	87
Figure IV.10. Résultats FIL : (a) tension source (v_{sk}), (b) courant charge (i_{l1}), (c) tension bus DC (v_{dc}), (d) courant FAPS (i_{f1}) (e) et courant source (i_{s1}).	88
Figure IV.11. Analyse spectrale du courant de réseau : (a) avant compensation, (b) après compensation à l'aide de la CS-ACO proposée, (c) après compensation à l'aide de la commande à hystérésis et (d) après compensation à l'aide de la commande SMC.....	90
Figure IV.12. Résultats FIL : Puissance(a) active et (b) réactive.	91
Figure IV.13. Résultats expérimentaux lors des changements de charge, (a) tension du bus DC, (b) courants de source, (c) courants de charge, (d) courant de FAPS i_{fa} et i_{fa} référence. ...	92
Figure IV.14. Co-simulation FIL du FAPS utilisant la CS-ACO dans le cas d'un réseau déséquilibré, (a) tensions de source, (b) courants de source.	93
Figure IV.15. Spectre dans le cas d'un réseau déséquilibré : (a) courant du réseau, (b) tension du réseau.....	94
Figure IV.16. Résultats expérimentaux du FAPS à commande CS-ACO avec charge RLC.	94
Figure IV.17. Analyse spectrale du courant de réseau à l'aide de SC : (a) avant compensation, (b) après compensation ; avec charge RLC.....	95
Figure IV.18. Résultats expérimentaux pour un abaissement de tension de 30 % pendant 0,2 s, (a) de tension de source de réseau V_s , (b) de courant de FAPS et (c) tension de bus DC V_{dc}	96
Figure IV.19. Tension de sortie du FAPS.	97
Figure IV.20. (a) (b) La recherche finale des paramètres T et λ et (c) Graphe de convergence de la fonction objectif.....	98

LISTE DES TABLEAUX

Tableau I.1. Classification typique des problèmes de QE	8
Tableau I.2. Composantes harmoniques maximales et minimales d'un courant typique de lampe fluorescente [20].	11
Tableau I.3. Limites de la distorsion de tension.	13
Tableau I.4. Limites de la distorsion du courant pour les systèmes de 120 V à 69 kV	13
Tableau I.5. Avantages et inconvénients des filtres passifs [33] [34] [35].	15
Tableau III.1. Les paramètres du régulateur IP anti-saturation	65
Tableau III.2. Ressources FPGA utilisées.	72
Tableau IV.1. Paramètres de simulation du système FAPS.....	82
Tableau IV.2. Caractéristiques essentielles de la carte Virtex-6 FPGA ML605 de Xilinx ..	86
Tableau IV.3. Ressources FPGA utilisées Virtex-6 FPGA ML605 de Xilinx	98

LISTES DES ACRONYMES ET SYMBOLES

ACRONYMES

ADAR	<i>Conception Analytique Des Régulateurs Agrégés (Analytical Design of Aggregated Regulators).</i>
AC	<i>Courant Alternatif.</i>
CAO	<i>Conception Assistée Par Ordinateur.</i>
DC	<i>Courant Continu.</i>
CEI	<i>Commission Electrotechnique Internationale.</i>
CLB	<i>Configurable Logic Block.</i>
CS	<i>Commande Synergétique.</i>
CS-ACO	<i>Commande Synergétique Optimisée Par ACO.</i>
CSI	<i>Onduleurs à Source de courant.</i>
DSP	<i>Processeurs De Signal Numérique (Digital Signal Processor).</i>
EDA	<i>Automatisation de la Conception Electronique (Electronic Design Automation).</i>
EMI	<i>Interférence Electromagnétique.</i>
EPRI	<i>Electric Power Research Institute.</i>
FAP	<i>Filtre Actif de Puissance.</i>
FAPS	<i>Filtre Actif de Puissance Shunt.</i>
FIL	<i>FPGA en Boucle (FPGA In the Loop).</i>
FA	<i>Filtres Actifs</i>
FP	<i>Filtres Passifs</i>
FPGA	<i>Field-Programmable Gate Array.</i>
FTSC	<i>Commande Synergétique A Terminal Rapide</i>
HDL	<i>Hardware Description Language.</i>
HIL	<i>Hardware in the Loop.</i>
IGBT	<i>Transistors A Effet De Champ A Grille Isolée</i>
IOBs	<i>Entrées/ Sorties Block.</i>
ITAE	<i>Erreur Absolue Intégrée dans le Temps (Integrated-Time Absolute Error.)</i>
MLI, PWM	<i>Modulation de Largeur d'Impulsions. (Pulse Width Modulation).</i>
MOSFET	<i>Transistors A Effet De Champ A Grille Métal-Oxyde-Semiconducteur</i>
MPPT	<i>Recherche Du Point De Puissance Maximum (Maximum Power Point Tracking).</i>
ACO	<i>Optimisation par Colonie de Fourmis.</i>
PCC	<i>Point De Couplage Commun</i>
PLL	<i>Boucle à Verrouillage de Phase (Phase Locked Loop).</i>
PSO	<i>L'optimisation par essaims particuliers (Particle Swarm Optimization).</i>
QE	<i>Qualité de l'Energie.</i>
RTL	<i>Niveau de Transfert de Registres.</i>
SCT	<i>Théorie De La Commande Synergétique</i>
SEPIC	<i>Convertisseur à Inducteur Primaire à Extrémité Unique.</i>
SMC	<i>Commande Par Mode Glissant</i>
SoC	<i>System on Chip.</i>
SQNR	<i>Rapport Signal Sur Bruit de Quantification.</i>
TDD	<i>Demande Harmonique Totale.</i>

THD	<i>Distorsion Harmonique Totale.</i>
UPS	<i>Alimentations Non Interruptibles</i>
VHDL	<i>Very High-Speed Integrated Circuits Hardware Description Language.</i>
VLSI	<i>Very Large System Integration.</i>
VSI	<i>Onduleurs à Source de Tension.</i>
VSR	<i>Variateurs de Vitesse Réglable</i>

SYMBOLES

L_f	<i>Inductance du filtre.</i>
V_{dc}	<i>Tension du bus continu.</i>
C_{dc}	<i>Condensateur du bus continu.</i>
i_{f_ref}	<i>Courant de référence du filtre.</i>
i_f	<i>Courant du filtre.</i>
V_{in}	<i>Tension de sortie de l'onduleur.</i>
V_s	<i>Tension du réseau.</i>
G	<i>Fonction de coût.</i>
R_l	<i>Résistance de charge côté redresseur.</i>
L_l	<i>Inductance de charge côté redresseur.</i>
f_{sw}	<i>Fréquence de commutation de l'onduleur.</i>
P_s	<i>Puissance active du réseau.</i>
Q_s	<i>Puissance réactive du réseau.</i>
i_s	<i>Courant du réseau.</i>
i_L	<i>Courant de charge.</i>
$S_{a, b, c}$	<i>Signaux de commutation de l'onduleur.</i>

INTRODUCTION GENERALE

Les circuits d'électronique de puissance deviennent de plus en plus importants dans le monde moderne en raison des progrès rapides dans le domaine de la microélectronique, notamment les microprocesseurs, les processeurs de signal numérique, les circuits de mémoire, les transistors à effet de champ à grille isolée (IGBT) et les transistors à effet de champ à grille métal-oxyde-semiconducteur (MOSFET), entre autres.

Plus précisément, le développement des transistors de puissance a élargi la gamme d'applications, passant de quelques ampères et quelques centaines de volts à plusieurs kiloampères et quelques kilovolts, avec une fréquence de commutation mesurée en millions de hertz. Les circuits d'électronique de puissance sont maintenant utilisés partout : dans les systèmes électriques, l'industrie, les télécommunications, les transports, le commerce, etc. Ils sont même présents dans des appareils populaires modernes tels que les appareils photo numériques, les téléphones mobiles et les lecteurs multimédias portables. L'électronique de puissance est également utilisée dans les circuits à faible puissance, notamment dans les circuits de récupération d'énergie.

Les effets nocifs de l'injection d'harmoniques provenant de charges non linéaires (généralement tout composant actif à base de semi-conducteurs), provoquant d'importantes distorsions de tension et des harmoniques de courant, sont devenus un défi majeur à relever pour les ingénieurs, et une nécessité afin de maintenir et de préserver les équipements. De ce fait, la qualité de l'énergie (QE) électrique doit être étudiée [1,2]. Ces charges peuvent augmenter les harmoniques des tensions et des courants dans un système de distribution électrique à des niveaux inacceptables [3]. Plusieurs études ont émergé et certaines solutions ont été adoptées pour se débarrasser de ces distorsions harmoniques [4,5].

Traditionnellement, les filtres passifs (FP) étaient généralement utilisés pour réduire les problèmes d'harmoniques [6]. Ces solutions ont été largement utilisées dans le domaine de la transmission en courant continu haute tension dans le but de filtrer les harmoniques des deux côtés, alternatif et continu. Néanmoins, ces approches sont incompatibles avec tous les niveaux de distribution d'énergie car les FP ne peuvent couvrir que des configurations de charge spécifiques ou particulières. Ces filtres peuvent avoir des problèmes de vieillissement, des composants passifs encombrants et une faible flexibilité dans les caractéristiques de compensation [7]. En contrepartie, pour contourner ces problèmes évidents, les filtres actifs (FA), ont été introduits pour compenser les harmoniques et la puissance réactive [8,9].

Plusieurs algorithmes de commande pour la surveillance des FA ont été suggérés dans la littérature [10] et peuvent être subdivisés en techniques conventionnelles et avancées. Le premier type comprend la commande par hystérésis, la commande sur un cycle et la modulation vectorielle par hystérésis [11,12,13], tandis que le second type de techniques

concerne les nouvelles commandes telles que la commande adaptative, le backstepping et la commande floue [14,15,16], où leur objectif principal est d'améliorer la réponse en présence de variations de signal importantes afin d'améliorer la dynamique et la qualité de l'énergie électrique, en utilisant la nature intrinsèquement non linéaire et variant dans le temps des convertisseurs de commutation pour la conception de la commande.

La commande par mode glissant (SMC) [17] est considérée comme le meilleur exemple de ces approches avancées, largement utilisée et appliquée dans les systèmes d'électronique de puissance, où la SMC présente de nombreux avantages importants tels que la réduction de l'ordre et l'insensibilité aux changements de paramètres. Malheureusement, la SMC nécessite une large bande passante pour la commande. Un autre inconvénient significatif de l'application de la SMC dans les systèmes d'électronique de puissance est la fréquence de commutation variable, qui introduit du bruit indésirable dans le système, en particulier dans les applications de filtrage actif de puissance, ce qui conduit à utiliser des filtres supplémentaires côté réseau.

Pour surmonter les inconvénients mentionnés ci-dessus, la théorie de la commande synergétique est sollicitée car elle est apparue comme une méthode de commande puissante et une stratégie mature, appliquée avec succès dans divers domaines des convertisseurs de puissance et autres applications [18]. La commande synergétique (CS) est semblable, en termes de conception, à la commande en mode glissant, tout en évitant le phénomène de « chattering ». De plus, la CS fonctionne à fréquence de commutation constante, ce qui réduit les problèmes de filtrage de puissance dans les applications d'électronique de puissance [19, 20].

La CS est une classe de méthodes de commande optimale et non linéaire qui a été utilisée dans un large éventail d'applications. L'idée de base derrière la CS est de commander les variables d'un système basé sur un modèle non linéaire. Les commandes sont générées et construites de manière analytique sur une variété de systèmes sans aucune linéarisation ou simplification supplémentaire.

Ces dernières années, la CS a été appliquée dans divers domaines, notamment les systèmes électriques, la robotique et les systèmes mécaniques [21, 22]. Dans ces domaines d'applications de la commande synergétique, les plus connus récemment sont énumérés ci-dessous, Dans la commande des éoliennes, cette technique a été utilisée pour concevoir une commande robuste où la macro-variable dans la commande synergétique à terminal rapide (FTSC) augmente la vitesse de convergence et réduit l'action de crépitation de l'entrée de la commande [23] ; atteignant de meilleures performances et une meilleure capture d'énergie par rapport aux méthodes de commande traditionnelles. Comme la commande de synergétique de systèmes d'ordre fractionnaire est l'un des sujets les plus populaires en théorie de la commande, un exemple numérique est étudié [24] pour vérifier son efficacité. Contrairement à la commande par mode glissant conventionnelle, les caractéristiques de convergence en temps fini et de suppression de la crépitation sont obtenues en utilisant la commande CS pour les manipulateurs robotiques [19]. Plusieurs applications dans les systèmes électriques, où la

méthode CS est utilisée pour garantir la stabilité de la tension du bus DC des microgrids DC avec des charges de puissance constante [25] ; et certaines applications sont destinées à commander les convertisseurs DC-DC Buck-Boost [26] et les résultats sont comparés aux commandes synergétiques classiques et PI. Pour le cas du convertisseur DC-DC Boost, les options de mise en œuvre sont détaillées dans [27]. La CS est adoptée comme solution pour assurer la stabilité du système PV avec une réponse dynamique rapide dans la commande de la recherche du point de puissance maximum (Maximum Power Point Tracking) MPPT des systèmes photovoltaïques [28].

Dans cette thèse, la CS est utilisée pour fournir une efficacité en termes de stabilité, de performances dynamiques et de facilité de mise en œuvre. D'autre part, l'application d'une telle approche de commande non linéaire nécessite une connaissance du modèle mathématique du système. Par conséquent, les performances du système sont directement liées à la précision des paramètres du modèle, qui sont parfois difficiles et compliqués à ajuster. Le réglage des paramètres est essentiel pour mettre en œuvre des applications avec une commande CS. Cette procédure est longue car elle est généralement réalisée par tâtonnement. Pour résoudre ce problème, l'algorithme d'optimisation par colonie de fourmis (ACO) est proposé.

L'algorithme ACO est basé sur une méthode d'optimisation méta-heuristique discrète, inspirée de la manière dont les fourmis communiquent pour indiquer les directions les unes aux autres, et est devenu bien connu pour résoudre divers problèmes d'optimisation [29,30]. Il s'inspire de l'intelligence collective, où une colonie de fourmis artificielles coopère. Cette technique utilise un nombre moindre d'itérations et des valeurs plus faibles par rapport à d'autres techniques telles que l'optimisation par essaims particulaires (Particle Swarm Optimization) PSO [31].

Les mises en œuvre pratiques de la CS pour les convertisseurs de puissance ont été conçues à l'aide de systèmes séquentiels, basés sur des processeurs de signal numérique (DSP), ses algorithmes sélectionnés sont généralement calculés séquentiellement [32]. Ces solutions microprogrammables utilisent des circuits sous contrôle logiciel et reposent sur une adaptabilité de la commande en fonction des applications pratiques. Cependant, des retards dans le calcul des états de commutation optimisés peuvent se produire et dans le cas de commandes complexes, une puissance de traitement élevée serait nécessaire pour la mise en œuvre [33].

Compte tenu des limitations mentionnées ci-dessus, le réseau de portes programmables, en anglais Field-Programmable Gate Array (FPGA) devrait représenter une alternative efficace en raison de sa capacité de traitement parallèle d'une part et de l'accélération du calcul et de la satisfaction des exigences de la commande d'autre part [34]. De plus, le FPGA est considéré comme une bonne option pour la conception et le prototypage de commandes, principalement en raison de sa reconfigurabilité et de sa programmabilité [35]. Une combinaison de développement à faible coût, d'outils logiciels adaptés et certainement une densité d'intégration importante forme les composants génériques construits. À l'heure actuelle, plusieurs applications de systèmes électriques de contrôle de convertisseurs de puissance utilisant un FPGA sont mises en œuvre [36,37].

Un modèle de simulation complet de la commande proposée est développé dans l'environnement MATLAB/Simulink. Les résultats de simulation confirment la faisabilité et l'amélioration des performances de la commande proposée sous différentes conditions de fonctionnement de Filtre Actif de Puissance (FAP).

Les principales contributions de cette thèse, sont les suivantes :

- 1- Une procédure de conception d'une CS est développée pour commander un FAPS, de manière à obtenir une grande robustesse, une convergence rapide et une stabilité asymptotique globalement cohérente.
- 2- Un algorithme d'optimisation ACO est proposé pour assurer un réglage précis des paramètres de la commande proposée dans les applications de FAP, ce qui améliore les performances globales du système.
- 3- Une commande CS à base de FPGA a été conçue et appliquée pour confirmer la faisabilité et l'amélioration des performances de la commande proposée sous différentes conditions de fonctionnement du FAP.
- 4- Comparé à d'autres algorithmes de commande tels que la commande par hystérésis et la SMC, la commande CS-ACO proposée présente de meilleures performances.

La thèse est organisée comme suit :

- ❖ Le chapitre 1 présentera les problèmes et les solutions de la qualité de l'énergie électrique (QE).
- ❖ Le chapitre 2 est dédié à la description et à la modélisation du système FAPS, à la commande synergétique et la technique d'optimisation par colonie de fourmis détaillée.
- ❖ Le chapitre 3 discute de l'approche de commande proposée et de sa procédure de conception avec une implémentation numérique sur FIL d'une commande à hystérésis.
- ❖ Le chapitre 4 traite de la méthodologie de simulation en boucle fermée en temps réel (HIL). Ensuite les résultats de la mise en œuvre de la commande CS-ACO basé sur FPGA sont discutés.

La thèse se termine par une conclusion générale et des perspectives.

CHAPITRE I. QUALITE DE L'ENERGIE ELECTRIQUE ET FILTRAGE ACTIF DE PUISSANCE.

I.1. Introduction :

Au cours des dernières années, avec la croissance des charges non linéaires consommant des courants non sinusoïdaux, la dégradation de la qualité de l'énergie électrique (QE) est devenue un sérieux problème dans les systèmes de puissance électrique.

Les problèmes de QE électrique causés par les variations de l'alimentation électrique et les perturbations de tension coûtent environ 119 milliards de dollars (USD) par an pour les installations industrielles aux États-Unis, selon un rapport de l'Electric Power Research Institute (EPRI) [1]. De plus, 25 États membres de l'Union Européenne subissent l'équivalent de 160 milliards USD de pertes financières par an, en raison de divers problèmes de QE, selon l'Institut européen du cuivre [2]. Ces chiffres sont liés aux temps d'arrêt et aux pertes de production résultantes, ainsi qu'à l'équivalent de pertes de productivité industrielle [3].

Ce chapitre décrit les charges polluantes générant des harmoniques, les effets des harmoniques et les méthodes d'atténuation des harmoniques, en particulier, à l'aide des Filtres Actifs de Puissance. Les différentes topologies de filtrage actif, leurs applications, configurations, méthodes de commande, la modélisation, ainsi que l'analyse sont également discutées dans ce chapitre.

I.2. Qualité de l'énergie électrique :

I.2.1. Les problèmes de la qualité de l'énergie :

De nos jours, la qualité de l'énergie électrique est un facteur important dans les services publics et les systèmes de distribution électrique (utilisateurs terminaux de l'énergie électrique). Le terme "qualité de l'énergie électrique" est devenu l'un des termes les plus prolifiques de l'industrie électrique depuis la fin des années 1980.

La qualité de l'énergie électrique, tout comme la qualité dans d'autres biens et services, est difficile à quantifier. Il n'existe pas de définition unique et acceptée de la qualité de l'énergie électrique. Il existe des normes pour la tension et d'autres critères techniques qui peuvent être mesurés, mais la mesure ultime de la qualité de l'énergie électrique est déterminée par les performances et la productivité des équipements utilisés par les utilisateurs finaux.

La raison principale de préoccupation concernant la QE est l'impact économique. Il y a des impacts économiques sur les services publics, les clients et les fournisseurs d'équipements. La Figure 1 présente les principaux phénomènes causant ces perturbations et leurs classifications dans une échelle temporelle.

Par ailleurs, la Commission électrotechnique internationale (CEI) définit les méthodes de mesure et d'interprétation des résultats des paramètres PQ des systèmes d'alimentation en Courant Alternatif (AC) dans la norme CEI 61000-4-30. Les paramètres QE sont donnés pour des fréquences fondamentales de 50 Hz et 60 Hz. Cette norme établit également deux classes pour les appareils de mesure : la classe A et la classe S.

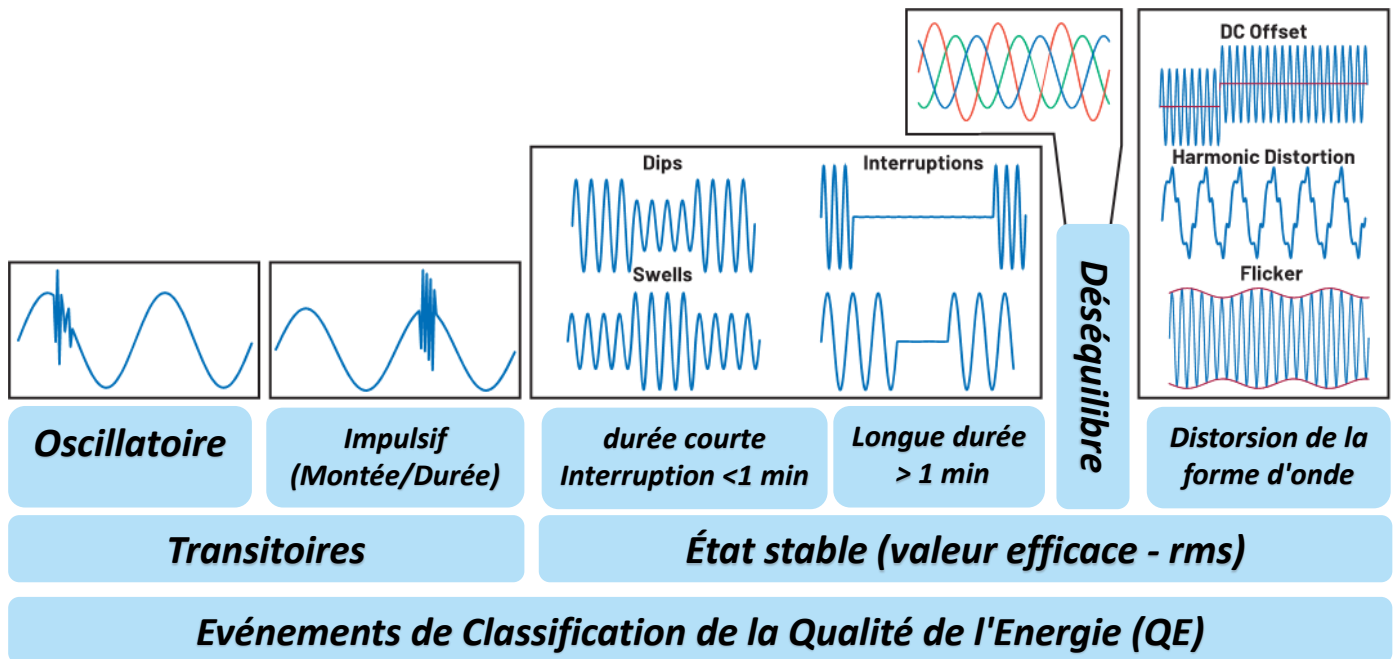


Figure I.1. Classification des paramètres de la qualité de l'énergie électrique dans une échelle temporelle.

I.2.2. Définitions de la QE :

Il y a beaucoup de confusion sur le sens du terme “ **Qualité de l'Energie**”, notamment parce que “**l'énergie**” est utilisée comme synonyme “d'électricité” en anglais américain, alors que c'est aussi la quantité d'énergie transportée par unité de temps. Différents auteurs utilisent des définitions différentes [4] [5] [6]. Un ensemble de définitions est donné comme suit :

- **Qualité de tension** concerne les écarts de la tension par rapport au cas idéal. La tension idéale est une onde sinusoïdale de fréquence unique, d'amplitude et de fréquence constantes.
- **Qualité de courant** est le terme dual à la qualité de tension : elle concerne les écarts du courant par rapport à l'idéal. Le courant idéal est à nouveau une onde sinusoïdale de fréquence unique, d'amplitude et de fréquence constantes, avec la condition supplémentaire que l'onde sinusoïdale de courant est en phase avec l'onde sinusoïdale de tension.
- **La qualité d'électricité** est la combinaison de la qualité de tension et la qualité de courant.

Les charges non linéaires causent un certain nombre de problèmes de qualité de l'énergie, notamment [7] [8] :

- ✓ Facteur de puissance faible.
- ✓ Rendement faible.
- ✓ Interférence électromagnétique (EMI).
- ✓ Distorsions des signaux de tension et de courant.

Les problèmes liés à la QE ont des impacts négatifs sur le réseau électrique, et doivent être résolus pour garantir des systèmes électriques fiables et sécurisés [9] [10] [11]. Le **tableau 1** récapitule ces perturbations et leurs causes [12] [13].

Tableau I.1. Classification typique des problèmes de QE

Type de perturbation	Déviation		Évaluation	Principale cause
Variations (écarts continus)	Fréquence		—	Déséquilibre entre la production et la demande
	Changements de tension lents		Amplitude de la tension	Variation de la demande et de la production
	Distorsion de la forme d'onde	Domaine fréquentiel	Décalage DC	Machines électriques (transformateurs, générateurs, moteurs), convertisseurs d'électronique de puissance
			Harmoniques	
			Inter-harmoniques	
			Supra-harmoniques	
	Encoches	Dans le domaine temporel	Déviati	
Fluctuation		Vacillement	Machines à souder, commande multicycle	
Déséquilibre		Composants symétriques	Charges ou générateurs déséquilibrés (mono/biphasés)	
Événements (écarts finis)	Changements de tension rapides		Amplitude de la tension	Raccordement de charges lourdes, élimination des défauts, aléas climatiques
	Affaissements			
	Houle			
	Interruptions			
	Transitoires			Opérations de manœuvre, coups de foudre

I.2.3. Définition des harmoniques :

Les harmoniques sont définis comme "une composante sinusoïdale d'une onde ou d'une quantité périodique ayant une fréquence multiple entier de la fréquence fondamentale" [14]. Par conséquent, les harmoniques représentent la présence de tensions/courants ayant une fréquence multiple de la tension/courant fondamental dans la tension/le courant du système.

La distorsion harmonique se produit lorsque des charges non linéaires sont alimentées à partir de systèmes électriques, telles que des redresseurs, onduleurs et adaptateurs, etc., [15] [16] [17], et cela entraîne une modification d'une onde sinusoïdale à une fréquence fondamentale en différentes formes d'ondes non sinusoïdales, comme illustré dans la Figure I.2.

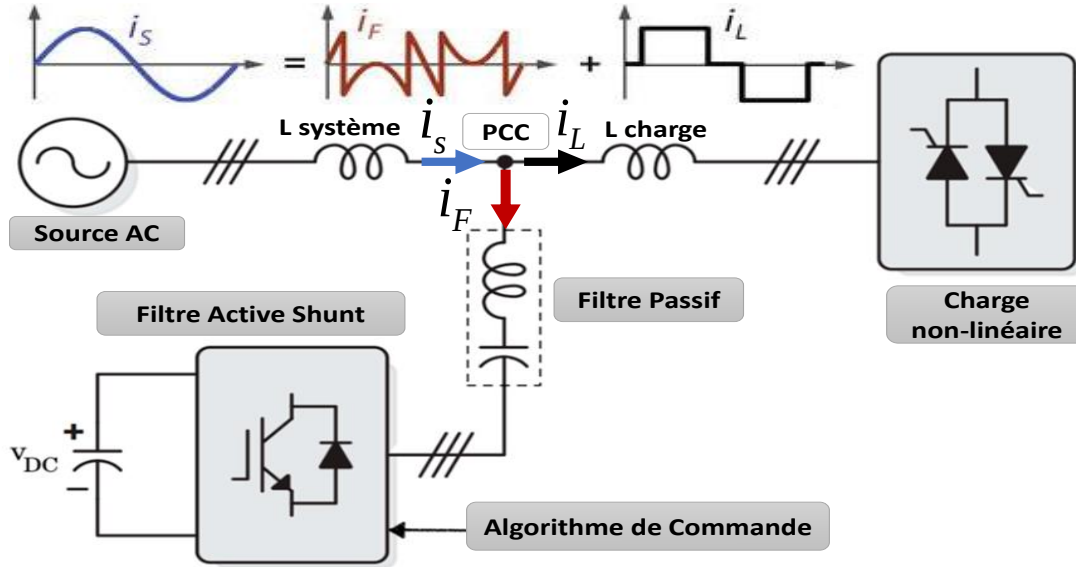


Figure I.2. Charge non linéaire dans un système électrique triphasé.

I.2.3.1. Exemple :

La Figure I.3 montre une forme d'onde avec une fréquence fondamentale de 60 Hz et les cinquième (300 Hz), septième (420 Hz), onzième (660 Hz) et treizième (780 Hz) harmoniques.

Pour la mesure et la comparaison du contenu harmonique des formes d'onde, un facteur est défini comme le taux global d'harmoniques ou THD (Total Harmonic Distortion). Le facteur THD est défini pour le courant et la tension comme suit :

$$\text{Pour la tension } THD_v = 100 \frac{\sqrt{\sum_{h=2}^{\infty} V_h^2}}{V_1} \quad (1.1)$$

$$\text{Pour le courant } THD_i = 100 \frac{\sqrt{\sum_{h=2}^{\infty} I_h^2}}{I_1} \quad (1.2)$$

Où I_h et V_h représentent respectivement les amplitudes harmoniques d'ordre h de courant et de tension.

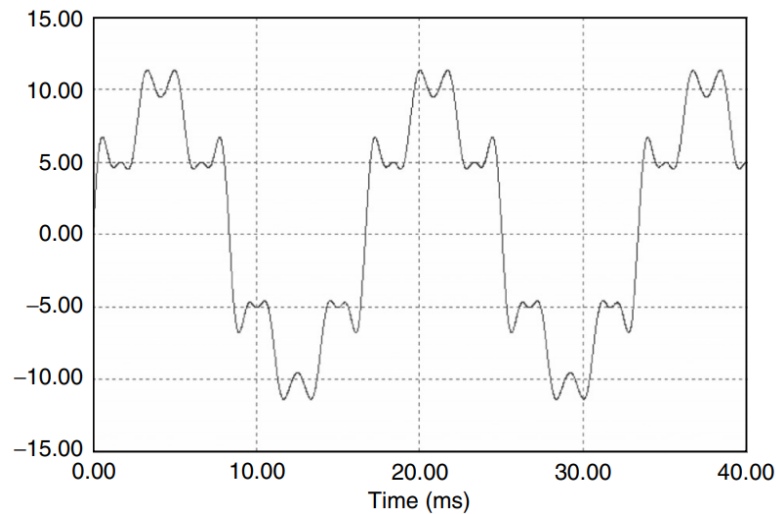


Figure I.3. *Forme d'onde d'un signal comprenant des harmoniques.*

Les effets négatifs de la distorsion harmonique peuvent être énumérés comme suit [18]:

- Vieillesse prématurée ou détérioration des dispositifs électriques ou des équipements des consommateurs.
- Endommagement des fonctions de protection du système d'alimentation, par exemple en raison d'un disjoncteur ou d'un fusible grillé.
- Mauvais fonctionnement des composants du système de contrôle, entraînant des erreurs de fonctionnement.

En raison des effets mentionnées ci-dessus, il est donc nécessaire de mettre en œuvre une opération pour éliminer les composantes harmoniques afin d'obtenir un THD conforme aux normes internationales IEEE STD 519-2014.

I.3. Les sources des harmoniques dans les systèmes électriques :

Il existe de nombreux dispositifs électriques à charge non linéaire qui génèrent des courants non sinusoïdaux dans les systèmes électriques. Ces courants non sinusoïdaux traversent les différentes impédances présentes dans les réseaux électriques et produisent des harmoniques de tension. Les harmoniques de tension ainsi générées se propagent dans les systèmes électriques et affectent l'ensemble des éléments du réseau. Les sources harmoniques peuvent être classées en fonction de leur type et de leurs caractéristiques.

I.3.1. Les lampes fluorescentes :

La Figure I.4 montre le courant d'entrée d'une lampe fluorescente typique avec une forte présence d'harmoniques de rangs 3, 5, 7 et 9. Les résultats expérimentaux de Liew [19] fournissent des valeurs maximales et minimales du contenu harmonique pour une lampe fluorescente, comme représenté dans le Tableau II. Une étude expérimentale détaillée sur la distorsion harmonique et le facteur de puissance des lampes économiques en énergie est également présentée [20].

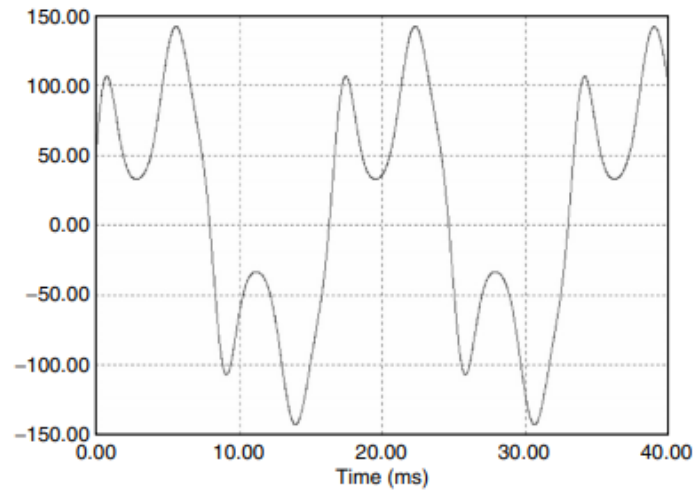


Figure I.4. Courant d'entrée typique d'une lampe fluorescente [20].

Tableau I.2. Composantes harmoniques maximales et minimales d'un courant typique de lampe fluorescente [20].

Ordre harmonique	Max (%)	Min (%)
1	100	100
3	63.4	42.9
5	8.9	8.3
7	10.4	6.4
9	3.0	0.56

I.3.2. Les alimentations à découpage :

La Figure I.5 montre la forme d'onde de courant d'entrée typique d'une alimentation électrique pour ordinateur avec son spectre harmonique, ainsi que des formes d'onde similaires pour d'autres petits appareils électroniques tels que les télévisions et imprimantes laser. Bien que ces systèmes aient une faible puissance et un faible courant d'entrée par rapport aux dispositifs du système d'alimentation électrique, leur utilisation généralisée entraîne une forte distorsion harmonique dans les courants de ligne en raison de la somme de leurs harmoniques [21].

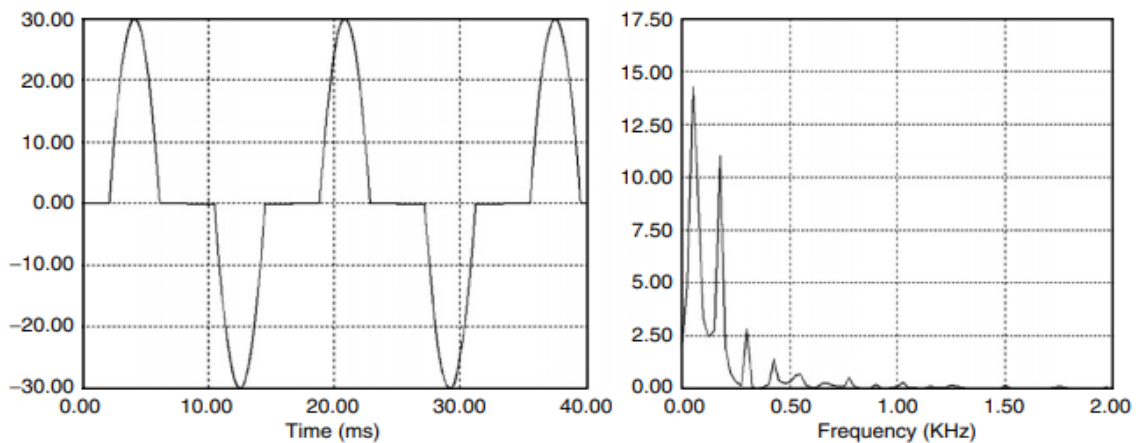


Figure I.5. Courant d'entrée d'une alimentation d'ordinateur typique et son spectre harmonique [20].

I.3.3. Chargeurs pour véhicules électriques :

Les chargeurs de véhicules électriques (VE) peuvent rencontrer plusieurs défis en matière de qualité de l'électricité, à la fois en ce qui concerne l'électricité envoyée vers le réseau électrique et celle provenant du réseau (voir Figure I.6). Du point de vue d'une entreprise de distribution d'électricité, les convertisseurs électroniques de puissance utilisés dans les chargeurs de VE injectent des harmoniques et des inter-harmoniques. Les chargeurs avec des convertisseurs de puissance mal conçus peuvent injecter du courant continu (DC) [22] [23].

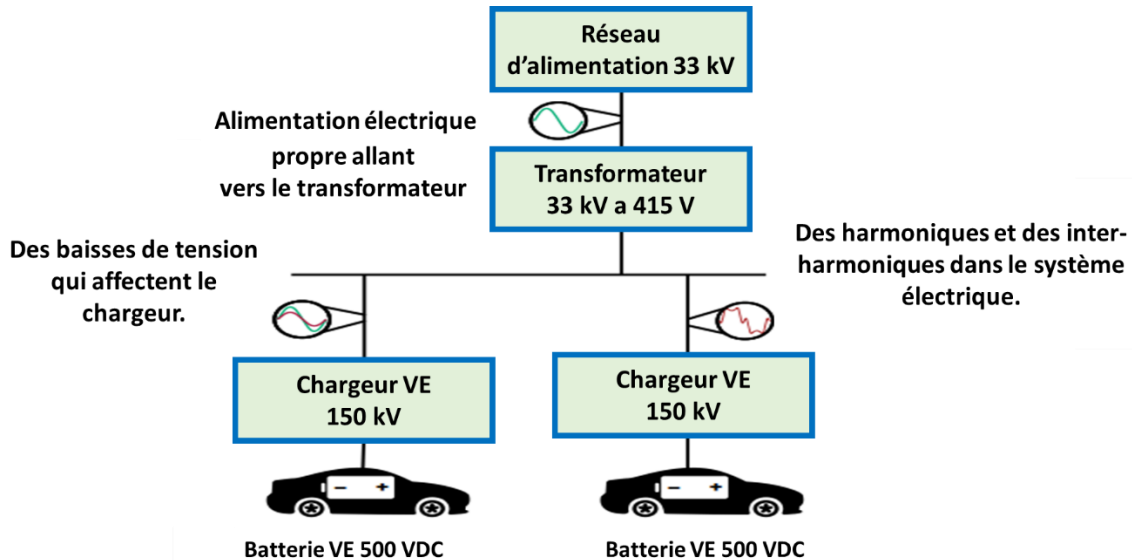


Figure I.6. Problèmes de QE pour les chargeurs de véhicules électriques (VE).

I.3.4. Les variateurs de vitesse :

Avec l'augmentation des variateurs de vitesse réglables (VSR) dans les systèmes électriques, ces dispositifs sont devenus un problème majeur pour la qualité de l'énergie électrique. La Figure I.7 montre le courant d'entrée d'un VSR typique ainsi que son spectre harmonique. Les harmoniques d'ordre 5 et 7 sont considérablement élevés [24].

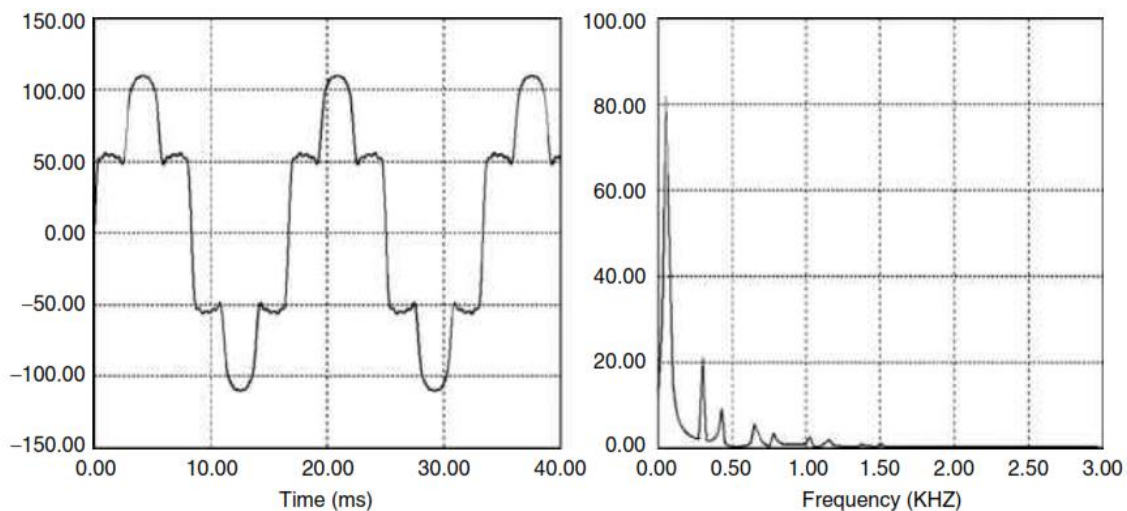


Figure I.7. Courant d'entrée et spectre harmonique d'un VSR typique [20].

I.3.5. Autres charges produisant des harmoniques :

Presque tous les appareils utilisant des composants électroniques de puissance tels que les systèmes de production d'énergie renouvelable, les cyclo convertisseurs, les charges de commande de phase électronique et les convertisseurs PWM (Modulation de largeur d'impulsions) produisent des harmoniques.

I.4. Normes de QE :

De nos jours, toutes les normes développées se basent sur l'ensemble des aspects de la QE, incluant les niveaux admissibles de déviations, la mitigation et la surveillance. Certaines de ces normes sont présentées ci-dessous. Cependant, les normes sont continuellement mises à jour, avec des modifications apportées aux normes existantes sur divers aspects tels que les limites, la surveillance et les dispositifs de mitigation.

Les tableaux 1.3 et 1.4 représentent certaines limites importantes sur les tensions et les courants dans ces normes [25].

Tableau I.3. Limites de la distorsion de tension.

Voltage de bus V au PCC	Harmonique individuel (%)	THD (%)
$V \leq 1.0 \text{ kV}$	5.0	8.0
$1 \text{ kV} \leq V \leq 69 \text{ kV}$	3.0	5.0
$69 \text{ kV} \leq V \leq 161 \text{ kV}$	1.5	2.5
$161 \text{ kV} \leq V$	1.0	1.5

Tableau I.4. Limites de la distorsion du courant pour les systèmes de 120 V à 69 kV

IEEE STD 519-2014

Distorsion harmonique de courant maximale I_L en pourcentage						
Ordre harmonique individuel (harmoniques impairs) ^{a,b}						
ISC/IL	<11	11≤h<17	17≤h<23	23≤h<35	35≤h	TDD
< 20 ^c	4.0	4.0	4.0	4.0	4.0	4.0
20<50	7.0	7.0	7.0	7.0	7.0	7.0
50<100	10.0	10.0	10.0	10.0	10.0	10.0
100<100	12.0	12.0	12.0	12.0	12.0	12.0
0>1000	15.0	15.0	15.0	15.0	15.0	15.0

a : Les harmoniques pairs sont limités à 25 % des limites d'harmoniques impaires ci-dessus.

b : Les distorsions de courant qui entraînent un décalage en courant continu, par exemple, les convertisseurs demi-onde, ne sont pas autorisées.

c : Tous les équipements de production d'énergie sont limités à ces valeurs de distorsion de courant, quel que soit I_{sc}/I_L réel.

Où :

I_{sc} = courant de court-circuit maximum au point de couplage commun (PCC).

I_L = courant de charge de demande maximale (composante de fréquence fondamentale) au point PCC dans des conditions de fonctionnement de charge normales

I.4.1. Prévention de la production d'harmoniques :

Afin d'améliorer la QE et l'efficacité énergétique, la mise en place de solutions efficaces pour faire face au problème actuel des harmoniques et de leurs conséquences techniques et économiques est essentielle [26]. La modification et l'amélioration des propriétés des dispositifs non linéaires peuvent réduire la quantité d'harmoniques générées.

Les deux charges qui génèrent le plus d'harmoniques peuvent être améliorées : le système convertisseur/onduleur et l'alimentation à courant continu (DC).

La réduction de l'amplitude des harmoniques et la suppression des harmoniques à basse fréquence peuvent être obtenues en augmentant les impulsions dans le système convertisseur/onduleur. En changeant l'onduleur à 6 impulsions en un onduleur à 12 impulsions, les 5ème et 7ème harmoniques sont annulés.

Le développement des nouvelles topologies d'alimentation DC et du schéma de commande améliorera le spectre harmonique du courant d'entrée. L'utilisation des hacheurs boost, Cuk, SEPIC et redresseur/flyback intégré avec stockage d'énergie DC/DC (BIFRED) au lieu des convertisseurs abaisseurs (buck), abaisseurs-élevateurs (buck-boost), flyback et forward pourrait améliorer la qualité du courant d'entrée [27] [28] [29].

Dans cette section, nous présentons les différentes solutions de dépollution. Nous pouvons citer les solutions suivantes :

- Utilisation de dispositifs de filtrage (filtrage passif, actif et hybride).

Les techniques courantes pour éliminer les harmoniques consiste à utiliser des filtres. Les types de filtres les plus utilisés sont les filtres passifs et actifs.

Le filtrage passif était une solution pour le contrôle de la pollution et l'amélioration du facteur de puissance des réseaux électriques. Cependant, l'augmentation des dispositifs électroniques de puissance dans les réseaux électriques a limité l'utilisation de ces filtres qui ne sont plus adaptés aux réseaux actuels. Par conséquent, le filtre actif de puissance a été introduit pour surmonter les limitations présentées par les filtres passifs [30] [31].

I.5. Méthode de suppression des harmoniques :

I.5.1. Les filtres passifs :

Les filtres passifs sont généralement utilisés pour réduire les harmoniques, où les condensateurs sont généralement utilisés pour améliorer ou corriger le facteur de puissance des charges en courant alternatif [32].

La Figure I.8 présente un dispositif de correction automatique du facteur de puissance, il existe de nombreuses catégories de filtres passifs tels que les filtres série, shunt et hybrides.

Dans les réseaux de distribution de moyenne et basse tension, les filtres passifs sont très utilisés en raison de leur faible coût et simplicité, le Tableau I.5 récapitule ces impacts.

Tableau I.5. Avantages et inconvénients des filtres passifs [33] [34] [35].

Avantages	Inconvénients
Implémentation simple d'une fonction de transfert donnée en termes du nombre de composants requis.	Ne fournit aucun gain de signal en raison de l'absence d'éléments actifs.
Ne nécessitent aucune alimentation car ils n'ont pas de composants actifs	Besoin d'utiliser des buffers pour avoir les valeurs d'impédances d'entrée et de sortie souhaitées
Ils fonctionnent parfaitement à des fréquences très élevées car il n'y a pas de limitations de bande passante dues aux amplificateurs opérationnels.	Cela peut coûter cher en raison des caractéristiques de l'inductance telles que la haute précision, la petite taille physique et la grande valeur.
Ils fonctionnent dans des applications présentant des niveaux de courant ou de tension élevés que les dispositifs actifs ne peuvent gérer.	Ajuster les inductances ajustables aux valeurs requises est une opération chronophage et coûteuse lors de la production en grande quantité de filtres.
Génèrent peu de bruit (par rapport aux éléments actifs).	La conception de filtres passifs complexes (d'ordre supérieur à 2) peut être difficile et prendre beaucoup de temps.

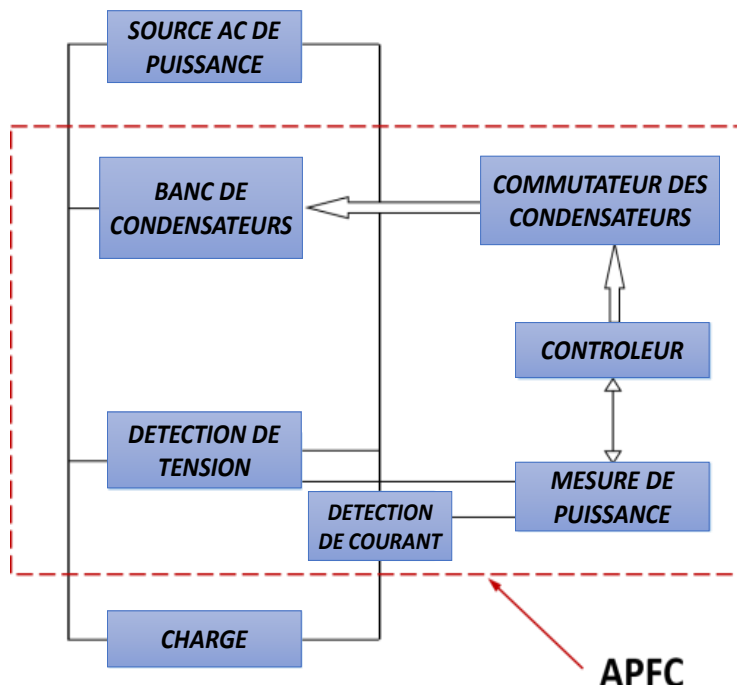


Figure I.8. Dispositif de correction automatique du facteur de puissance.

I.5.2. Les filtres actifs de puissance :

Traditionnellement, les filtres passifs ont été utilisés pour minimiser les harmoniques dans les réseaux d'alimentation électrique, où des condensateurs de puissance ont également été utilisés pour améliorer le facteur de puissance des charges AC. Cependant, les filtres passifs présentent certains inconvénients tels que la compensation fixe, où les filtres passifs sont généralement conçus pour éliminer un harmonique spécifique, leur taille importante et le phénomène de résonance.

La pollution harmonique de plus en plus importante dans les réseaux d'alimentation électrique a attiré l'attention des ingénieurs en électronique de puissance et en système d'alimentation pour développer des solutions dynamiques et ajustables aux problèmes de qualité de puissance. Ces équipements sont généralement connus sous le nom de filtres actifs de puissance FAP. Ces derniers sont capables de résoudre la plupart des problèmes de qualité de puissance dans les réseaux électriques, tels que les courants et tensions harmoniques, la compensation de puissance réactive, la régulation de la tension terminale et la suppression du scintillement [36].

L'un des principaux facteurs de l'avancement de la technologie des FAP est l'avènement de dispositifs à semi-conducteurs à commutation rapide et autonome. Au début, des thyristors, des transistors bipolaires à jonction (BJT) et des transistors à effet de champ à grille métal-oxyde-semiconducteur (MOSFET) de puissance ont été utilisés pour développer ces filtres de puissance.

Plus tard, des transistors à effet de champ à isolation en surface (SIT) et des thyristors à grille commandée (GTO) ont été utilisés pour développer des filtres de puissance. Avec l'introduction des transistors bipolaires à grille isolée (IGBT) [37], la technologie du filtrage de puissance a connu un véritable essor et, actuellement elle est considérée comme un dispositif à semi-conducteur idéal pour les FAP. L'amélioration de la technologie des capteurs a également contribué à l'amélioration des performances des FAP. La disponibilité de capteurs à effet Hall et d'amplificateurs d'isolation à un coût raisonnable et avec des notes adéquates a amélioré les performances des FAP.

La percée suivante du développement des FAP a résulté de la révolution de la microélectronique. À partir de l'utilisation de composants électroniques analogiques et numériques discrets, la progression a été vers les microprocesseurs, les microcontrôleurs et les DSP et les FPGA [38].

Il est maintenant possible de mettre en œuvre des algorithmes en ligne complexes pour la commande des FAP à un coût raisonnable. Ce développement dans les FAP a rendu possible l'utilisation de différents algorithmes de commande tels que la commande proportionnel-intégral (PI), la commande à structure variable, la commande floue et les algorithmes de commande neuronale pour améliorer les performances dynamiques et statiques des FAP [39].

Avec ces améliorations, les FAP deviennent plus aptes à fournir une action corrective rapide même avec des variations des charges non linéaires.

I.5.3. Applications du FAP :

Les filtres actifs sont installés près des charges non linéaires à haute puissance telles que les fours électriques et les variateurs de vitesse ajustables (ASDs) pour compenser les effets de leur non-linéarité sur les réseaux électriques. Certaines applications spéciales des filtres actifs ont été développées.

I.5.3.1. Locomotives à haute Puissance :

Dans les locomotives à haute puissance, les harmoniques de courant produits par les onduleurs DC/AC à fréquence variable entraînent des pertes excessives dans les convertisseurs AC/DC (Figure I.9) et les transformateurs. Les filtres actifs offrent le meilleur choix pour atténuer ces harmoniques [40].

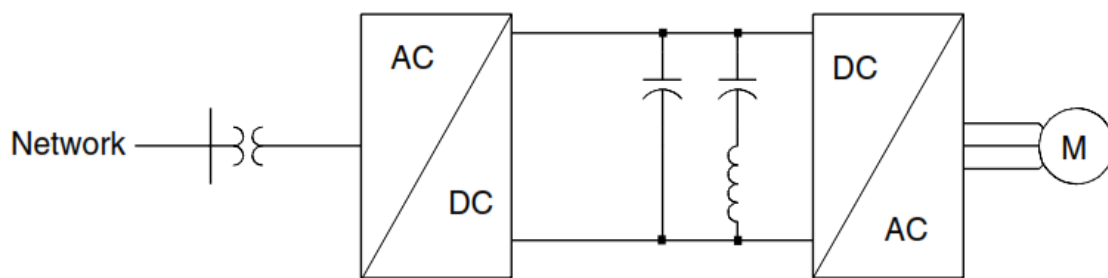


Figure I.9. Moteur à induction haute puissance à vitesse variable pour une locomotive.

I.5.3.2. FAP utilisé dans une plateforme de forage en mer :

Industrie : Plateforme pétrolière.

Exigences particulières :

Les exigences particulières pour les FAPs sur les plateformes de forage en mer. Les plateformes de forage en mer ont des exigences spéciales pour les équipements en termes de niveau de protection, de dimensions d'équipement, de méthode de refroidissement et de sécurité.

Il est nécessaire de prendre en compte l'influence de la corrosion saline sur les équipements, ainsi que la protection contre les incendies. Tous les câbles doivent utiliser des câbles halogène basse fumée et sans halogène.

De plus, l'espace sur la plateforme est limité, à la fois dans les zones de vie et les zones opérationnelles, ce qui impose des exigences élevées en termes d'espace. Ainsi, la largeur d'une armoire individuelle doit être comprise entre 600 mm en largeur, 800 mm en profondeur et 2200 mm en hauteur.

En raison des contraintes de l'environnement de travail de la plateforme offshore, le fonctionnement et la surveillance de l'équipement dépendent principalement de la communication. L'équipement doit prendre en charge les protocoles de communication courants tels que DP, CAN et Ethernet.

Le FAP de l'entreprise Nancal a été entièrement conçu au niveau matériel et logiciel pour garantir le fonctionnement fiable à long terme du dispositif dans l'environnement des plateformes offshore.

Situation :

La charge principale sur la plateforme de forage en mer de **Penglai** comprend des pompes à boue, un treuil, un système de transmission supérieur, etc., qui sont entraînés par des convertisseurs. Le convertisseur de fréquence adopte un redresseur à diodes conventionnel à six impulsions, ce qui génère un grand nombre d'harmoniques, principalement concentrés aux multiples de $6n \pm 1$.

Ces harmoniques affectent sérieusement la sécurité des équipements électriques : ils provoquent une distorsion grave de la tension, une réduction du facteur de puissance du système, une surchauffe des câbles et des transformateurs, un vieillissement accéléré de l'isolation, et des interruptions d'alimentation provoquées par des erreurs d'instrumentation. Tout cela affecte la stabilité et la sécurité de l'ensemble du système électrique de la plateforme.

Suite à une détection concrète, le courant harmonique total généré par 7 onduleurs (6600 kW + 1920 kW) est de 581 A. À haute vitesse de forage, le courant harmonique total est de 594 A. Finalement, un filtre actif d'une intensité nominale de 600 A, a été sélectionné en conséquence.

Résultat :

Après la mise en service du filtre actif de puissance, la distorsion totale du courant harmonique a diminué de 27,3 % à 3,8 %, ce qui répondait pleinement aux exigences des normes pertinentes.



Figure I.10. FAP utilisé sur une plateforme de forage en mer.

<https://www.nancalelectric.com/apf-offshore-drilling-platform.html>

I.6. Classification des FAPs :

La **Figure I.11** classe les différentes topologies de FAP au point de couplage commun (PCC), telles que les filtres shunt, série, hybride (une combinaison de filtres actifs shunt et série) [41] [42], il existe d'autres configurations qui ont été introduites et améliorées telle que le conditionneur de qualité d'énergie unifié (UPQC), qui est une combinaison de filtres actifs série et shunt.

Un filtre actif peut utiliser des onduleurs de courant (CSIs) ou des onduleurs de tension (VSIs). Les filtres actifs à base de CSI utilisent une inductance comme dispositif de stockage d'énergie. Cependant, les filtres actifs à base de VSI utilisent un condensateur comme dispositif de stockage d'énergie [43].

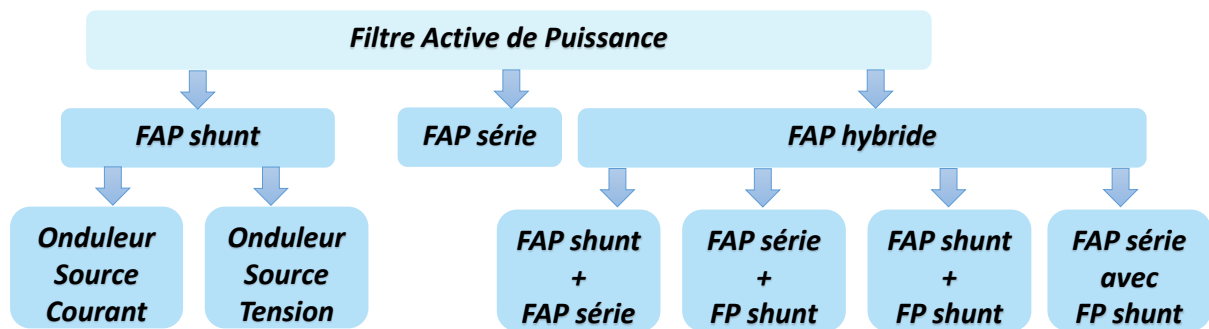


Figure I.11. Classification des FAPs selon la configuration du circuit de puissance

I.6.1. Onduleurs de tension :

Le type de filtre actif le plus répandu est à base de VSIs, qui a été conçu, amélioré et utilisé pendant de nombreuses années et qui est maintenant à un stade commercial. Ces filtres sont plus légers, moins chers et plus faciles à commander par comparaison au filtre actif à base de CSIs. Les pertes sont inférieures à celles des filtres actifs à CSIs, et ils peuvent être utilisés dans des configurations multi-niveaux et multi-étages [43]. Les filtres actifs à VSIs utilisent un condensateur comme dispositif de stockage d'énergie en courant continu (**Figure I.2**). Ils existent en configurations monophasée ou triphasée.

I.6.2. Concepts de FAP Shunt :

Le FAP shunt (FAPS) est couramment utilisé comme méthode efficace pour supprimer les composantes harmoniques des charges non linéaires. La Figure I.12 montre le principe de base du FAPS utilisant le VSI dans lequel le filtre actif est branché en parallèle au système électrique au point PCC entre le fournisseur de l'électricité et les utilisateurs.

L'objectif du FAPS est de minimiser la distorsion de l'alimentation électrique en utilisant quatre composants principaux, le chapitre 2 fournira une description détaillée des éléments spécifiques, comme illustré dans la Figure I.12.

- ✓ Détection d'harmoniques.
- ✓ Commande du courant de compensation.
- ✓ Régulation de la tension du bus continu.

✓ Filtre actif de puissance.

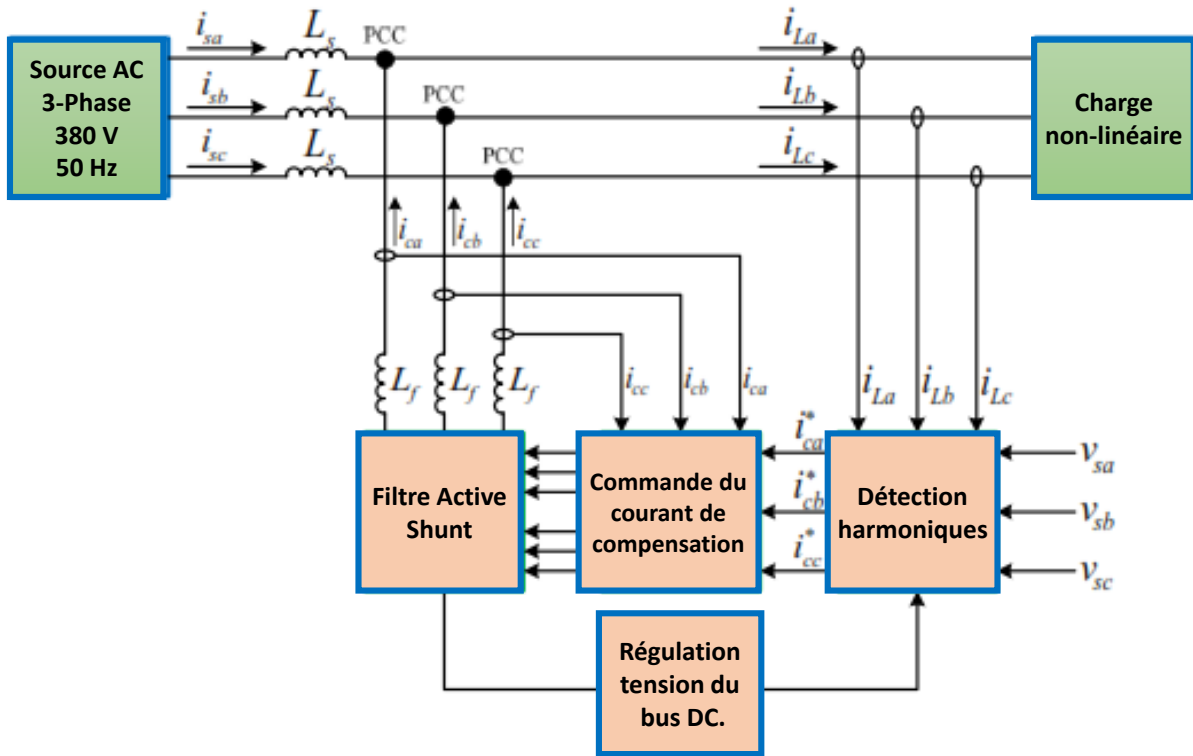


Figure I.12. Filtre actif shunt triphasé.

Dans le bloc de détection d'harmoniques, le signal déformé peut être détecté par plusieurs techniques de détection d'harmoniques, telles que la théorie de la puissance réactive instantanée (PQ) [44], le référentiel synchrone (SRF) [45] [46], les axes d-q avec Fourier (DQF) [47], et la détection synchrone (SD) [48] [49], etc. Ensuite, le FAPS injecte les courants de compensation dans le système électrique [50]. Les techniques de commande du courant comprennent la commande de courant à hystérésis [51] [52], la modulation de largeur d'impulsion (PWM) [53] [54], et la modulation vectorielle (SVM) [55], etc. Pour la commande de la tension du bus continu, une approche proportionnelle intégrale (PI) est utilisée [56]. Généralement, un FAP utilise 6 dispositifs IGBT pour construire l'onduleur de tension afin d'injecter le courant de compensation dans le système au PCC. L'architecture d'un FAP avec des dispositifs IGBT est illustrée dans la **Figure I.13**.

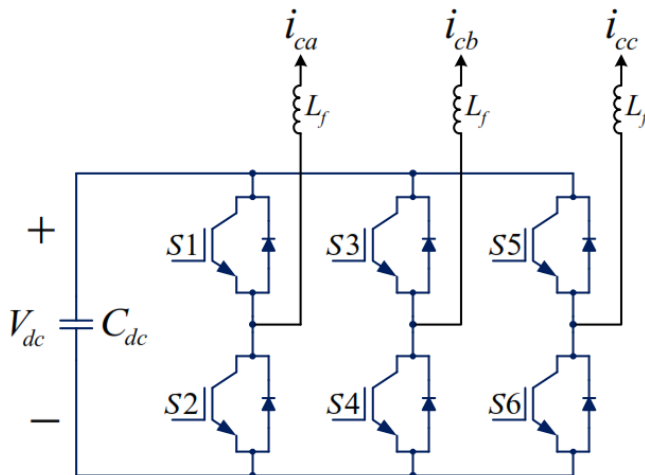


Figure I.13. Onduleur en pont IGBT dans un FAP.

I.6.3. Circuit équivalent du filtre actif shunt :

Comme mentionné précédemment le type le plus répandu de filtres actifs est le filtre actif shunt. Il peut être monophasé ou triphasé, à source de tension ou à source de courant. La **Figure I.14** montre le schéma équivalent d'un filtre actif shunt, la source AC et la charge, lorsqu'il est utilisé pour compenser les harmoniques de courant et de tension [57]. Dans la **Figure I.14 (a)**, le filtre actif compense le courant harmonique d'une charge non linéaire qui produit du courant harmonique. La **Figure I.14 (b)** montre que le filtre actif shunt ne peut pas compenser les harmoniques de tension de la charge.

La **Figure I.14 (c)** montre que le filtre actif shunt peut compenser le courant harmonique de la charge et la tension harmonique de la source.

Dans la Figure I.14, Z_s et Z_F sont les impédances de la source et du filtre passif shunt, respectivement. I_{Lh} , V_{Lh} et V_{sh} sont respectivement le courant harmonique de la charge, la tension harmoniques de la charge et de la source. I_{AF} est le courant du filtre actif shunt. Pour annuler l'harmonique au point PCC, **Figure I.14 (a)**, nous devons avoir :

$$I_{AF} = I_{Lh} \quad (1.3)$$

Sur la **Figure 14 (b)**, il est clair que le filtre actif shunt ne peut pas compenser les harmoniques de tension de la charge. En **Figure 14 (c)**, pour annuler l'harmonique de courant de la charge et l'harmonique de tension de la source, nous devons avoir :

$$I_{AF} = I_{Lh} - \frac{V_{sh}}{Z_F} \quad (1.4)$$

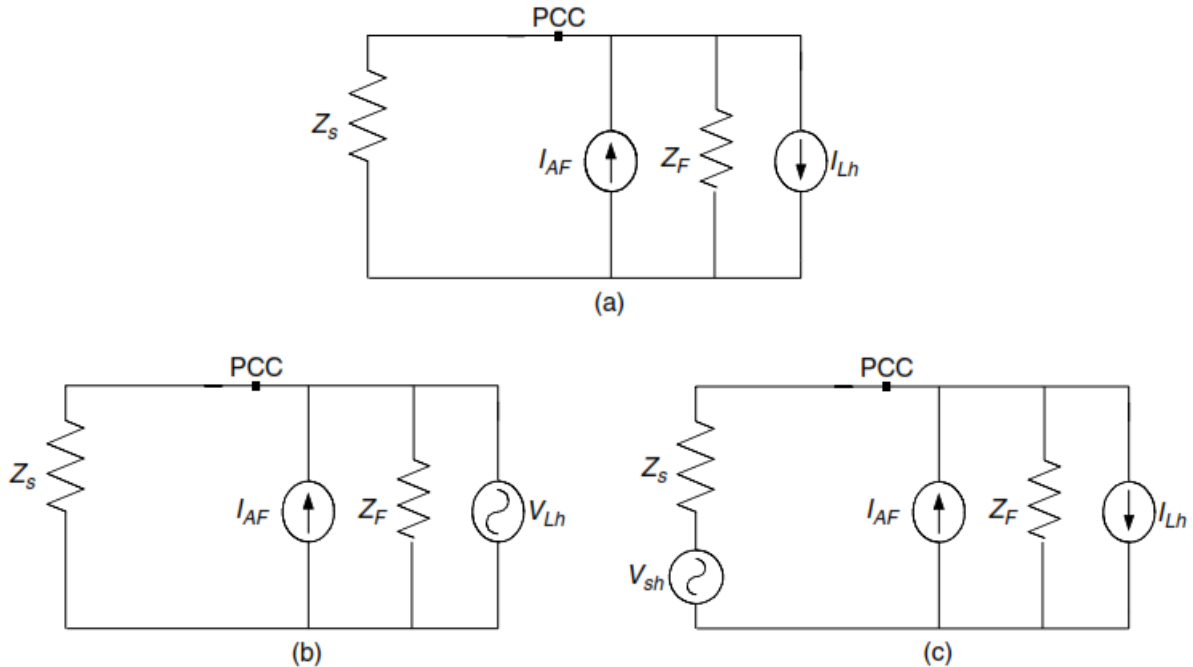


Figure I.14. Circuit équivalent du filtre actif shunt, avec une source et charge, **(a)** compensation des harmoniques de courant de charge, **(b)** compensation des harmoniques de tension de charge, et **(c)** compensation des harmoniques de tension de la source.

I.7. Conclusion :

Les problèmes de la qualité de l'énergie électrique sont présents dans l'ensemble des infrastructures électriques. Avoir des équipements qui contrôlent ces problèmes contribue à améliorer les performances, la qualité du service et la durée de vie des équipements, tout en réduisant les pertes économiques.

Avec les FAP, on bénéficie d'une solution avancée de filtrage actif qui aide à répondre directement aux besoins de QE. Peu importe l'industrie, les FAP permettent d'obtenir une bonne qualité de puissance et une efficacité opérationnelle optimale. Les FAP peuvent être appliqués à un large éventail d'environnements industriels ou commerciaux, tant terrestres que maritime ou aérien, où une bonne qualité de l'énergie est essentielle.

Les FAP ont prouvé leur capacité unique dans des processus utilisant des Variateurs de Vitesse Réglable (VSR), des charges à fluctuation rapide telles que des machines à souder, des alimentations non interruptibles (UPS) et des charges continues, des charges monophasées telles que l'éclairage et les ordinateurs, ainsi que des fours à arc électrique.

Le chapitre suivant traite des solutions apportées pour l'amélioration de QE en utilisant le FAPS. Nous présenterons une solution intégrée et une plateforme prête à l'emploi qui peuvent accélérer considérablement le développement et réduire les coûts.

BIBLIOGRAPHIE

Bibliographie de l'introduction générale.

- [1] G. Goswami and P. K. Goswami, 'Power quality improvement at nonlinear loads using transformer-less shunt active power filter with adaptive neural fuzzy interface system supervised PID controllers', *Int. Trans. Electr. Energy Syst.*, vol. 30, no. 7, p. e12415, 2020, doi: 10.1002/2050-7038.12415.
- [2] M. O. Mahmoud, W. Mamdouh, and H. Khalil, 'Source current harmonic mitigation of distorted voltage source by using shunt active power filter', *Int. J. Electr. Comput. Eng. IJECE*, vol. 10, no. 4, Art. no. 4, Aug. 2020, doi: 10.11591/ijece.v10i4.pp3967-3977.
- [3] R. Kanagavel, I. Vairavasundaram, and S. Padmanaban, 'Design and prototyping of single-phase shunt active power filter for harmonics elimination using model predictive current control', *Int. Trans. Electr. Energy Syst.*, vol. 30, no. 2, p. e12231, 2020, doi: 10.1002/2050-7038.12231.
- [4] O. Aissa, O. Gherouat, B. Babes, F. Albalawi, A. Alqurashi, and S. S. M. Ghoneim, 'Experimental validation of advanced SP-SAF based on intelligent controllers for power quality enhancement', *Energy Rep.*, vol. 8, pp. 3018–3029, Nov. 2022, doi: 10.1016/j.egyr.2022.02.067.
- [5] Y. Hoon, M. A. Mohd Radzi, M. K. Hassan, and N. F. Mailah, 'Control Algorithms of Shunt Active Power Filter for Harmonics Mitigation: A Review', *Energies*, vol. 10, no. 12, Art. no. 12, Dec. 2017, doi: 10.3390/en10122038.
- [6] M. Bajaj and A. K. Singh, 'Optimal design of passive power filter for enhancing the harmonic-constrained hosting capacity of renewable DG systems', *Comput. Electr. Eng.*, vol. 97, p. 107646, Jan. 2022, doi: 10.1016/j.compeleceng.2021.107646.
- [7] N. He, D. Xu, and L. Huang, 'The Application of Particle Swarm Optimization to Passive and Hybrid Active Power Filter Design', *IEEE Trans. Ind. Electron.*, vol. 56, no. 8, pp. 2841–2851, Aug. 2009, doi: 10.1109/TIE.2009.2020739.
- [8] A. Sahli, F. Krim, A. Laib, and B. Talbi, 'Model predictive control for single phase active power filter using modified packed U-cell (MPUC5) converter', *Electr. Power Syst. Res.*, vol. 180, p. 106139, Mar. 2020, doi: 10.1016/j.epsr.2019.106139.
- [9] A. K. Chinnusamy and K. Kanagaraj, 'Photovoltaic module integrated modified three-port interleaved flyback converter fed six-level shunt active power filters', *Int. Trans. Electr. Energy Syst.*, vol. 31, no. 2, p. e12717, 2021, doi: 10.1002/2050-7038.12717.
- [10] B. Singh, K. Al-Haddad, and A. Chandra, 'A review of active filters for power quality improvement', *IEEE Trans. Ind. Electron.*, vol. 46, no. 5, pp. 960–971, Oct. 1999, doi: 10.1109/41.793345.
- [11] H. Bey, F. Krim, B. Talbi, and A. Sahli, 'FPGA based HIL simulation for direct current control of active power filter', in *2020 International Conference on Electrical Engineering (ICEE)*, Sep. 2020, pp. 1–5. doi: 10.1109/ICEE49691.2020.9249856.

- [12] L. Wang, X. Han, C. Ren, Y. Yang, and P. Wang, 'A Modified One-Cycle-Control-Based Active Power Filter for Harmonic Compensation', *IEEE Trans. Ind. Electron.*, vol. 65, no. 1, pp. 738–748, Jan. 2018, doi: 10.1109/TIE.2017.2682021.
 - [13] S. Ouchen, M. Benbouzid, F. Blaabjerg, A. Betka, and H. Steinhart, 'Direct Power Control of Shunt Active Power Filter Using Space Vector Modulation Based on Supertwisting Sliding Mode Control', *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 9, no. 3, pp. 3243–3253, Jun. 2021, doi: 10.1109/JESTPE.2020.3007900.
 - [14] K.-K. Shyu, M.-J. Yang, Y.-M. Chen, and Y.-F. Lin, 'Model Reference Adaptive Control Design for a Shunt Active-Power-Filter System', *IEEE Trans. Ind. Electron.*, vol. 55, no. 1, pp. 97–106, Jan. 2008, doi: 10.1109/TIE.2007.906131.
 - [15] S. Hou and J. Fei, 'Adaptive fuzzy backstepping control of three-phase active power filter', *Control Eng. Pract.*, vol. 45, pp. 12–21, Dec. 2015, doi: 10.1016/j.conengprac.2015.08.005.
 - [16] K. P and K. K. Mahapatra, 'PI and fuzzy logic controllers for shunt active power filter — A report', *ISA Trans.*, vol. 51, no. 1, pp. 163–169, Jan. 2012, doi: 10.1016/j.isatra.2011.09.004.
 - [17] S. Saetieo, R. Devaraj, and D. A. Torrey, 'The design and implementation of a three-phase active power filter based on sliding mode control', *IEEE Trans. Ind. Appl.*, vol. 31, no. 5, pp. 993–1000, Sep. 1995, doi: 10.1109/28.464511.
 - [18] K. Wang, D. Liu, and L. Wang, 'The Implementation of Synergetic Control for a DC-DC Buck-Boost Converter', *Procedia Comput. Sci.*, vol. 199, pp. 900–907, Jan. 2022, doi: 10.1016/j.procs.2022.01.113.
 - [19] C.-H. Liu and M.-Y. Hsiao, 'A finite time synergetic control scheme for robot manipulators', *Comput. Math. Appl.*, vol. 64, no. 5, pp. 1163–1169, Sep. 2012, doi: 10.1016/j.camwa.2012.03.058.
 - [20] E. Santi, A. Monti, D. Li, K. Proddutur, and R. A. Dougal, 'Synergetic control for power electronics applications: a comparison with the sliding mode approach', *J. Circuits Syst. Comput.*, vol. 13, no. 04, pp. 737–760, Aug. 2004, doi: 10.1142/S0218126604001520.
 - [21] H. Benbouhenni and N. Bizon, 'Terminal Synergetic Control for Direct Active and Reactive Powers in Asynchronous Generator-Based Dual-Rotor Wind Power Systems', *Electronics*, vol. 10, no. 16, Art. no. 16, Jan. 2021, doi: 10.3390/electronics10161880.
 - [22] A. J. Humaidi, I. K. Ibraheem, A. T. Azar, and M. E. Sadiq, 'A New Adaptive Synergetic Control Design for Single Link Robot Arm Actuated by Pneumatic Muscles', *Entropy*, vol. 22, no. 7, Art. no. 7, Jul. 2020, doi: 10.3390/e22070723.
 - [23] S. Rajendran, D. Jena, M. Diaz, and J. Rodríguez, 'Terminal Integral Synergetic Control for Wind Turbine at Region II Using a Two-Mass Model', *Processes*, vol. 11, no. 2, Art. no. 2, Feb. 2023, doi: 10.3390/pr11020616.
 - [24] S. Djennoune and M. Bettayeb, 'Optimal synergetic control for fractional-order systems', *Automatica*, vol. 49, no. 7, pp. 2243–2249, Jul. 2013, doi: 10.1016/j.automatica.2013.04.007.
 - [25] F. Ahmadi, Y. Batmani, H. Bevrani, T. Yang, and C. Cui, 'Finite-Time Synergetic Controller Design for DC Microgrids with Constant Power Loads', *IEEE Trans. Smart Grid*, pp. 1–1, 2023, doi: 10.1109/TSG.2023.3237360.
-

- [26] N. Zerroug, M. N. Harmas, S. Benagguene, Z. Bouchama, and K. Zehar, 'DSP-based implementation of fast terminal synergetic control for a DC–DC Buck converter', *J. Frankl. Inst.*, vol. 355, no. 5, pp. 2329–2343, Mar. 2018, doi: 10.1016/j.jfranklin.2018.01.004.
 - [27] E. Santi, A. Monti, D. Li, K. Proddatur, and R. A. Dougal, 'Synergetic control for DC-DC boost converter: implementation options', *IEEE Trans. Ind. Appl.*, vol. 39, no. 6, pp. 1803–1813, Nov. 2003, doi: 10.1109/TIA.2003.818967.
 - [28] N. Mars, F. Grouz, N. Essounbouli, and L. Sbita, 'Synergetic MPPT controller for photovoltaic system', *J Electr Electron Syst*, vol. 6, no. 232, pp. 2332–0796, 2017, doi: 10.4172/2332-0796.1000232.
 - [29] S. Dash, K. R. Subhashini, and J. Satapathy, 'Efficient utilization of power system network through optimal location of FACTS devices using a proposed hybrid meta-heuristic Ant Lion-Moth Flame-Salp Swarm optimization algorithm', *Int. Trans. Electr. Energy Syst.*, vol. 30, no. 7, p. e12402, 2020, doi: 10.1002/2050-7038.12402.
 - [30] R. A. El-Sehiemy and A. Y. Abdelaziz, 'Ant Colony Optimization Algorithm for Electrical Power Systems Applications: A Literature Review', *Appl. Nat.-Inspired Comput. Renew. Energy Syst.*, pp. 37–59, 2022, doi: 10.4018/978-1-7998-8561-0.ch004.
 - [31] A. Gupta and S. Srivastava, 'Comparative Analysis of Ant Colony and Particle Swarm Optimization Algorithms for Distance Optimization', *Procedia Comput. Sci.*, vol. 173, pp. 245–253, Jan. 2020, doi: 10.1016/j.procs.2020.06.029.
 - [32] O. Gherouat, A. Hassam, O. Aissa, and B. Babes, 'Experimental Evaluation of Single-Phase Shunt Active Power Filter Based on Optimized Synergetic Control Strategy for Power Quality Enhancement', *J. Eur. Systèmes Autom.*, vol. 54, no. 4, pp. 649–659, Aug. 2021, doi: 10.18280/jesa.540415.
 - [33] M.-W. Naouar, E. Monmasson, A. A. Naassani, I. Slama-Belkhodja, and N. Patin, 'FPGA-Based Current Controllers for AC Machine Drives—A Review', *IEEE Trans. Ind. Electron.*, vol. 54, no. 4, pp. 1907–1925, Aug. 2007, doi: 10.1109/TIE.2007.898302.
 - [34] A. Monti, E. Santi, R. A. Dougal, and M. Riva, 'Rapid prototyping of digital controls for power electronics', *IEEE Trans. Power Electron.*, vol. 18, no. 3, pp. 915–923, May 2003, doi: 10.1109/TPEL.2003.810864.
 - [35] E. Monmasson and M. N. Cirstea, 'FPGA Design Methodology for Industrial Control Systems—A Review', *IEEE Trans. Ind. Electron.*, vol. 54, no. 4, pp. 1824–1842, Aug. 2007, doi: 10.1109/TIE.2007.898281.
 - [36] E. Guerrero-Ramirez, A. Martinez-Barbosa, M. A. Contreras-Ordaz, and G. Guerrero-Ramirez, 'FPGA-based active disturbance rejection control and maximum power point tracking for a photovoltaic system', *Int. Trans. Electr. Energy Syst.*, vol. 30, no. 7, p. e12398, 2020, doi: 10.1002/2050-7038.12398.
 - [37] H. E. Alami et al., 'FPGA in the Loop Implementation for Observer Sliding Mode Control of DFIG-Generators for Wind Turbines', *Electronics*, vol. 11, no. 1, Art. no. 1, Jan. 2022, doi: 10.3390/electronics11010116.
-

Bibliographie du chapitre 01.

- [1] D. Lineweber et S. McNulty, « The cost of power disturbances to industrial & digital economy companies », Prep. Electr. Power Res. Inst. 98pp Www Onpower CompdfEPRI CostOfPowerProblems Pdf Accessed Oct. 10 2014, 2001.
- [2] R. Targosz et J. Manson, « Pan-European power quality survey », in 2007 9th International Conference on Electrical Power Quality and Utilisation, oct. 2007, p. 1-6. doi: 10.1109/EPQU.2007.4424203.
- [3] S. Sahoo, « Chapter 12 - Recent trends and advances in power quality », in Power Quality in Modern Power Systems, P. Sanjeevikumar, C. Sharmeela, J. B. Holm-Nielsen, et P. Sivaraman, Éd., Academic Press, 2021, p. 337-358. doi: 10.1016/B978-0-12-823346-7.00010-4.
- [4] M. H. J. Bollen, « What is power quality? », Electr. Power Syst. Res., vol. 66, no 1, p. 5-14, juill. 2003, doi: 10.1016/S0378-7796(03)00067-1.
- [5] M. Patel, A. R. Patel, D. Vyas, et K. Patel, « Use of PWM Techniques for Power Quality Improvement », POSTER Pap. Int. J. Recent Trends Eng., vol. 1, p. 99-102, mai 2009.
- [6] A. Moreno-Muñoz, Éd., Power Quality: Mitigation Technologies in a Distributed Environment. in Power Systems. London: Springer London, 2007. doi: 10.1007/978-1-84628-772-5.
- [7] D. A. Torrey et A. M. A. M. Al-Zamel, « Single-phase active power filters for multiple nonlinear loads », IEEE Trans. Power Electron., vol. 10, no 3, p. 263-272, mai 1995, doi: 10.1109/63.387990.
- [8] S. Ramirez, N. Visairo, M. Oliver, C. Nunez, V. Cardenas, et H. Sira-Ramirez, « Harmonic compensation in the AC mains by the use of current and voltage active filters controlled by a passivity-based law », in 7th IEEE International Power Electronics Congress. Technical Proceedings. CIEP 2000 (Cat. No.00TH8529), oct. 2000, p. 87-92. doi: 10.1109/CIEP.2000.891396.
- [9] S. Biricik, S. Redif, O. C. Ozerdem, et M. Basu, « Control of the shunt Active Power Filter under non-ideal grid voltage and unbalanced load conditions », in 2013 48th International Universities' Power Engineering Conference (UPEC), sept. 2013, p. 1-5. doi: 10.1109/UPEC.2013.6715008.
- [10] S. Biricik, S. Redif, Ö. C. Özerdem, S. K. Khadem, et M. Basu, « Real-time control of shunt active power filter under distorted grid voltage and unbalanced load condition using self-tuning filter », IET Power Electron., vol. 7, no 7, p. 1895-1905, 2014, doi: 10.1049/iet-pel.2013.0924.
- [11] S. Biricik, S. Redif, O. C. Ozerdem, et M. Basu, « Control of the shunt Active Power Filter under non-ideal grid voltage and unbalanced load conditions », in 2013 48th International Universities' Power Engineering Conference (UPEC), sept. 2013, p. 1-5. doi: 10.1109/UPEC.2013.6715008.
- [12] S. Asha Kiranmai et A. Jaya Laxmi, « Data mining for classification of power quality problems using WEKA and the effect of attributes on classification accuracy », Prot. Control Mod. Power Syst., vol. 3, no 1, p. 29, oct. 2018, doi: 10.1186/s41601-018-0103-3.

- [13] J. T. Novaković et I. Palinkaš, « SOME ASPECTS OF THE ELECTRICAL POWER QUALITY ».
 - [14] D. Shmilovitz, « On the definition of total harmonic distortion and its effect on measurement interpretation », IEEE Trans. Power Deliv., vol. 20, no 1, p. 526-528, janv. 2005, doi: 10.1109/TPWRD.2004.839744.
 - [15] T. S. Key et J.-S. Lai, « Comparison of standards and power supply design options for limiting harmonic distortion in power systems », IEEE Trans. Ind. Appl., vol. 29, no 4, p. 688-695, juill. 1993, doi: 10.1109/28.231980.
 - [16] A. V. Stankovic et T. A. Lipo, « A novel control method for input output harmonic elimination of the PWM boost type rectifier under unbalanced operating conditions », IEEE Trans. Power Electron., vol. 16, no 5, p. 603-611, sept. 2001, doi: 10.1109/63.949493.
 - [17] M. L. Duc, L. Hlavaty, P. Bilik, et R. Martinek, « Harmonic Mitigation Using Meta-Heuristic Optimization for Shunt Adaptive Power Filters: A Review », Energies, vol. 16, no 10, Art. no 10, janv. 2023, doi: 10.3390/en16103998.
 - [18] L. Cividino, « Power factor, harmonic distortion; causes, effects and considerations », in [Proceedings] Fourteenth International Telecommunications Energy Conference - INTELEC '92, 1992, p. 506-513. doi: 10.1109/INTLEC.1992.268395.
 - [19] A.-C. Liew, « Excessive neutral currents in three-phase fluorescent lighting circuits », IEEE Trans. Ind. Appl., vol. 25, no 4, p. 776-782, juill. 1989, doi: 10.1109/28.31260.
 - [20] M. Etezadi-Amoli et T. Florence, « Power factor and harmonic distortion characteristics of energy efficient lamps », IEEE Trans. Power Deliv., vol. 4, no 3, p. 1965-1969, juill. 1989, doi: 10.1109/61.32696.
 - [21] T. M. Gruz, « A survey of neutral currents in three-phase computer power systems », IEEE Trans. Ind. Appl., vol. 26, no 4, p. 719-725, juill. 1990, doi: 10.1109/28.55999.
 - [22] D. Çelik et H. Ahmed, « Enhanced control of superconducting magnetic energy storage integrated UPQC for power quality improvement in EV charging station », J. Energy Storage, vol. 62, p. 106843, juin 2023, doi: 10.1016/j.est.2023.106843.
 - [23] G. G. Karady, S. H. Berisha, T. Blake, et R. Hobbs, « Power Quality Problems at Electric Vehicle's Charging Station », SAE Trans., vol. 103, p. 252-258, 1994.
 - [24] S. Bhattacharya, T. M. Frank, D. M. Divan, et B. Banerjee, « Active filter system implementation », IEEE Ind. Appl. Mag., vol. 4, no 5, p. 47-63, 1998.
 - [25] R. Langella, A. Testa, et E. Alii, « IEEE recommended practice and requirements for harmonic control in electric power systems », in IEEE Recommended Practice, IEEE, 2014.
 - [26] A. A. Imam, R. Sreerama Kumar, et Y. A. Al-Turki, « Modeling and Simulation of a PI Controlled Shunt Active Power Filter for Power Quality Enhancement Based on P-Q Theory », Electronics, vol. 9, no 4, Art. no 4, avr. 2020, doi: 10.3390/electronics9040637.
 - [27] R. Islam, S. M. S. H. Rafin, et O. A. Mohammed, « Comprehensive Review of Power Electronic Converters in Electric Vehicle Applications », Forecasting, vol. 5, no 1, Art. no 1, mars 2023, doi: 10.3390/forecast5010002.
-

- [28] B. Singh, B. N. Singh, A. Chandra, K. Al-Haddad, A. Pandey, et D. P. Kothari, « A review of single-phase improved power quality AC-DC converters », *IEEE Trans. Ind. Electron.*, vol. 50, no 5, p. 962-981, oct. 2003, doi: 10.1109/TIE.2003.817609.
 - [29] M. Babaei et M. Monfared, « High Step-Down Bridgeless Sepic/Cuk PFC Rectifiers With Improved Efficiency and Reduced Current Stress », *IEEE Trans. Ind. Electron.*, vol. 69, no 10, p. 9984-9991, oct. 2022, doi: 10.1109/TIE.2022.3159954.
 - [30] S.-I. Ho, C.-S. Lam, et M.-C. Wong, « Comparison among PPF, APF, HAPF and a combined system of a shunt HAPF and a shunt thyristor controlled LC », in *TENCON 2015 - 2015 IEEE Region 10 Conference*, nov. 2015, p. 1-6. doi: 10.1109/TENCON.2015.7373058.
 - [31] A. I. Madi, « Shunt PPF Shunt Fuzzy APF based on MMC Compensating Current Harmonics », in *2019 6th International Conference on Advanced Control Circuits and Systems (ACCS) & 2019 5th International Conference on New Paradigms in Electronics & information Technology (PEIT)*, nov. 2019, p. 136-140. doi: 10.1109/ACCS-PEIT48329.2019.9062865.
 - [32] M. Tavakoli Bina et E. Pashajavid, « An efficient procedure to design passive LCL-filters for active power filters », *Electr. Power Syst. Res.*, vol. 79, no 4, p. 606-614, avr. 2009, doi: 10.1016/j.epsr.2008.08.014.
 - [33] Z. M. Ali, F. Q. Alenezi, S. S. Kandil, et S. H. E. Abdel Aleem, « Practical considerations for reactive power sharing approaches among multiple-arm passive filters in non-sinusoidal power systems », *Int. J. Electr. Power Energy Syst.*, vol. 103, p. 660-675, déc. 2018, doi: 10.1016/j.ijepes.2018.06.044.
 - [34] N.-C. Yang et E. W. Adinda, « Matpower-Based Harmonic Power Flow Analysis for Power Systems With Passive Power Filters », *IEEE Access*, vol. 9, p. 167322-167331, 2021, doi: 10.1109/ACCESS.2021.3135496.
 - [35] Z. A. Memon, M. A. Uquaili, et M. A. Unar, « Harmonics Mitigation of Industrial Power System Using Passive Filters ». *arXiv*, 21 mai 2016. doi: 10.48550/arXiv.1605.06684.
 - [36] A. Jacob, B. T. Abraham, N. Prakash, et R. Philip, « A review of active power filters in power system applications », *Int. J. Adv. Res. Electr. Electron. Instrum. Eng.*, vol. 3, no 6, p. 10253-10261, 2014.
 - [37] J. Dixon, Y. del Valle, M. Orchard, M. Ortuzar, L. Moran, et C. Maffrand, « A full compensating system for general loads, based on a combination of thyristor binary compensator, and a PWM-IGBT active power filter », *IEEE Trans. Ind. Electron.*, vol. 50, no 5, p. 982-989, oct. 2003, doi: 10.1109/TIE.2003.817604.
 - [38] S.-G. Jeong et M.-H. Woo, « DSP-based active power filter with predictive current control », *IEEE Trans. Ind. Electron.*, vol. 44, no 3, p. 329-336, juin 1997, doi: 10.1109/41.585830.
 - [39] S. Janpong, K. L. Areerak, et K. N. Areerak, « A literature survey of neural network applications for shunt active power filters », *Int. J. Electr. Comput. Eng.*, vol. 5, no 12, p. 1688-1694, 2011.
 - [40] V. Cascone, M. Galasso, L. Mantica, et M. Oberti, « Design of active filters for dynamic damping of harmonic currents generated by asynchronous drives in modern high power locomotives », in *PESC '92 Record. 23rd Annual IEEE Power Electronics Specialists Conference*, juin 1992, p. 404-410 vol.1. doi: 10.1109/PESC.1992.254852.
-

- [41] A. Jacob, B. T. Abraham, N. Prakash, et R. Philip, « A review of active power filters in power system applications », *Int. J. Adv. Res. Electr. Electron. Instrum. Eng.*, vol. 3, no 6, p. 10253-10261, 2014.
 - [42] M. El-Habrouk, M. K. Darwish, et P. Mehta, « Active power filters: A review », *IEE Proc.-Electr. Power Appl.*, vol. 147, no 5, p. 403-413, 2000.
 - [43] Z. Salam, P. C. Tan, et A. Jusoh, « Harmonics mitigation using active power filter: A technological review », *Elektr. J. Electr. Eng.*, vol. 8, no 2, p. 17-26, 2006.
 - [44] S. Wu, J. Wang, R. Huang, et D. Guo, « Harmonic Current Detection and Simulation with Active Power Filter Based on Simulink », in *2011 Fourth International Conference on Intelligent Computation Technology and Automation*, mars 2011, p. 807-809. doi: 10.1109/ICICTA.2011.209.
 - [45] M. F. Shousha, S. A. Zaid, et O. A. Mahgoub, « A comparative study on four time-domain harmonic detection methods for active power filters serving in distorted supply », in *International MultiConference of Engineers and Computer Scientists IMECS*, 2011.
 - [46] S. Janpong, K. L. Areerak, et K. N. Areerak, « A literature survey of neural network applications for shunt active power filters », *Int. J. Electr. Comput. Eng.*, vol. 5, no 12, p. 1688-1694, 2011.
 - [47] S. Sujitjorn, K.-L. Areerak, et T. Kulworawanichpong, « The DQ Axis With Fourier (DQF) Method for Harmonic Identification », *IEEE Trans. Power Deliv.*, vol. 22, no 1, p. 737-739, janv. 2007, doi: 10.1109/TPWRD.2006.882465.
 - [48] C. L. Chen, C. E. Lin, et C. L. Huang, « Reactive and harmonic current compensation for unbalanced three-phase systems using the synchronous detection method », *Electr. Power Syst. Res.*, vol. 26, no 3, p. 163-170, avr. 1993, doi: 10.1016/0378-7796(93)90009-4.
 - [49] G. Bhuvaneswari, M. G. Nair, et S. K. Reddy, « Comparison of Synchronous Detection and I. Cos ϕ Shunt Active Filtering Algorithms », in *2006 International Conference on Power Electronic, Drives and Energy Systems*, déc. 2006, p. 1-5. doi: 10.1109/PEDES.2006.344229.
 - [50] T. D. Rachmildha, « Optimized Combined System of Shunt Active Power Filters and Capacitor Banks », *Int. J. Electr. Eng. Inform.*, vol. 3, no 3, p. 326, 2011.
 - [51] P. Karuppanan, S. K. Ram, et K. Mahapatra, « Three level hysteresis current controller based active power filter for harmonic compensation », in *2011 International Conference on Emerging Trends in Electrical and Computer Technology*, mars 2011, p. 407-412. doi: 10.1109/ICETECT.2011.5760151.
 - [52] T. A. Kasmieh et H. S. Omran, « Active power filter dimensioning using a hysteresis current controller », *resonance*, vol. 1, no 2, 2009.
 - [53] S. Buso, L. Malesani, et P. Mattavelli, « Comparison of current control techniques for active filter applications », *IEEE Trans. Ind. Electron.*, vol. 45, no 5, p. 722-729, oct. 1998, doi: 10.1109/41.720328.
 - [54] J. Chelladurai, G. S. Ilango, C. Nagamani, et S. S. Kumar, « Investigation of various PWM techniques for shunt active filter », *World Acad. Sci. Eng. Technol.*, vol. 39, p. 192-198, 2008.
-

- [55] A. M. Massoud, S. J. Finney, et B. W. Williams, « Predictive current control of a shunt active power filter », in 2004 IEEE 35th Annual Power Electronics Specialists Conference (IEEE Cat. No.04CH37551), juin 2004, p. 3567-3572 Vol.5. doi: 10.1109/PESC.2004.1355106.
- [56] H. Qiu, Y. Zhongdong, L. Qiao, et S. Renzhong, « A Direct Current Control of Shunt Active Power Filter », in 2009 International Conference on Energy and Environment Technology, oct. 2009, p. 7-10. doi: 10.1109/ICEET.2009.238.
- [57] H. Akagi, « Trends in active power line conditioners », IEEE Trans. Power Electron., vol. 9, no 3, p. 263-268, mai 1994, doi: 10.1109/63.311258.

CHAPITRE II. METHODOLOGIE DE DEVELOPPEMENT D'UNE COMMANDE AVANCEE.

II.1. Introduction :

Dans ce chapitre, un modèle dynamique du FAPS sera développé. Nous proposons une commande synergique robuste pour une commande optimale du FAPS dans un environnement complexe. La technique de commande synergique (CS) proposée assure la stabilité asymptotique et la robustesse du système commandé [1] [2] [3] [4] [5] [6]. L'analyse de stabilité de la méthode proposée est formellement établie en utilisant la méthode directe de Lyapunov.

Ce chapitre concerne la présentation de la théorie de la commande synergétique, son principe, sa méthode de conception de régulation des systèmes dynamiques, le choix de l'équation fonctionnelle optimale associée. Puis, les détails de calcul des expressions des régulateurs synergétiques. Nous présentons ensuite, la méthode méta-heuristique évolutionnaire basée sur la représentation graphique, appelé l'algorithme d'optimisation par colonie de fourmis (ACO).

II.2. Électroniques de puissance :

La science et la technologie de l'électronique de puissance sont des domaines assez complexes, nécessitant une connaissance approfondie de domaines connexes. Cela inclut des domaines tels que les systèmes électriques, les appareils électriques, le traitement du signal, la commande analogique et numérique, la compatibilité électromagnétique, l'électronique des semi-conducteurs, la conception de logiciels embarqués, la théorie des circuits, la simulation de circuits, la conception thermique, la modélisation mathématique etc.

Ces aspects sont illustrés par la Figure 2.1. Afin de produire des dispositifs d'électronique de puissance fonctionnant correctement, tous ces aspects doivent être pris en compte. Souvent, l'omission d'un de ces facteurs entraîne un dysfonctionnement du système. Cela s'explique par le fait qu'un système d'électronique de puissance convertit de l'énergie et que toute erreur se manifeste par une dissipation d'énergie, ce qui peut entraîner la perturbation ou la destruction des composants [7].

L'électronique de puissance, que l'on devrait d'ailleurs nommer " électronique de conversion d'énergie " a moins de 50 ans. Elle a connu un tel essor qu'aujourd'hui près de 15 % de l'énergie électrique produite est convertie sous une forme ou une autre. Au cours de ces années la taille, le poids et le coût des convertisseurs n'ont fait que diminuer, en grande partie grâce aux progrès fait dans le domaine des interrupteurs électroniques.

Elle comprend l'étude, la réalisation, la maintenance :

- Des composants électroniques utilisés en forte puissance.
- Des structures des convertisseurs.
- De la commande de ces convertisseurs.
- Des applications industrielles de ces convertisseurs.

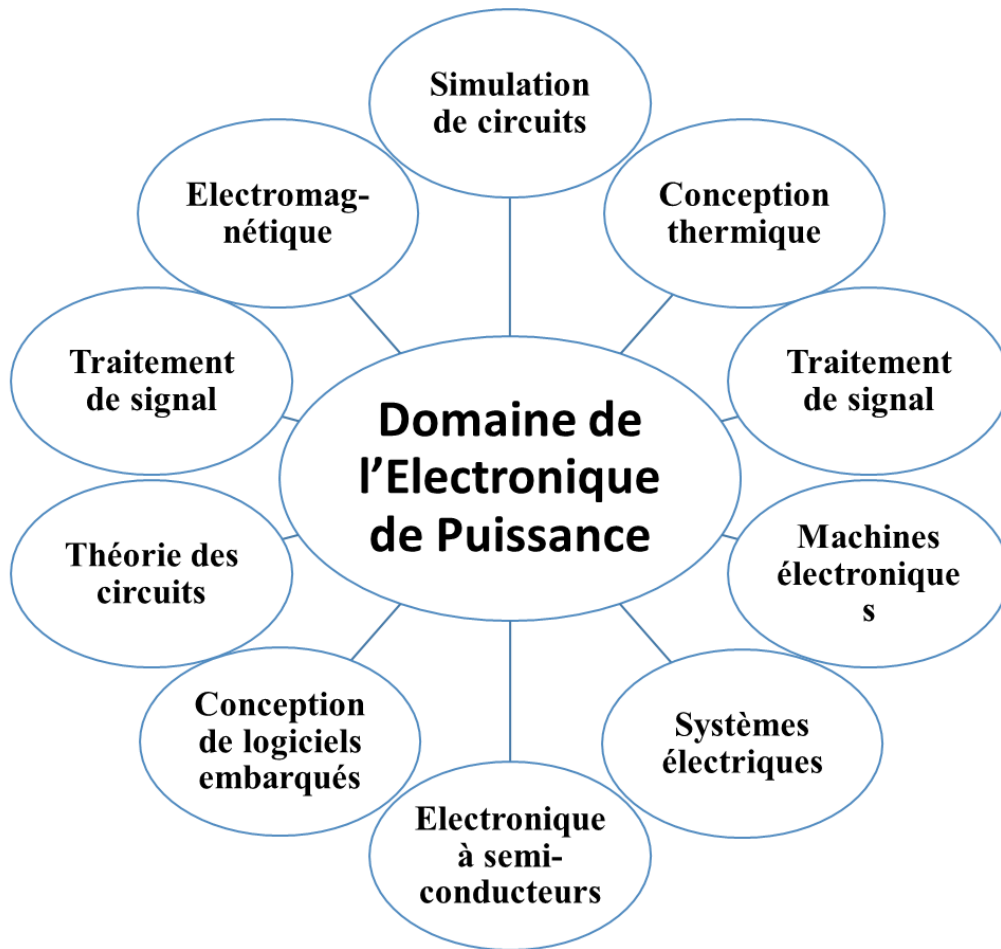


Figure 2.1. La nature multidisciplinaire des circuits électroniques de puissance.

II.3. Description du FAPS :

La Figure 2.2 montre la configuration générale du circuit d'un filtre actif shunt (FAPS) à base d'onduleur de tension et illustre ses quatre principaux algorithmes de commande [8]. En général, un FAPS est connecté à un système d'alimentation électrique pollué par des harmoniques au niveau du point de couplage commun (PCC), entre l'alimentation électrique et une charge générant des harmoniques.

La structure d'un FAPS se compose de deux éléments principaux, à savoir un onduleur de tension à deux niveaux standard et la commande. Le contrôleur comprend quatre principaux algorithmes de commande :

- (1) extraction d'harmoniques (également appelée génération de courant de référence) ;
- (2) régulation de la tension du condensateur en courant continu ;
- (3) commande du courant (appelé également commutation) ;
- (4) algorithmes de synchronisation.

Dans les FAPS, la tension continue du condensateur de stockage d'énergie doit être supérieure à la tension maximale de la ligne. Généralement pour un bon fonctionnement du

filtre actif, indépendamment des conditions de fonctionnement, la tension du condensateur (DC link) doit être 1,5 fois celle de la tension maximale de la ligne [34].

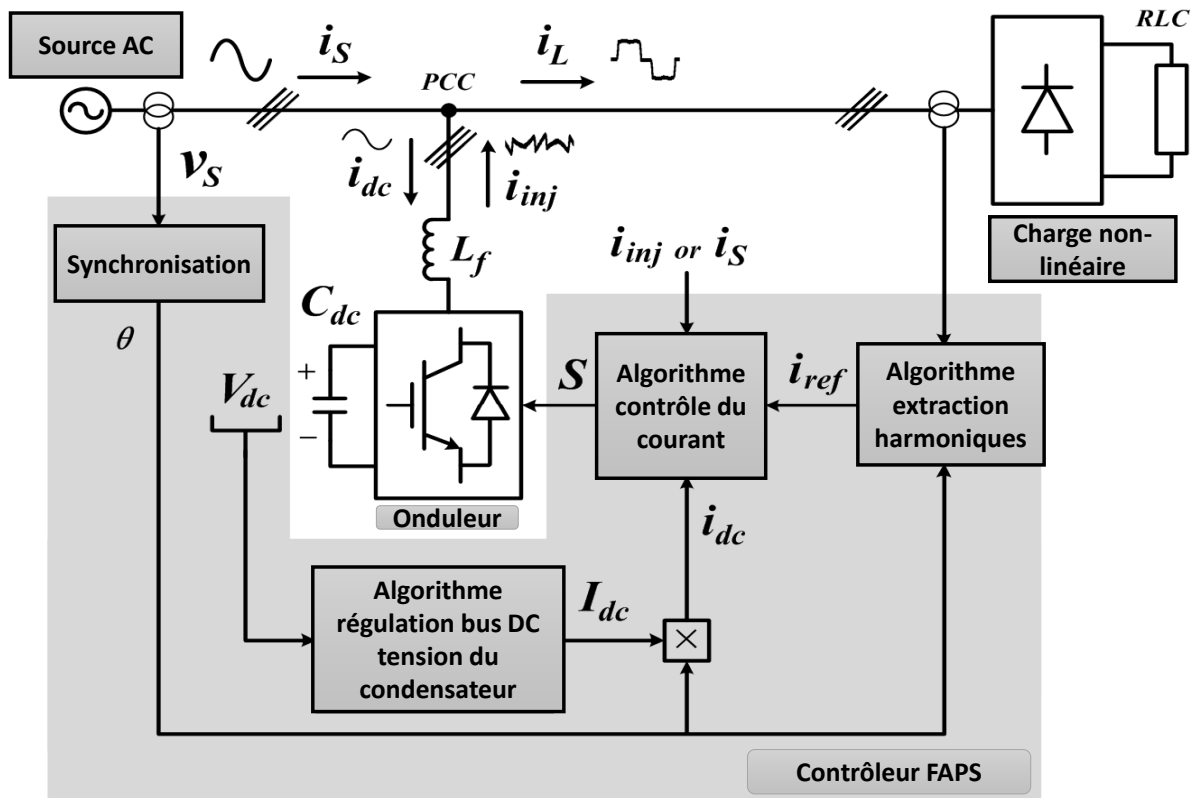


Figure 2.2. Circuit typique d'un FAPS à base onduleur avec sa commande.

Le fonctionnement de chaque élément de la Figure 2.2 est défini comme suit :

(1) **Algorithme d'extraction d'harmoniques.** Cet algorithme de commande fonctionne en prenant d'abord le courant de charge déformé i_L provenant du système électrique pollué par les harmoniques, suivi de l'isolation des composantes de courant harmonique et fondamental, et se termine par la génération d'un signal de courant de référence i_{ref} . Le courant de référence ainsi généré est utilisé pour régir le fonctionnement du FAPS afin de réduire la distorsion harmonique. Étant donné que son objectif principal est de générer un courant de référence, il est également connu sous le nom d'algorithme de génération de courant de référence.

(2) **Algorithme de régulation de la tension du condensateur DC-Link.** L'algorithme prend la tension instantanée du condensateur DC-link V_{dc} et la compare à une valeur de référence souhaitée. L'erreur résultante est utilisée pour estimer l'amplitude appropriée I_{dc} du courant instantané de charge du condensateur i_{dc} . L' I_{dc} estimé correspond à la quantité de i_{dc} nécessaire à être prélevée par le FAPS pour réguler ses pertes de commutation afin de maintenir constamment la tension du condensateur DC-link V_{dc} à la valeur de référence souhaitée.

(3) **Algorithme de commande de courant** Il s'agit de l'algorithme qui prend les sorties des algorithmes d'extraction harmoniques et de régulation de la tension DC-link pour générer des impulsions de commutation S nécessaires au fonctionnement de l'onduleur en tant que

FAPS. Il se compose d'un modulateur de largeur d'impulsion pour générer les impulsions de commutation S souhaitées et d'une boucle de commande de courant locale qui garantit que le courant d'injection i_{inj} suit le courant de référence i_{ref} .

(4) **Algorithme de synchronisation.** Cet algorithme (généralement développé selon des techniques de boucle à verrouillage de phase (PLL) prend le signal de tension source v_s et génère l'angle de déphasage pour la synchronisation, de sorte que le courant injecté i_{inj} par le FAPS dans le système électrique en fonctionnement soit correctement synchronisé avec la tension de source. Il convient de noter que certaines commandes de FAPS ne nécessitent pas d'algorithmes de synchronisation explicites.

(5) **Onduleur de Tension.** Il s'agit d'un convertisseur de puissance qui est systématiquement commandé pour reproduire le courant de référence i_{ref} en tant que courant d'injection i_{inj} , avec l'amplitude appropriée. Il est équipé d'un condensateur DC-link (élément de stockage d'énergie) pour compenser le déséquilibre de puissance réelle qui se produit pendant le fonctionnement dynamique du FAPS, ainsi que d'une bobine de filtrage pour minimiser les ondulations du courant d'injection i_{inj} .

(6) **Charge polluante.** Il s'agit d'une charge non linéaire qui injecte un courant harmonique dans un système électrique en fonctionnement via le point PCC. Les alimentations à découpage, les fours à arc, les variateurs à vitesse variable et les redresseurs sont quelques exemples de charges pratiques qui génèrent des quantités importantes de courants harmoniques et de puissance réactive dans le système électrique. Cependant, lors des simulations et des évaluations en laboratoire, un redresseur en pont de diodes est le plus couramment utilisé, car il entraîne une distorsion de courant absorbé [9] [10] [11]. Il convient de noter que la sortie du redresseur en pont est normalement branchée à trois types de charges : (1) une résistance R et une inductance L connectées en série (simplement appelée charge inductive) ; (2) une résistance R et un condensateur C connectés en parallèle (simplement appelée charge capacitive) ; et (3) une seule résistance R (simplement appelée charge résistive).

II.3.1 Modélisation du système à base de FAPS :

Le système de commande peut être divisé en deux parties distinctes, à savoir le système de commande du courant qui garantit le suivi précis du courant de référence, et le régulateur de tension continue (DC) pour atteindre l'équilibre de puissance entre le côté DC et le côté AC en régulant la tension DC à sa valeur de référence. Le circuit principal, qui est composé de dispositifs de commutation de puissance, génère des courants de compensation en fonction du signaux de commande provenant du système de commande.

La figure 2.3 montre le circuit du FAPS mentionné dans [12]. Le système global est constitué d'un onduleur de tension triphasé formant le FAPS, branché en parallèle au réseau électrique en un point de couplage commun (PCC) entre une source de tension triphasée, et un redresseur triphasé comme charge non linéaire.

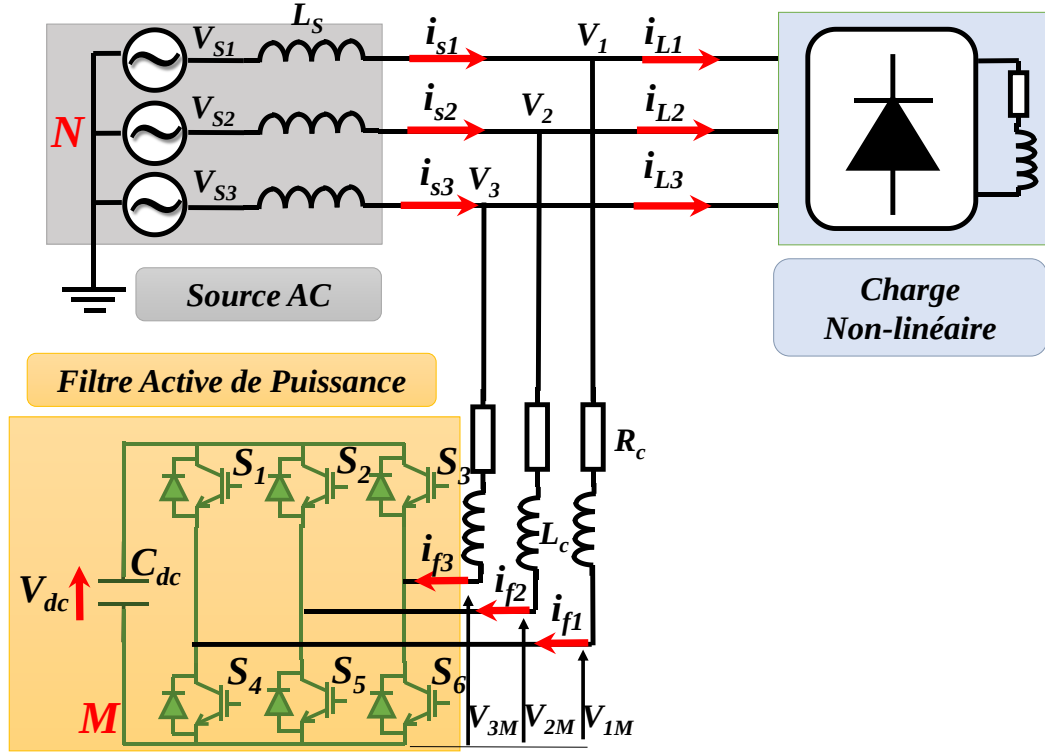


Figure 2.3. circuit électrique du FAPS [12].

En appliquant les lois de Kirchhoff au circuit électrique du FAPS, on obtient le modèle dynamique du FAPS [13], qui s'exprime par l'équation 2.1.

$$V_k = L_c \frac{di_{fk}}{dt} + R_c i_{fk} + V_{kM} + V_{MN} \quad \text{avec } k=1,2,3 \quad (2.1)$$

L'inductance L_c et la résistance R_c sont les paramètres du FAPS.

En supposant une tension d'alimentation alternative équilibrée et en additionnant les termes de l'équation 2.1, pour $k = 1,2,3$, en l'absence de séquence zéro, nous obtenons.

$$V_{MN} = -\frac{1}{3} \sum_{m=1}^3 V_{mM} \quad (2.2)$$

L'état de fonctionnement de l'IGBT est indiqué dans la fonction de commutation c_k comme suit :

$$\begin{cases} 1 & \text{si } S_K \text{ est activé} \\ 0 & \text{si } S_K \text{ est désactivé} \end{cases} \quad \text{et } S_{K+3} \begin{cases} \text{est désactivé} \\ \text{est activé} \end{cases} \quad \text{avec } k=1,2,3 \quad (2.3)$$

Vu que $V_{mM} = c_m V_{dc}$, l'équation 2.1 peut être ré-écrite comme l'équation 2.4.

$$\frac{di_{fk}}{dt} = -\frac{R_c}{L_c} i_{fk} + \frac{v_k}{L_c} + \frac{v_k}{L_c} - \frac{v_{dc}}{L_c} \left(c_k - \frac{1}{3} \sum_{m=1}^3 c_m \right) \quad \text{avec } k=1,2,3 \quad (2.4)$$

Ensuite, nous définissons la fonction d'état de commutation d_{nk} comme indiqué dans l'équation 2.5.

$$d_{nk} = \left(c_k - \frac{1}{3} \sum_{m=1}^3 c_m \right)_n \quad (2.5)$$

En utilisant l'équation 2.5 et en tenant compte des 8 états de commutation possibles de l'onduleur, l'équation 2.6 est déduite.

$$\begin{bmatrix} d_{n1} \\ d_{n2} \\ d_{n3} \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} c_1 \\ c_2 \\ c_3 \end{bmatrix} \quad (2.6)$$

Notons que l'équation 2.4 peut être exprimée sous la forme de l'équation 2.7.

$$\frac{di_{fk}}{dt} = -\frac{R_c}{L_c} i_{fk} + \frac{v_k}{L_c} - \frac{v_{dc}}{L_c} d_{nk} \quad \text{avec } k=1,2,3 \quad (2.7)$$

De plus, les variables d'état sont définies dans l'équation 2.8.

$$\begin{cases} x_1 = i_{fk} \\ x_2 = \dot{x}_1 = \dot{i}_{fk} \end{cases} \quad (2.8)$$

L'équation 2.9 donne la dérivée de X_2 .

$$\begin{aligned} \dot{x}_2 &= \frac{d \left(-\frac{R_c}{L_c} i_{fk} + \frac{v_k}{L_c} - \frac{v_{dc}}{L_c} d_{nk} \right)}{dt} \\ &= -\frac{R_c}{L_c} \frac{di_{fk}}{dt} + \frac{1}{L_c} \frac{dv_k}{dt} - \frac{1}{L_c} \frac{dv_{dc}}{dt} d_{nk} \\ &= -\frac{R_c}{L_c} \left(-\frac{R_c}{L_c} i_{fk} + \frac{v_k}{L_c} - \frac{v_{dc}}{L_c} d_{nk} \right) + \frac{1}{L_c} \frac{dv_k}{dt} - \frac{1}{L_c} \frac{dv_{dc}}{dt} d_{nk} \\ &= \frac{R_c^2}{L_c^2} i_{fk} - \frac{R_c}{L_c^2} v_k + \frac{1}{L_c} \frac{dv_k}{dt} + \left(\frac{R_c}{L_c^2} v_{dc} - \frac{1}{L_c} \frac{dv_{dc}}{dt} \right) d_{nk} \end{aligned} \quad (2.9)$$

Enfin, le modèle dynamique est indiqué dans l'équation 2.10.

$$\begin{cases} \dot{x}_1 = x_2 \\ \dot{x}_2 = f(x) + g(x)u \end{cases} \quad (2.10)$$

Avec :

$$f(x) = \frac{R_c^2}{L_c^2} i_{fk} - \frac{R_c}{L_c^2} v_k + \frac{1}{L_c} \frac{dv_k}{dt}, g(x) = \frac{R_c}{L_c^2} v_{dc} - \frac{1}{L_c} \frac{dv_{dc}}{dt}, u = d_{nk} \quad (2.11)$$

II.4. Notion de système :

Les objets d'étude en théorie de la commande sont les systèmes (linéaires et non linéaires). Un système est un ensemble d'éléments reliés entre eux par des liens d'information à l'intérieur de certaines limites définies du système. La théorie de la commande a fait d'importants progrès, grâce à de nouvelles techniques mathématiques (théorie synergétique, MPC...) ainsi que des avancées en électronique de puissance (IGBT, FAPS...) et en informatique embarquée, software et hardware (linux, android, python... ,Prcessor ARM, DSP, circuits FPGAs), ce qui permet de commander des systèmes dynamiques beaucoup plus complexes.

Les lois de commande conventionnelles donnent de bons résultats dans le cas des systèmes linéaires à paramètres fixes. Contrairement aux systèmes non linéaires ou à paramètres non stationnaires, les résultats de ces lois de commande classiques peuvent être non satisfaisantes car elles ne sont pas robustes, surtout lorsque les exigences en termes de précision et d'autres propriétés dynamiques du système sont strictes. Il est nécessaire d'exiger des lois de commande qui soient insensibles aux changements de paramètres dus aux perturbations et aux non-linéarités. Des solutions de commande robustes telles que la technique de backstepping [14] et les commandes robustes à matrices linéaires inégales (LMI) [15] [16], la commande par mode de glissement (Sliding Mode Control, SMC) [17] [18], ont été conçues pour commande de tels systèmes.

Une autre solution de commande pour les systèmes non linéaires incertains est la Commande Synergétique. En effet, la CS est bien connue pour sa robustesse vis à vis perturbations et incertitudes. Elle est également reconnue pour sa convergence en temps fini et sa relative simplicité d'implémentation.

Plusieurs applications dans les systèmes de puissance, où la technique CS est utilisée pour garantir la stabilité de la tension du bus continu DC des micro-réseaux DC avec des charges de puissance constante (CPLs) [19] ; et certaines applications sont dirigées vers la commande des convertisseurs DC-DC Buck-Boost [5] et les résultats sont comparés aux commandes synergétiques classiques et aux régulateurs PI. Pour le cas du convertisseur DC-DC Boost, les options de mise en œuvre sont détaillées dans [20]. La CS est utilisée comme

solution pour assurer la stabilité du système PV avec une réponse dynamique rapide de la commande MPPT pour le système PV [21].

II.5. Théorie de la commande synergétique :

La synergétique (du grec : "travailler pour un but commun")¹ est un domaine interdisciplinaire de recherche initié par Hermann Haken en 1969 [22] [23] [24]. La synergétique traite des systèmes matériels ou immatériels, composés en général de nombreuses parties individuelles [25]. Elle se concentre sur l'émergence spontanée, c'est-à-dire auto-organisée, de nouvelles entités qui peuvent être des structures, des processus ou des fonctions.

La question fondamentale abordée par la synergétique est la suivante : existe-t-il des principes généraux d'auto-organisation indépendamment de la nature des parties individuelles d'un système ?

Malgré la grande variété des parties individuelles, qui peuvent être des atomes, des molécules, des neurones (cellules nerveuses), voire des individus dans une société, cette question pourrait être répondue positivement pour de grandes classes de systèmes, à condition que l'attention soit portée sur les changements qualitatifs à des échelles macroscopiques. Ici, "échelles macroscopiques" signifie des échelles spatiales et temporelles qui sont larges par rapport à celles des éléments.

D'un autre côté, la synergétique peut prendre place entre les différentes parties d'un système, entre des systèmes ou même entre des disciplines scientifiques. Sa caractéristique principale réside dans la forte liaison entre l'expérience et la théorie, ce qui a été prouvé par plusieurs travaux de recherches et laboratoires.

II.5.1. Présentation de la théorie de la commande synergétique

La théorie de la commande synergétique est une nouvelle tendance dans le domaine de la commande des différents processus dans divers domaines d'application, laquelle est basée sur les principes d'auto-organisation orientée et sur l'utilisation des propriétés dynamiques des systèmes non-linéaires.

Les principes de base de la théorie de ce type de commande sont comme suit :

1- Les conditions de la réalisation ou de développement sont présentées sous forme d'un ensemble d'invariants (techniques de puissance, électromagnétique, etc.) qui décrivent les modes de fonctionnement désirés des objets à commander.

2- Les attracteurs artificiels des manifolds invariants sont formés dans l'espace d'état du système. Sur ces attracteurs, on garantit des qualités dynamiques et statiques désirées de fonctionnement. De plus, la formation des attracteurs est la réflexion d'un processus d'auto-organisation orienté.

¹ La **synergie** (du grec *syn* (*sun*) signifiant « avec » et *ergazomai* signifiant « je travaille », *ergasia* signifiant « le travail »). [Émile Littré](#), au XIX^e siècle,

3- Le principe dominant de la méthode synergétique de synthèse des commandes, correspond au principe de la compression- décompression de l'espace de phase de système à commander et cela, par l'imposition des manifolds (figure 2.4).

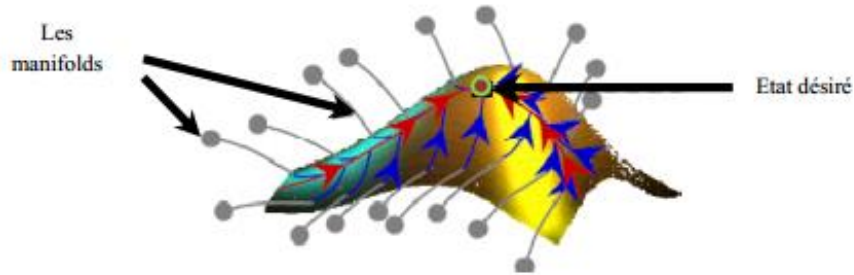


Figure 2.4. L'orientation vers l'état désiré du système.

II.5.2. Conception de la loi de commande synergétique :

Supposons que le système à commander est décrit par un ensemble d'équations non linéaires équation (2.12). La procédure de base de la synthèse de CS pour le modèle est présentée ci-dessous.

$$\begin{cases} \dot{x} = f(x, t) + g(x, t)u \\ y = h(x, t) \end{cases} \quad (2.12)$$

$x \in X \subset \mathbb{R}^n$ est le vecteur d'état, $u \in U \subset \mathbb{R}$ l'entrée de commande (X et U étant respectivement des sous-ensembles bornés de $\mathbb{R}^n$ et $\mathbb{R}$), f et g et des fonctions suffisamment monotones, et y la fonction de sortie (suffisamment monotone).

L'objectif de la commande est de contraindre la sortie y à suivre une trajectoire de référence suffisamment différentiable $y_{ref}(t)$, c'est-à-dire de forcer l'erreur $e_y = y - y_{ref}(t)$ de égale à "0" malgré les incertitudes et les perturbations.

La méthode de Conception Analytique de Régulateurs Agrégés (ADAR) [26] est appliquée pour concevoir la commande synergétique. La procédure commence par décrire le système donné sous forme de l'équation 2.13.

$$\dot{x} = f(x, u, t) \quad (2.13)$$

x : vecteur d'état, u : vecteur d'entrée de la commande.

L'élaboration d'une commande synergétique est complètement analytique et peut être résumée dans les trois étapes suivantes :

II.5.2.1. Choix de la macro-variable :

Afin de synthétiser la commande par la méthode ADAR, le choix de la fonction des variables d'état du système (macro-variable) est **la première étape de la conception** de la synthèse de la commande, comme illustré dans l'équation (2.14).

$$\psi = \psi(x, t) \quad (2.14)$$

Théoriquement, la macro-variable peut être sélectionnée conformément aux spécifications de commande et des contraintes de commande, selon les objectifs désirés et des performances souhaités. Par exemple, pour réguler ou stabiliser la sortie du système. La manière dont la macro-variable est définie ou formulée détermine le comportement du système une fois qu'il atteint le manifold. Elle est choisie comme une certaine combinaison des variables d'état du système.

L'objectif de la commande synergétique est de piloter le système afin de fonctionner dans l'intersection des manifolds (intersection de tous les $\psi = 0$), donc la commande commence par forcer le système à fonctionner sur le plan $\psi = 0$.

II.5.2.2. Evolution dynamique de macro-variable :

Les caractéristiques de la macro-variable en fonction des performances et des spécifications de la commande peuvent être sélectionnées par le concepteur. De plus, l'évolution dynamique souhaitée de la macro-variable est généralement choisie par l'équation différentielle suivante (2.15).

$$T\dot{\psi} + \psi = 0, T > 0 \quad (2.15)$$

T est une constante positive à imposer par le concepteur, qui spécifie le temps nécessaire pour que les macro-variables convergent vers zéro et reflète donc la vitesse à laquelle les variables d'état se déplacent vers le *manifold*, sa valeur est optimisée par un algorithme de colonies de fourmis (ACO).

Il a été démontré dans [27], que l'équation 2.15 est une solution optimale du problème dont la fonction objectif est donnée par l'équation 2.19.

Le concepteur choisit la vitesse de convergence vers le point d'équilibre cible. L'équation (2.16) est donnée par la règle en chaîne de différenciation comme suit :

$$\dot{\psi} = \frac{d\psi}{dt} \dot{x} \quad (2.16)$$

Selon la définition du système donnée en équation 2.13, en remplaçant la macro-variable de l'équation (2.16) dans l'équation (2.15), cela conduit à :

$$T \frac{\partial \psi(x, t)}{\partial x} f(x, U_{sc}, t) + \psi(x, t) = 0 \quad (2.17)$$

Par conséquent, en définissant une macro-variable appropriée et en choisissant le paramètre T , la sortie de commande peut être déduite de l'équation (2.17).

II.5.2.3. Extraction de loi de commande :

La loi de la commande synergétique proposée peut être trouvée en résolvant l'équation (2.17) comme suit.

$$U_{sc} = U_d(x, t, \psi(x, t), T) \quad (2.18)$$

D'après l'équation 2.18, on peut observer que la commande dépend non seulement des variables d'état du système, mais aussi de la macro-variable choisie et de la constante de temps T choisie. En d'autres termes, le concepteur peut choisir les caractéristiques de la commande en sélectionnant une macro-variable appropriée et une constante de temps spécifique T . Lors de la synthèse de la commande, chaque domaine introduit une nouvelle contrainte sur le champ de l'espace des états et réduit l'ordre du système d'un degré, tout en progressant vers la stabilité globale.

Dans la synthèse de la commande synergétique présentée ci-dessus, il est clair que la commande synergétique fonctionne pour un système non linéaire et qu'une linéarisation ou une simplification du modèle n'est pas nécessaire comme dans l'application des théories de commande traditionnelles.

Grâce au choix approprié des macro-variables, le concepteur peut obtenir les caractéristiques intéressantes suivantes pour la forme finale du système [28]:

- ✓ Stabilité globale du système.
- ✓ Invariance aux changements de paramètres.
- ✓ Réduction du bruit.

Il est intéressant de noter que la loi de commande synergétique garantit la stabilité globale sur le domaine sélectionné. Cela signifie qu'une fois que l'hypersurface est atteinte, le système ne doit pas en sortir, même en cas de variations assez importantes des paramètres. Cette propriété d'invariance aux perturbations est valable pour la technique de commande par mode glissant lors du glissement des trajectoires sur la surface de glissement.

II.5.3. Commande synergétique discrète :

Il n'y a pas de manière unique de construire un manifold. La manière dont le manifold est construit dépend du type de problème (régulation ou suivi) et détermine la qualité des performances de la commande.

L'équation 2.17 permet de synthétiser la loi de commande u . La synthèse de la commande synergétique, donnée par l'équation 2.11, commence par la sélection de l'erreur de suivi (tracking error). La macro-variable est donnée dans les équations 2.19 pour $\lambda > 0$.

$$\begin{aligned}
 e_{i_{fk}} &= (x_2 - x_2^*) \\
 \psi &= e_{i_{fk}} + \lambda \int e_{i_{fk}} d(t) = (x_2 - x_2^*) + \lambda \int (x_2 - x_2^*) d(t) \\
 \dot{\psi} &= \dot{e}_{i_{fk}} + \lambda e_{i_{fk}}
 \end{aligned} \tag{2.19}$$

L'introduction de la macro-variable dans l'équation 2.15 donne.

$$\dot{\psi} = -\frac{\psi}{T} = (\dot{x}_2 - \dot{x}_2^*) + \lambda(x_2 - x_2^*) \tag{2.20}$$

Puis en combinant les équations 2.10 (du modèle dynamique) et 2.20, la loi de commande résultante u s'exprime par l'équation 2.23.

$$\dot{\psi} = \lambda(x_2 - x_2^*) + \left[f(x) + g(x)u - \dot{x}_2^* \right] \tag{2.21}$$

$$u = \left[(\dot{x}_2^* - \lambda(x_2 - x_2^*) - \frac{\psi}{T} - f(x)) \right] \frac{1}{g(x)} \tag{2.22}$$

$$u_{SC} = u = \left[\dot{x}_2^* - \lambda(x_2 - x_2^*) - \frac{\psi}{T} - \frac{R_c^2}{L_c^2} i_{fk} + \frac{R_c}{L_c} v_k - \frac{1}{L_c} \frac{dv_k}{dt} \right] \frac{1}{\frac{R_c}{L_c^2} v_{dc} - \frac{1}{L_c} \frac{dv_{dc}}{dt}} \tag{2.23}$$

II.5.4. La stabilité de la commande synergétique :

II.5.4.1 Méthodes directes de Lyapunov

Durant les deux dernières décennies, les méthodes énergétiques directes ont suscité l'intérêt de plusieurs chercheurs. A.M. Lyapunov a développé une structure générale pour l'évaluation de la stabilité d'un système régit par un ensemble d'équations différentielles afin d'obtenir une évaluation plus rapide. L'idée de base des nouvelles méthodes développées est de pouvoir conclure sur la stabilité ou l'instabilité du réseau d'énergie sans résoudre le système d'équations différentielles régissant le système après l'élimination du défaut. Elles utilisent un raisonnement physique simple basé sur l'évaluation des énergies cinétique et potentiel du système [29] [30]. La dynamique du réseau d'énergie électrique est décrite par un système d'équations différentielles non linéaires de la forme suivante :

$$\frac{dx}{dt} = f(x, u) \tag{2.24}$$

Avec : vecteur des variables d'état du système.

u : vecteur des paramètres du système.

Soit une trajectoire X_s , on dit que X_s est un point d'équilibre du système si $f(X_s, U) = 0$. Le théorème de stabilité de Lyapunov stipule que le point d'équilibre (origine) X_s est stable si dans un certain voisinage Ω de l'origine X_s , il existe une fonction réelle scalaire (fonction de Lyapunov) $V(x)$ telle que :

$$\begin{aligned} V(X_s) &= 0 \\ V(X) &> 0 \text{ pour tout } X \text{ dans } \Omega \\ \frac{d}{dt}V(X) &< 0 \text{ dans } \Omega \end{aligned} \quad (2.25)$$

La troisième condition exprime que la fonction $V(x)$ diminue avec le temps et tend vers sa valeur minimale (le point d'équilibre du système X_s). Plus la valeur est négative, plus rapide est le retour du système vers X_s (amortissement des oscillations plus rapide). Contrairement à l'approche temporelle, les méthodes directes cherchent à déterminer directement la stabilité du réseau à partir des fonctions d'énergie. Ces méthodes déterminent en principe si oui ou non le système restera stable une fois le défaut éliminé en comparant l'énergie du système (lorsque le défaut est éliminé) à une valeur critique d'énergie prédéterminée.

Pour assurer la stabilité, la fonction candidate de Lyapunov suivante est utilisée.

$$V = \frac{1}{2}\psi^2 \quad (2.26)$$

La dérivée de V est :

$$\dot{V} = \psi\dot{\psi} \quad (2.27)$$

La substitution de l'équation 2.21 dans l'équation 2.27 donne l'expression donnée par l'équation 2.26.

$$\dot{V} = \psi\dot{\psi} = \psi \left[\lambda(x_2 - x_2^*) + \left[f(x) + g(x)u - \dot{x}_2^* \right] \right] \quad (2.28)$$

En substituant l'équation 2.22 dans 2.28, l'équation 2.29 est obtenue.

$$\begin{aligned} \dot{V} = \psi\dot{\psi} &= \psi \left[\lambda(x_2 - x_2^*) + \left[f(x) + g(x) \frac{1}{g(x)} [(\dot{x}_2^* - \lambda(x_2 - x_2^*) - \frac{\psi}{T} - f(x))] - \dot{x}_2^* \right] \right] \\ \dot{V} &= \psi \left(-\frac{\psi}{T} \right) = -\frac{1}{T} [\psi]^2 \quad T > 0 \Rightarrow \dot{V} < 0 \end{aligned} \quad (2.29)$$

La condition $\dot{V} < 0$ est confirmée par l'équation 2.26. Ainsi, la stabilité du SAPF est assurée par la loi de commande synergique basée sur la théorie de Lyapunov.

II.6. L'algorithme d'optimisation par colonie de fourmis (optimisation des colonies de fourmis) :

L'algorithme d'optimisation par colonie de fourmis, également connu sous le nom d'Ant Colony Optimization (ACO) en anglais, est une méthode méta-heuristique évolutionnaire basée sur une représentation graphique, qui a été appliquée avec succès pour résoudre divers problèmes d'optimisation combinatoire difficiles. Initialement proposée par Marco Dorigo dans sa thèse de doctorat en 1992 [31], l'idée principale de l'ACO est de modéliser le problème comme la recherche d'une trajectoire de coût minimal dans un graphe. Des fourmis artificielles parcourent ce graphe à la recherche de bonnes trajectoires. Chaque fourmi a un comportement assez simple, ce qui fait qu'elle ne trouve généralement que des trajectoires de qualité médiocre par elle-même. Les trajectoires de meilleure qualité sont découvertes grâce à la coopération globale entre les fourmis de la colonie [32] [33] [34] [35].

La seule façon de résoudre certains problèmes consiste à tester toutes les possibilités de réponse une par une. L'exemple classique est le problème du voyageur de commerce. Dans ce problème, on cherche à trouver le plus court itinéraire d'un commerçant circulant de ville en ville. De tels problèmes peuvent être résolus en utilisant des méthodes où des fourmis se déplacent en laissant une trace derrière elles. En 1989 et 1990, au Santa Fe Institute, Bonabeau et ses collègues ont démontré que des problèmes similaires peuvent être résolus plus facilement avec des ordinateurs créant des "fourmis virtuelles".

Selon cette approche, les fourmis virtuelles laissent une odeur qui représente la longueur du trajet derrière elles, et de cette manière, les autres fourmis virtuelles trouveront les trajets les plus courts. L'odeur des traces de longs trajets non préférés disparaîtra progressivement en simulant l'évaporation à une certaine vitesse de l'odeur. Cela empêchera les fourmis virtuelles de se dévier vers le chemin long en dehors des raccourcis [53]. Les modèles de comportement des fourmis naturelles, qui peuvent être utilisés dans de nombreux problèmes d'optimisation, en particulier dans les problèmes de chemin le plus court, ont été introduits pour la première fois en 1992 par Marco Dorigo et ses collègues [36].

II.6.1. Les vraies fourmis :

Les fourmis ont la capacité de trouver le chemin le plus court allant du nid à une source de nourriture sans utiliser de repère visuel. De plus, elles possèdent des caractéristiques leur permettant de s'adapter aux changements qui les entourent. Par exemple, elles retrouvent à nouveau le chemin le plus court en cas de problème sur le trajet menant à la nourriture (comme l'apparition d'une barrière) ou si la route n'est plus disponible. La Figure 2.5 montre les fourmis se dirigeant vers la nourriture le long d'un chemin linéaire.

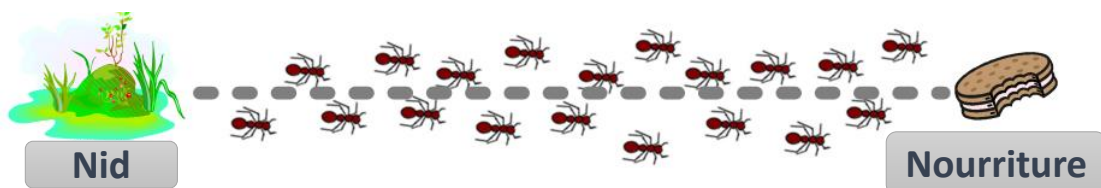


Figure 2.5. Le chemin des fourmis.

Le moyen utilisé par les fourmis pour trouver ce chemin est **la phéromone**. Les fourmis aident les fourmis suivantes à choisir le chemin en déposant des phéromones stockées sur le chemin choisi. Ce comportement instinctif explique comment elles ont trouvé le chemin le plus court vers leur nourriture, même dans le cas où le chemin préexistant ne peut pas être utilisé. En effet, si un obstacle se trouve sur le chemin menant à la nourriture, la fourmi en face de cet obstacle ne peut pas continuer et doit faire un choix pour un nouveau chemin (Figure 2.6).

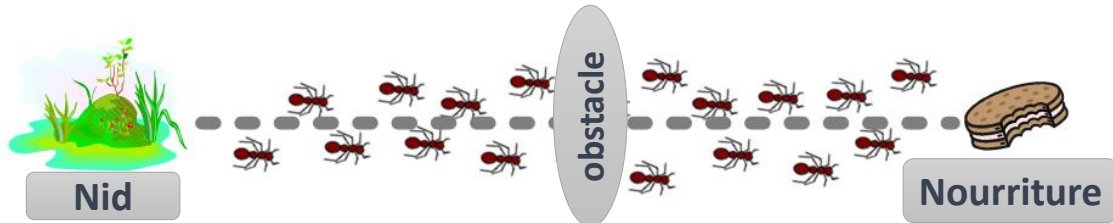


Figure 2.6. Fourmis confrontées à un obstacle.

Dans ce cas, la probabilité de désignation des nouvelles voies par la fourmi est égale. Autrement dit, si les fourmis peuvent choisir la direction droite et la direction gauche, les chances de sélection de ces directions sont égales. La fourmi suit son propre choix et désigne son propre chemin comme illustré dans la Figure 2.7.

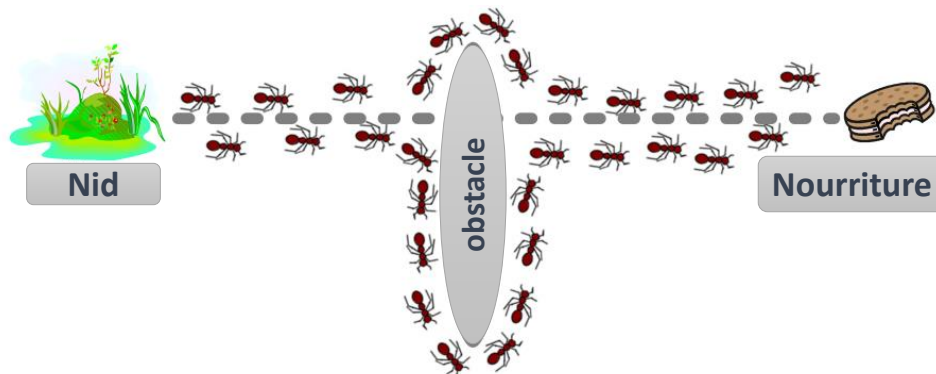


Figure 2.7. Sélection des fourmis rencontrant l'obstacle.

Un des points intéressants est que si le chemin choisi par les fourmis n'est pas le chemin le plus court vers la nourriture, les fourmis qui choisissent ce chemin peuvent réajuster le trajet comme illustré dans la Figure 2.8.

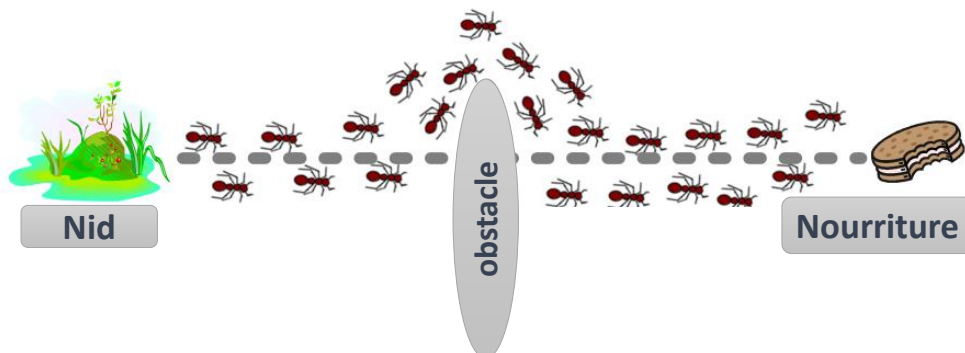


Figure 2.8. Trouver le plus court chemin par les fourmis.

Les choix des fourmis augmenteront la quantité de phéromones sur le chemin et seront préférables pour les fourmis suivantes. L'interaction entre les fourmis et le chemin doit être rapide pour former l'effet positif des phéromones. Le fait de choisir le chemin le plus court après avoir rencontré un obstacle peut prendre plus de temps que le processus normal, étant donné que chaque fourmi laisse la même quantité de phéromones et à la même vitesse en moyenne [37].

II.6.2. Fourmis Artificielles :

Les vraies fourmis, bien qu'aveugles, parviennent à trouver le chemin le plus court menant à leur source de nourriture. Cette caractéristique des fourmis a été utilisée pour résoudre de véritables problèmes en utilisant quelques caractéristiques et ajouts. Caractéristiques des vraies fourmis utilisées pour créer des fourmis artificielles :

- ✓ Communication établie entre les fourmis par le biais de phéromones,
- ✓ Préférence initiale pour les chemins avec beaucoup de phéromones,
- ✓ Augmentation rapide de la quantité de phéromones sur les chemins courts.

Caractéristiques ajoutées aux vraies fourmis :

- ✓ Elles évoluent dans un environnement où le temps est calculé de manière discrète,
- ✓ Elles ne sont pas totalement aveugles et peuvent accéder aux détails du problème,
- ✓ Elles peuvent stocker des informations pour résoudre des problèmes avec une certaine mémoire.

L'idée de base des algorithmes basés sur les fourmis est que des agents d'intelligence artificielle utilisant un mécanisme de communication simple peuvent produire des solutions à de nombreux problèmes complexes [38].

II.6.3. Optimisation des colonies de fourmis :

L'algorithme ACO est très adapté au travail parallèle. Il y a plus d'une fourmi travaillant en asynchronie ou en synchronie. Les fourmis peuvent être décrites comme des agents intelligents dans les systèmes parallèles, en supposant qu'il y ait plus d'un nœud dans le système de colonies de fourmis parallèles et que chaque fourmi travaille sur un nœud à un moment spécifique.

Dans le problème du voyageur de commerce, les fourmis visitent toutes les villes en partant d'une sélection aléatoire et laissent de la phéromone sur les routes traversées. Ces phéromones sont efficaces pour identifier les chemins des prochaines fourmis, c'est-à-dire que la communication entre les agents donne un résultat commun.

Lorsqu'une fourmi est envoyée à un nœud, il faut veiller à éviter les conditions de concurrence. La concurrence signifie que les fourmis travaillant en même temps (les fourmis fonctionnant sur les différents nœuds) ne peuvent pas modifier simultanément la structure de données globale qui contient les phéromones et les données de chemin sélectionnées.

Étant donné que l'objectif principal de cette étude est de trouver les valeurs les plus appropriées des paramètres alpha (α), bêta (β) et ro (ρ) utilisées dans le calcul de probabilité dans l'algorithme ACO, augmenter le nombre de fourmis dans la colonie augmentera la probabilité de trouver les valeurs les plus appropriées.

Chaque fourmi est placée dans des coins différents ou les mêmes coins au début du problème. L'équation 2.32 (équation de probabilité) détermine sur quel nœud adjacent ces fourmis se situeront à l'instant (t).

II.6.4. Optimisation des colonies de fourmis de la DTSC :

A ce stade, la formulation du problème concerne la minimisation de l'erreur du courant de sortie (i_{fk}) du SAPF,

$$err(i_{fk}) = i_{fk} - i_{fk}^* \quad (2.30)$$

En fait, le système FAPS SC-ACO exige des critères de performance plus sophistiqués, souvent évalués en fonction de la sensibilité, la précision, la stabilité et la vitesse de réponse pour obtenir une solution quasi-optimale.

La fonction objectif basée sur les indices d'Erreur Absolue Intégrée dans le Temps (**Integrated-Time Absolute Error ITAE**) est considérée comme plus sélective que d'autres critères [39]. Cette fonction réagit aux transitoires de longue durée et se concentre particulièrement sur l'erreur dans le système plutôt que sur l'erreur initiale, et peut donc être exprimée comme suit:

$$ITAE = \int_0^{t_{max}} t |err(i_{fk})(t)| dt \quad (2.31)$$

La fonction objectif est exprimée comme suit :

$$MinF(x) = Min(err(i_{fk})) \quad (2.32)$$

où l'ensemble de paramètres de commande est $x [T, \lambda]$.

La fonction objectif devrait être fixée comme suit :

$$\begin{aligned} T_{min} < T < T_{max} \\ \lambda_{min} < \lambda < \lambda_{max} \end{aligned} \quad (2.33)$$

ACO utilise une matrice de phéromones $\tau = \{\tau_{ij}\}$ pour construire des solutions précieuses. Les valeurs initiales sont toutes définies de manière égale $\tau_{ij} = \tau_0$ pour tous les (i, j), où $\tau_0 > 0$. La probabilité $P_{ij}^A(t)$ de sélectionner un nœud est définie dans l'équation 34.

À chaque génération de l'algorithme, la fourmi artificielle construit une solution complète en utilisant l'Équation 2.32, en commençant par le nœud source.

$$p_{ij}^k(t) = \frac{[\tau_{ij}(t)]^\alpha [\eta_{ij}]^\beta}{\sum_{i,j \in T^A} [\tau_{ij}(t)]^\alpha [\eta_{ij}]^\beta} \quad \text{Si } i, j \in T^A \quad (2.34)$$

$\tau_{ij}(t)$: à l'instant t , la quantité de phéromones sur les coins (i, j) est tracée.

η_{ij} : La valeur de visibilité entre les coins (i, j) . Cette valeur varie en fonction des critères pris en compte pour résoudre le problème.

α : Indique l'importance relative de la trace de phéromones dans le problème.

β : Indique l'importance accordée à la valeur de visibilité.

N_i : Ensemble des points de nœuds qui n'ont pas encore été choisis.

Où η_{ij} représente les fonctions heuristiques, α et β sont des constantes.

La décision sur les valeurs heuristiques de la fourmi artificielle est déterminée par l'influence des quantités de phéromones. À un moment donné, T^A représente le chemin accompli par la fourmi A .

L'évaporation des phéromones est prise en compte afin de permettre l'oubli des mauvais choix de chemin et d'éviter une augmentation illimitée des traces de phéromones (Équation 2.33).

$$\tau_{ij}(t) = \rho \tau_{ij}(t-1) + \sum_{A=1}^{NA} \Delta \tau_{ij}^A(t) \quad (2.35)$$

Où $\Delta \tau_{ij}^A$ est la quantité de phéromones sur chaque chemin, NA est le nombre de fourmis, ρ est le taux d'évaporation, $0 < \rho \leq 1$.

II.6.5. Vaporisation des phéromones :

La densité de phéromones diminue en raison de l'évaporation et de la dégradation dans les colonies de vraies fourmis. L'effet de l'évaporation dans l'ACO est simulé en appliquant une règle d'évaporation correctement définie. Par exemple, un retard artificiel de la phéromone peut être fixé à un taux déterminé. L'évaporation des phéromones réduit l'effet des phéromones de qualité inférieure créées par les fourmis artificielles aux premiers stades de la recherche. L'évaporation des phéromones peut être très utile dans les colonies de fourmis artificielles, même si elle n'a pas d'effet notable sur les vraies fourmis.

II.6.6. Organigramme de ACO :

Les étapes de l'algorithme de l'optimisation ACO pour la commande synergétique sont illustrées sur l'organigramme de la Figure 2.8 [39]. L'algorithme se compose de trois phases

essentielles : l'initialisation des paramètres, la construction de la solution par la fourmi et la mise à jour de la valeur des phéromones.

En calculant les fonctions objectif et en mettant à jour la matrice des phéromones et les probabilités, les valeurs optimales conduisent à la meilleure solution $[T, \lambda]$.

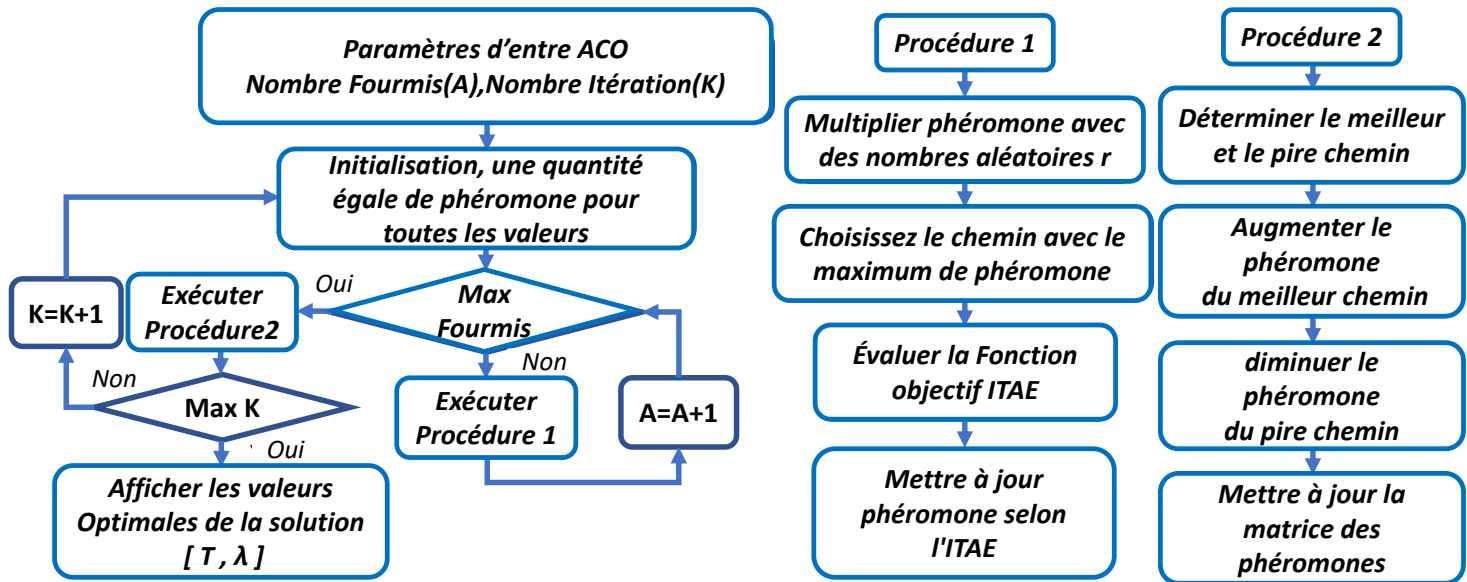


Figure 2.9. Organigramme d'optimisation par colonies de fourmis pour le réglage des paramètres $[T, \lambda]$ de la commande synergétique.

II.7. Conclusion :

L'objectif de la commande synergétique est de forcer la sortie du système à suivre le signal de référence. Ce suivi est réalisé en minimisant d'une part l'erreur d'approximation et en assurant d'autre part la stabilité du système, en utilisant la notion de macrovariable

L'application de la commande en mode glissant provoque des oscillations avec une fréquence de commutation tendant vers l'infini (phénomène de chattering ou broutement) qui peut être inacceptable si le signal de commande a une signification physique comme la force. Ce phénomène est supprimé grâce à la commande synergétique proposée. Ainsi, une nouvelle technique de commande adoptée pour résoudre les problèmes de commande des systèmes non linéaires a été présentée.

Il peut être conclu à partir de plusieurs recherches scientifiques que la loi de commande synergétique présente de bonnes performances de suivi et garantit la stabilité asymptotique du système tout en réduisant le problème d'interférence. Il a également été prouvé que l'utilisation de l'optimisation proposée pour régler de manière optimale les paramètres de la commande aboutit à de bonnes performances.

Bibliographie du Chapitre II.

- [1] K. Mokhtari, A. Elhadri, et M. Abdelaziz, « A passivity-based simple adaptive synergetic control for a class of nonlinear systems », *Int. J. Adapt. Control Signal Process.*, vol. 33, n° 9, p. 1359-1373, 2019, doi: 10.1002/acs.3035.
- [2] C.-H. Liu et M.-Y. Hsiao, « A finite time synergetic control scheme for robot manipulators », *Comput. Math. Appl.*, vol. 64, n° 5, p. 1163-1169, sept. 2012, doi: 10.1016/j.camwa.2012.03.058.
- [3] A.-B. A. Al-Hussein, F. R. Tahir, et V.-T. Pham, « Fixed-time synergetic control for chaos suppression in endocrine glucose–insulin regulatory system », *Control Eng. Pract.*, vol. 108, p. 104723, mars 2021, doi: 10.1016/j.conengprac.2020.104723.
- [4] A. Boonyaprapasorn *et al.*, « The design of a synergetic controller for tuberculosis epidemic system », *Int J Mech Eng Robot Res*, vol. 9, p. 1439-1446, 2020.
- [5] N. Zerroug, M. N. Harmas, S. Benagguene, Z. Bouchama, et K. Zehar, « DSP-based implementation of fast terminal synergetic control for a DC–DC Buck converter », *J. Frankl. Inst.*, vol. 355, n° 5, p. 2329-2343, mars 2018, doi: 10.1016/j.jfranklin.2018.01.004.
- [6] S. Lu, C. Tian, et P. Yan, « Adaptive Extended State Observer-Based Synergetic Control for a Long-Stroke Compliant Microstage With Stress Stiffening », *IEEEASME Trans. Mechatron.*, vol. 25, n° 1, p. 259-270, févr. 2020, doi: 10.1109/TMECH.2019.2960513.
- [7] L. A. Roald, D. Pozo, A. Papavasiliou, D. K. Molzahn, J. Kazempour, et A. Conejo, « Power systems optimization under uncertainty: A review of methods and applications », *Electr. Power Syst. Res.*, vol. 214, p. 108725, janv. 2023, doi: 10.1016/j.epsr.2022.108725.
- [8] K. Sozanski et P. Szczesniak, « Advanced Control Algorithm for Three-Phase Shunt Active Power Filter Using Sliding DFT », *Energies*, vol. 16, n° 3, Art. n° 3, janv. 2023, doi: 10.3390/en16031453.
- [9] Y. Hoon, M. A. Mohd Radzi, M. K. Hassan, et N. F. Mailah, « Enhanced Instantaneous Power Theory with Average Algorithm for Indirect Current Controlled Three-Level Inverter-Based Shunt Active Power Filter under Dynamic State Conditions », *Math. Probl. Eng.*, vol. 2016, p. e9682512, mars 2016, doi: 10.1155/2016/9682512.
- [10] Y. Hoon, M. A. M. Radzi, M. K. Hassan, N. F. Mailah, et N. I. A. Wahab, « A simplified synchronous reference frame for indirect current controlled three-level inverter-based shunt active power filters », *J. Power Electron.*, vol. 16, n° 5, p. 1964-1980, 2016.
- [11] J. H. Marks et T. C. Green, « Predictive transient-following control of shunt and series active power filters », *IEEE Trans. Power Electron.*, vol. 17, n° 4, p. 574-584, juill. 2002, doi: 10.1109/TPEL.2002.800970.
- [12] Ò. ÙÒÑ et Ó. ÂÙØØ, « Harmonic suppression of three-phase active power filter using backstepping approach », 2015.

- [13] Y. Fang et J. Fei, « Adaptive Backstepping Current Control of Active Power Filter Using Neural Compensator », *Math. Probl. Eng.*, vol. 2019, p. e5130738, mai 2019, doi: 10.1155/2019/5130738.
- [14] T. Madani et A. Benallegue, « Backstepping Control for a Quadrotor Helicopter », in *2006 IEEE/RSJ International Conference on Intelligent Robots and Systems*, oct. 2006, p. 3255-3260. doi: 10.1109/IROS.2006.282433.
- [15] D. Jabri, K. Guelton, N. Manamanni, A. Jaadari, et C.-D. Chinh, « Robust stabilization of nonlinear systems based on a switched fuzzy control law », *J. Control Eng. Appl. Inform.*, vol. 14, n° 2, p. 40-49, juin 2012.
- [16] B. Mansouri, N. Manamanni, K. Guelton, et M. Djemai, « Robust pole placement controller design in LMI region for uncertain and disturbed switched systems », *Nonlinear Anal. Hybrid Syst.*, vol. 2, n° 4, p. 1136-1143, nov. 2008, doi: 10.1016/j.nahs.2008.09.010.
- [17] Y. Shtessel, C. Edwards, L. Fridman, et A. Levant, *Sliding Mode Control and Observation*. in Control Engineering. New York, NY: Springer, 2014. doi: 10.1007/978-0-8176-4893-0.
- [18] « Sliding Modes in Control and Optimization - Vadim I. Utkin - Google Livres ».
- [19] F. Ahmadi, Y. Batmani, H. Bevrani, T. Yang, et C. Cui, « Finite-Time Synergetic Controller Design for DC Microgrids with Constant Power Loads », *IEEE Trans. Smart Grid*, p. 1-1, 2023, doi: 10.1109/TSG.2023.3237360.
- [20] E. Santi, A. Monti, D. Li, K. Proddutur, et R. A. Dougal, « Synergetic control for DC-DC boost converter: implementation options », *IEEE Trans. Ind. Appl.*, vol. 39, n° 6, p. 1803-1813, nov. 2003, doi: 10.1109/TIA.2003.818967.
- [21] N. Mars, F. Grouz, N. Essounbouli, et L. Sbita, « Synergetic MPPT controller for photovoltaic system », *J Electr Electron Syst*, vol. 6, n° 02, p. 2332-0796, 2017.
- [22] H. Haken, « Exact stationary solution of a Fokker-Planck equation for multimode laser action including phase locking », *Z. Für Phys. Hadrons Nucl.*, vol. 219, n° 3, p. 246-268, juin 1969, doi: 10.1007/BF01397568.
- [23] R. Graham et H. Haken, « Fluctuations and stability of stationary non-equilibrium systems in detailed balance », *Z. Für Phys. Hadrons Nucl.*, vol. 245, n° 2, p. 141-153, avr. 1971, doi: 10.1007/BF01402335.
- [24] R. Graham et H. Haken, « Generalized thermodynamic potential for Markoff systems in detailed balance and far from thermal equilibrium », *Z. Für Phys. Hadrons Nucl.*, vol. 243, n° 3, p. 289-302, juin 1971, doi: 10.1007/BF01394858.
- [25] H. Haken, *Synergetic Computers and Cognition: A Top-Down Approach to Neural Nets*. Springer Science & Business Media, 2004.
- [26] A. A. Kolesnikov, « Introduction of synergetic control », in *2014 American Control Conference*, juin 2014, p. 3013-3016. doi: 10.1109/ACC.2014.6859397.

- [27] « Nonlinear Synergetic Optimal Controllers | Journal of Guidance, Control, and Dynamics ». <https://arc.aiaa.org/doi/abs/10.2514/1.27829?journalCode=jgcd> (consulté le 20 août 2023).
- [28] D. Li, K. Proddatur, E. Santi, et A. Monti, « Synergetic control of a boost converter: theory and experimental verification », in *Proceedings IEEE SoutheastCon 2002 (Cat. No.02CH37283)*, avr. 2002, p. 197-200. doi: 10.1109/SECON.2002.995585.
- [29] J. A. Momoh et M. E. El-Hawary, *Electric systems, dynamics, and stability with artificial intelligence applications*. CRC Press, 2018.
- [30] H. Sakaguchi, A. Ishigame, et S. Suzaki, « Transient stability assessment for power system via Lur'e type Lyapunov function », in *IEEE PES Power Systems Conference and Exposition, 2004.*, oct. 2004, p. 227-232 vol.1. doi: 10.1109/PSCE.2004.1397577.
- [31] M. Dorigo, « Optimization, learning and natural algorithms », *Ph Thesis Politec. Milano*, 1992.
- [32] H. Duan, D. Wang, et X. Yu, « Novel approach to nonlinear PID parameter optimization using ant colony optimization algorithm », *J. Bionic Eng.*, vol. 3, n° 2, p. 73-78, juin 2006, doi: 10.1016/S1672-6529(06)60010-3.
- [33] H. A. Varol et Z. Bingul, « A new PID tuning technique using ant algorithm », in *Proceedings of the 2004 American Control Conference*, juin 2004, p. 2154-2159 vol.3. doi: 10.23919/ACC.2004.1383780.
- [34] A. Coloni, M. Dorigo, et V. Maniezzo, « Distributed optimization by ant colonies », in *Proceedings of the first European conference on artificial life*, Paris, France, 1991, p. 134-142.
- [35] Y.-T. Hsiao, C.-L. Chuang, et C.-C. Chien, « Ant colony optimization for designing of PID controllers », in *2004 IEEE International Conference on Robotics and Automation (IEEE Cat. No.04CH37508)*, sept. 2004, p. 321-326. doi: 10.1109/CACSD.2004.1393896.
- [36] L. M. Gambardella et M. Dorigo, « Ant-Q: A Reinforcement Learning approach to the traveling salesman problem », in *Machine Learning Proceedings 1995*, A. Prieditis et S. Russell, Éd., San Francisco (CA): Morgan Kaufmann, 1995, p. 252-260. doi: 10.1016/B978-1-55860-377-6.50039-6.
- [37] T. T. Ergüzel et E. Akbay, « ACO (Ant Colony Optimization) Algoritması ile Yörünge Takibi », *UMES İzmit Kocaeli*, 2007.
- [38] M. Dorigo, G. D. Caro, et L. M. Gambardella, « Ant Algorithms for Discrete Optimization », *Artif. Life*, vol. 5, n° 2, p. 137-172, avr. 1999, doi: 10.1162/106454699568728.
- [39] M. Ünal, A. Ak, V. Topuz, et H. Erdal, *Optimization of PID Controllers Using Ant Colony and Genetic Algorithms*. Springer, 2012.

CHAPITRE III. STRUCTURE D'UNE COMMANDE AVANCEE.

III.1. Introduction :

Ce chapitre examine de manière approfondie les méthodologies de conception avancées des circuits de FPGA (Field-Programmable Gate Array), en mettant l'accent sur leurs applications dans les systèmes de commande industriels. Après une vue d'ensemble du développement de la technologie FPGA, nous présentons en détail les méthodologies de conception et les outils de développement. Cette étude aborde également l'utilisation de langages de description matérielle portables et d'outils de programmation/conception au niveau système, qui offrent une approche fonctionnelle globale et permettent la création d'un environnement unique pour modéliser et évaluer des systèmes électroniques industriels complets [1].

Trois principes fondamentaux de conception sont exposés : le raffinement des algorithmes, la modularité et la recherche systématique du meilleur compromis entre les performances de la commande et les contraintes architecturales.

De plus, une analyse approfondie des contributions et des limites des FPGA est présentée, suivie d'une présentation concise des commandes basées sur les FPGA, utilisées dans les systèmes industriels modernes.

Deux exemples de conception sont détaillés pour illustrer les avantages d'une implémentation FPGA grâce à l'utilisation de la méthodologie de modélisation et de conception proposée.

Le premier exemple concerne la simulation HIL (Hardware in the Loop) de la commande directe de courant à base de FPGA d'un système de filtrage actif de puissance.

Le deuxième exemple traite de la commande synergétique optimisée d'un filtre actif de puissance à base de FIL (FPGA in the Loop), qui fera l'objet du chapitre 4.

III.2. Système d'électronique de puissance :

Un schéma simplifié d'un système d'électronique de puissance est illustré par la Figure III.1 [2]. Le système effectue la conversion de la puissance électrique de l'entrée vers la charge. La puissance d'entrée provient généralement d'une batterie électrochimique, de cellules solaires ou de piles à combustible, etc. La puissance d'entrée peut être en courant continu (DC) ou alternatif (AC) : monophasé, biphasé, triphasé ou plus. La puissance de sortie dépend des caractéristiques de la charge.

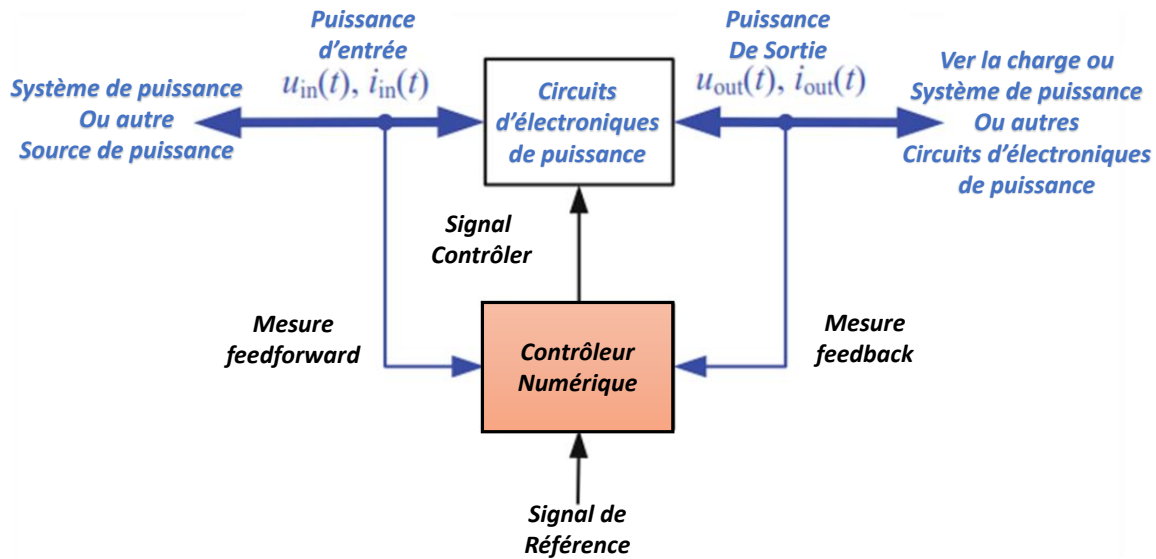


Figure III.1. Un système d'électronique de puissance.

Le circuit d'électronique de puissance est surveillé par un contrôleur qui compare la puissance de sortie (feedback) et la puissance d'entrée (feedforward) avec la valeur de référence nécessaire pour obtenir les résultats souhaités. La commande peut être conçue par une technique analogique ou numérique. De nos jours, l'approche numérique est la plus courante, tandis que l'approche analogique est réservée aux systèmes d'électronique de puissance simples. La puissance est transmise à travers le système électronique de la source à la sortie. La sortie peut être branchée à une charge, à un autre système électrique ou à d'autres circuits d'électronique de puissance, etc. Cependant, le circuit d'électronique de puissance peut être réversible et l'énergie peut alors se déplacer de la sortie vers la source.

III.3. Commande numérique des systèmes de l'électronique de puissance :

Le progrès rapide des technologies VLSI (Very Large System Integration,) et EDA (Electronic Design Automation) durant ces dernières années, a permis le développement de commandes complexes, compactes et performantes des systèmes électroniques industriels [3].

Aujourd'hui, les ingénieurs de conception utilisent des outils EDA modernes pour créer, simuler et vérifier des conceptions sans s'appuyer sur du matériel de prototypage rapide. Ce qui leur permet d'évaluer rapidement des systèmes et des idées complexes avec la certitude qu'ils fonctionneront du premier coup.

La vitesse d'innovation et d'évolution de toutes les solutions de programmation ouvre de nombreuses opportunités dans le domaine de l'implémentation numérique des systèmes de commande. Cela est particulièrement vrai dans les solutions logicielles telles que les microprocesseurs ou les processeurs de signaux numériques (DSP) [4]. Cependant, des technologies matérielles spécifiques, telles que les circuits intégrés programmables FPGA peuvent également être considérés comme des solutions appropriées pour améliorer les performances de la commande.

En effet, ces composants génériques combinent un développement à faible coût (grâce à leur reprogrammabilité), l'utilisation d'outils logiciels pratiques et une densité d'intégration de plus en plus significative [5] [6].

Enfin, les systèmes industriels de commande électrique suscitent également un grand intérêt en raison du niveau de performance de plus en plus élevé attendu tout en réduisant le coût des systèmes de commande [7]. Ce dernier secteur est particulièrement ciblé dans le cadre de ce travail.

En conséquence, les FPGA ont déjà été utilisés avec succès dans de nombreuses applications de systèmes électriques, telles que la commande de convertisseurs de puissance (onduleurs à modulation de largeur d'impulsion PWM) [8] [9], la correction de facteur de puissance [10], les convertisseurs multiniveaux [11], [12].

III.4. Description des FPGAs et de leurs outils de développement :

III.4.1. Description générale de l'architecture FPGA :

Les FPGA appartiennent à une grande famille de composants logiques programmables [13-15]. Un FPGA est défini comme une matrice de blocs logiques configurables (CLBs) (combinatoires et/ou séquentiels), reliés les uns aux autres par un réseau d'interconnexion entièrement reprogrammable. Les cellules mémoires commandent à la fois les blocs logiques et les connexions, de sorte que le composant puisse répondre aux spécifications d'application requises. Plusieurs technologies configurables existent. Parmi celles-ci, seules celles qui sont reprogrammables (Flash, EPROM, SRAM) sont intéressantes car elles offrent la même flexibilité qu'un microprocesseur.

L'architecture générique d'un FPGA basé sur SRAM est présentée dans la Figure III.2 [16].

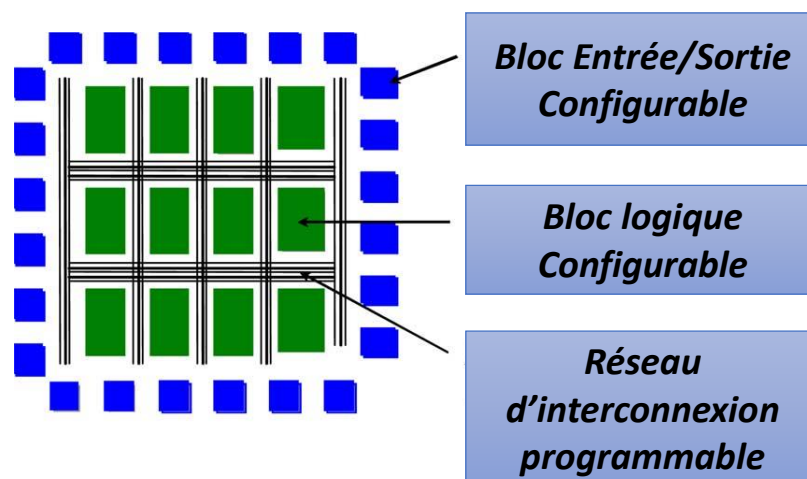


Figure III.2. Architecture générique d'un FPGA.

L'architecture générique d'un FPGA est composée d'une matrice de blocs logiques configurables (CLBs), avec des lignes et des colonnes atteignant 192 x 116 dans les plus grands dispositifs. Cette matrice est bordée par un anneau de blocs d'entrée/sortie

configurables (IOBs), dont le nombre peut atteindre 1000. Enfin, toutes ces ressources communiquent entre elles grâce à un réseau d'interconnexion programmable.

Plus récemment, on a également introduit à l'intérieur de ces architectures certains blocs dédiés, tels que des mémoires RAM, des accélérateurs DSP (multiplieurs câblés avec leurs accumulateurs correspondants, des circuits de gestion d'horloge haute vitesse et des émetteurs-récepteurs série), des cœurs de processeur intégrés tels que PowerPC ou ARM, ainsi que des cœurs de processeur logiciel tels que Nios [14] ou Microblaze [13], [17].

De plus, ce qui est très intéressant pour les applications de commande, c'est l'intégration récente d'un convertisseur analogique-numérique dans le composant fusion d'Actel [15]. Cependant, cette tendance des SoC (System on Chip) ne remplace pas l'ancienne architecture générique, mais peut être considérée comme un complément à cette matrice originale.

1. Bloc logique configurables (CLB) : sa structure comprend deux, quatre ou plus de cellules logiques, également appelées éléments logiques. La structure d'une cellule logique, qui peut être considérée comme la base du FPGA, est représentée en Figure III.3.

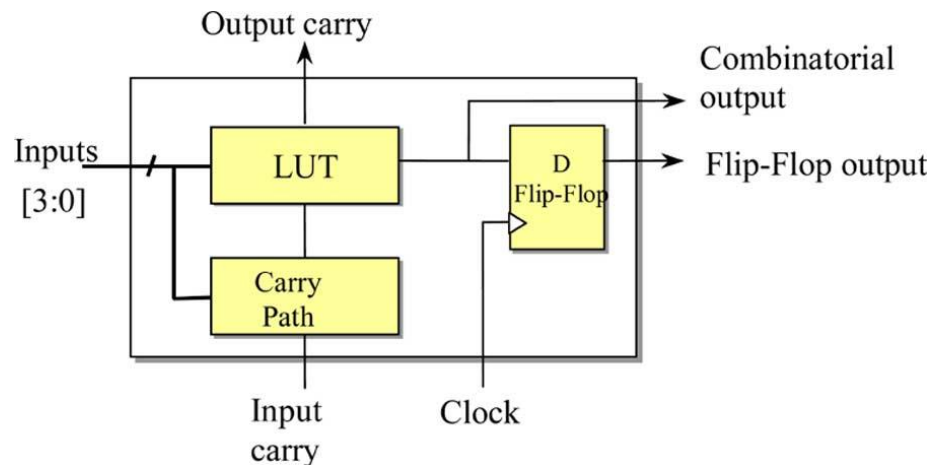


Figure III.3. Structure d'une cellule logique.

La cellule se compose d'une **lookup table** (LUT) de quatre bits, qui peut être configurée soit en tant que ROM (16×1), RAM, ou une fonction combinatoire. Un chemin de données de précalcul de retenue (carry look-ahead) est également inclus afin de construire des opérateurs arithmétiques efficaces. Enfin, une bascule de type D, avec toutes ses entrées de commande (mise à zéro ou mise à un synchrone ou asynchrone, activation), permet d'enregistrer la sortie de la cellule logique. Une telle architecture correspond à une machine micro-état, car la sortie enregistrée peut être configurée comme une entrée de la même cellule logique.

III.4.2. Langage de programmation des FPGAs :

Ce sont des outils basés sur des langages de description matérielle (HDL) tels que le VHDL (Very High-Speed Integrated Circuits Hardware Description Language) [18], [19] ou le Verilog [20]. L'existence de normes IEEE [21] a favorisé l'utilisation des HDL et a permis la création et le développement d'outils CAO (Conception Assistée par Ordinateur) haute

performance dans le domaine de la microélectronique. Ainsi, le concepteur peut tirer parti des HDL pour construire son propre circuit en utilisant une approche hiérarchique et modulaire définie à différents niveaux d'abstraction en utilisant la méthodologie de conception "top-down" [22] [23]. La procédure de conception correspondante est divisée en quatre étapes principales :

1. Niveau système, où les spécifications du circuit sont fournies ;
2. Niveau comportemental, qui consiste en la description algorithmique du circuit ;
3. Niveau de transfert de registres (RTL), où le circuit est décrit en termes de ses composants ;
4. Niveau physique, où le circuit est décrit physiquement en tenant compte des caractéristiques matérielles cibles.

À chaque niveau d'abstraction, le futur circuit intégré est décrit en HDL, tel que VHDL comportemental ou VHDL synthétisé. Cette dernière description donne une représentation exacte des opérateurs et des variables du circuit final. La Figure III.4 représente le flux hiérarchique de la méthode de conception top-down et son environnement de modèle HDL.

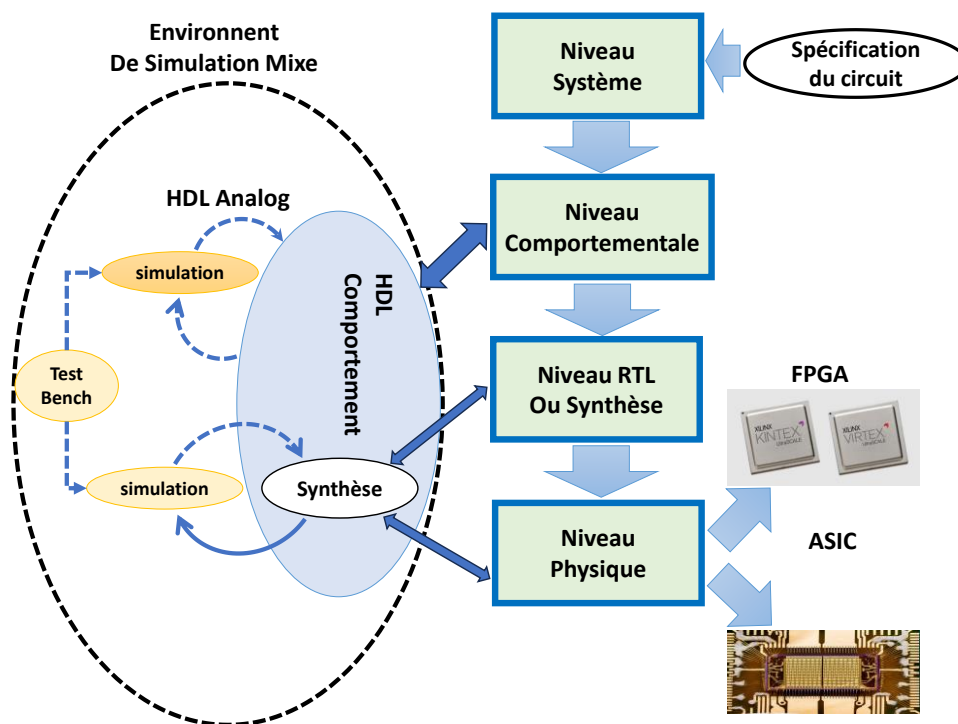


Figure III.4. Conception top-down et son environnement de modèle HDL.

Récemment, les fabricants de FPGA [13] [14] [15], ont conçu des packages logiciels qui permettent à la fois la simulation et la traduction automatique en matériel d'une conception. Un tel logiciel s'exécute, par exemple, dans l'environnement Matlab-Simulink.

Les résultats de simulation sont "précis au niveau du bit et du cycle". Cela signifie que les résultats observés lors d'une simulation Simulink correspondent exactement à ceux produits par l'implémentation matérielle. Une telle approche offre une plateforme de prototypage rapide basée sur les FPGA [24].

III.4.3. Raffinement de l'algorithme :

Le raffinement de l'algorithme est une étape nécessaire lors de la conception à base de FPGA. Il est possible de mettre en œuvre des calculs en **virgule flottante** sur les FPGA [25], mais les ressources utilisées ne sont pas optimisées dans ce cas, en raison des architectures en "cellules logiques" des FPGA (Figure. 3.3).

Par conséquent, afin de réduire les coûts, les fabricants demandent aux utilisateurs finaux de concevoir des commandes en utilisant l'arithmétique en virgule fixe. Dans ce contexte, des architectures économiques en termes de coûts doivent résulter d'un équilibre entre les performances de commande à respecter et la complexité de l'architecture matérielle à minimiser. Cela conduit à formuler deux orientations de travail :

- ✓ Simplification des calculs et réduction du nombre d'opérations à implémenter.
- ✓ Recherche de formats optimisés en virgule fixe : comme mentionné précédemment, lors du développement de conceptions avec des FPGA, une recherche du meilleur compromis entre la taille du format en virgule fixe de chaque variable de commande et le respect des spécifications de commande est nécessaire. À cette fin, une méthodologie est présentée en [26].

Afin de représenter toutes les données avec une précision de calcul suffisante, Menard et Sentieys proposent dans [27] une méthodologie pour la détermination automatique de la spécification en virgule fixe. Tout d'abord, l'étendue dynamique de chaque donnée de l'algorithme de commande est évaluée à l'aide de la théorie de l'arithmétique des intervalles pour définir le nombre minimal de bits nécessaires pour représenter la partie entière des données.

Ensuite, la précision est évaluée sur la base d'une approche analytique. Dans le domaine du traitement numérique du signal, le critère le plus couramment utilisé pour évaluer la précision de la spécification en virgule fixe est le rapport signal sur bruit de quantification (SQNR). L'originalité de cette approche réside dans la proposition d'une évaluation analytique de l'expression du SQNR pour les systèmes linéaires et les systèmes non linéaires non récurrents.

III.4.4. Ciblage des conceptions en virgule fixe :

Considérons maintenant le cas où U_i est représenté comme un nombre à virgule fixe, avec une partie entière I de k bits de longueur, et une partie fractionnaire F de longueur L bits.

$p_{k-1} \dots p_2 p_1 p_0$	$q_0 q_1 q_2 \dots q_{L-1}$
-----------------------------	-----------------------------

La longueur de la partie entière, qui représente la plage dynamique du nombre, est calculée selon l'équation 3.1:

$$k \geq \left\lceil \log_2 \left(\left| \max(U_i) / \min(U_i) \right| \right) \right\rceil \quad (3.1)$$

Comme dans le cas de la virgule flottante, nous introduisons une fonction erreur puisque la partie fractionnaire de la valeur en virgule fixe est représentée par une longueur de bits finie.

Cette fonction erreur donnée par Err_{fix} dans l'équation 3.2, peut être liée à la fraction de la longueur de bit L comme suit :

$$\text{Err}_{\text{fix}}(L) = \begin{cases} 2^{-L} \text{ arrondi au plus proche} \\ 2^{-(L-1)} \text{ si troncature} \end{cases} \quad (3.2)$$

Lorsqu'un nombre est représenté en format virgule fixe, la largeur en bits de la partie entière doit être suffisamment grande pour couvrir la plage dynamique. Par exemple, une plage dynamique de 106 nécessite 20 bits dans la partie entière, alors que pour la même dynamique la plage ne nécessite que 5 bits dans l'exposant d'un nombre en virgule flottante.

III.4.5. Avantages de l'utilisation des FPGAs :

Ceci est illustré par la Figure III.5, T_{ADC} représentant la durée de conversion analogique-numérique du signal, T_{C} le temps d'exécution de l'algorithme de commande, et T_{s} la période d'échantillonnage généralement prise égale à la période de commutation du convertisseur de puissance ou à la moitié.

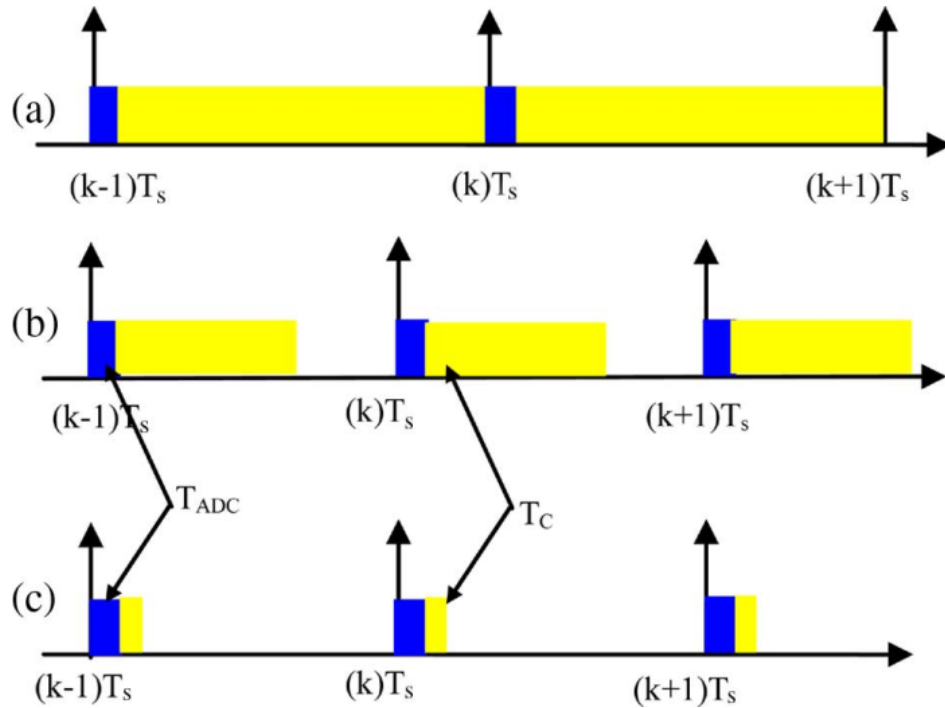


Figure III.5. Distribution temporelle. (a) Microcontrôleur à usage général, (b) Contrôleur à base de DSP et (c) Contrôleur à base de FPGA

La Figure III.5(a) correspond à l'utilisation d'un microcontrôleur classique. Dans ce cas, le facteur principal de limitation est la puissance de calcul de ce composant. La période d'échantillonnage est fixée en fonction de cette limitation, ce qui entraîne un retard d'une période et demi de commutation (une période en raison du retard de calcul et une demi-période correspondant au retard statistique habituel dû à l'application des signaux PWM). Cela réduit la bande passante du système en boucle fermée et, dans certains cas, peut déstabiliser le processus commandé. Les formes d'onde des signaux sont également de très

mauvaise qualité [28]. Enfin, il convient de mentionner que la commande directe des convertisseurs de puissance (mode glissant, bang-bang) n'est pas recommandée dans ce cas.

La Figure III.5(b) correspond au cas de l'implémentation sur DSP. Ce cas donne des résultats beaucoup plus satisfaisants que le précédent. En effet, grâce à leur architecture adaptée, ces composants permettent de commander le courant d'une machine électrique ou d'une charge en quelques dizaines de microsecondes. Par conséquent, le manque de rapidité du contrôleur n'est plus le facteur limitant du système en boucle fermée. Les limitations trouvent leur origine dans les pertes de commutation du convertisseur de puissance, ce qui entraîne une fréquence d'échantillonnage d'environ 10 à 20 kHz pour les systèmes de puissance de gamme moyenne. Lorsqu'il est soigneusement conçu, le retard peut être réduit à une demi-période de commutation ($\approx 50 \mu s$), ce qui améliore considérablement les performances dynamiques. La commande directe des convertisseurs de puissance est possible, mais les résultats attendus sont de moindre qualité que ceux obtenus via un contrôleur analogique.

La Figure III.5(c) correspond à un contrôleur à base de FPGA. Grâce à leur capacité à transcrire sur l'architecture matérielle tous les parallélismes potentiels de l'algorithme de commande, les FPGA peuvent n'utiliser qu'une fraction de la période de commutation pour exécuter en temps réel un algorithme complexe complet. Une conséquence directe de cette extrême rapidité est la consommation d'un grand nombre de ressources internes de la puce, ce qui augmente également le coût [29]. Cependant, en utilisant des techniques d'optimisation telles que A3 [30] et/ou le pipelining, le concepteur peut facilement construire une architecture équilibrée, qui respecte les limitations d'espace tout en préservant la rapidité d'exécution de l'algorithme de commande (≈ 1 à $2 \mu s$ pour la commande des entraînements de moteurs à courant alternatif). Par conséquent, le temps de calcul obtenu, T_c , pour les commandes basées sur FPGA est bien inférieur à celui atteint avec une solution programmée.

III.5. Techniques de commande des filtres actifs de puissance :

L'objectif de la commande d'un FAP (Filtre Actif de Puissance) est de générer des signaux de commande appropriés pour les transistors de commutation en fonction des signaux de référence de compensation estimés. Les performances d'un FAP sont significativement affectées par le choix des techniques de commande [31]. Par conséquent, le choix et la mise en œuvre de la technique de commande sont très importants pour garantir des performances satisfaisantes du FAP.

Une variété de techniques de commande sont mises en œuvre pour les applications de FAP, notamment la commande linéaire [32] [33], la commande numérique à temps de réponse nul [34] [35] [36], la commande par hystérésis [37] [38] [39] [40], etc. Plusieurs travaux [41] [42] [43] présentent en détail les théories liées aux techniques de commande des FAP. Cette section décrit brièvement les commandes considérées dans le cadre de ce travail et leurs caractéristiques fondamentales.

III.5.1. Techniques de commande du FAPS :

Le système de commande du FAPS se compose de trois parties principales, sans compter l'algorithme de synchronisation PLL qui sera remplacé par des gains pour garantir la coordination entre la source triphasée et le courant de référence.

- ✓ Extraction des harmoniques par **la commande directe de courant**.
- ✓ La régulation de la tension du bus DC par **IP anti-saturation (ou anti-windup)**
- ✓ La commande des courants de sortie du FAPS, comme la commande par hystérésis.

Ces trois éléments sont essentiels pour assurer un fonctionnement correct du FAPS, en compensant la puissance réactive, en éliminant les harmoniques et en maintenant la stabilité du système.

III.5.2. Commande directe de courant :

Dans cette structure de l'extraction des harmoniques, les courants de référence du filtre sont essentiels pour garantir une compensation efficace de la puissance réactive et l'élimination des harmoniques. Ces courants sont obtenus de la soustraction du courant de référence de la source des courants de charge, ce qui permet de réguler le courant de sortie du filtre de manière appropriée (Equation 3.3).

$$\begin{aligned} i_{fa_ref} &= i_{sa_ref} - i_{La} \\ i_{fb_ref} &= i_{sb_ref} - i_{Lb} \\ i_{fc_ref} &= i_{sc_ref} - i_{Lc} \end{aligned} \quad (3.3)$$

Les courants de référence de la source sont obtenus en multipliant les vecteurs unitaires (u_{sa} , u_{sb} , u_{sc}) calculés à partir des tensions de la source (v_{sa} , v_{sb} , v_{sc}) par l'amplitude maximale du courant source I_{max} .

$$\begin{aligned} i_{sa_ref} &= I_{max} u_{sa} \\ i_{sb_ref} &= I_{max} u_{sb} \\ i_{sc_ref} &= I_{max} u_{sc} \end{aligned} \quad (3.4)$$

Avec :

$$\begin{aligned} u_{sa} &= \frac{v_{sa}}{V_{max}} \\ u_{sb} &= \frac{v_{sb}}{V_{max}} \\ u_{sc} &= \frac{v_{sc}}{V_{max}} \end{aligned} \quad (3.5)$$

Où V_{max} est la tension maximale de la source.

Par conséquent, les signaux de commutation pour l'onduleur sont obtenus en comparant les courants de référence du filtre (i_{fa_ref} , i_{fb_ref} , i_{fc_ref}) et les courants de sortie du filtre (i_{fa} , i_{fb} , i_{fc}) dans les régulateurs de courant en hystérésis.

III.5.3. Commande par hystérésis :

Dans cette approche, la commande de courant se fait en utilisant la commande de courant à bande d'hystérésis. Cette méthode fixe les seuils supérieur et inférieur du courant de référence du filtre. Si le courant mesuré dépasse le seuil supérieur, une action corrective est déclenchée pour réduire le courant. Si le courant mesuré tombe en dessous du seuil inférieur, une autre action corrective est déclenchée pour augmenter le courant, comme le montre la Figure III.6.

Il existe différentes méthodes de commande de courant proposées pour de telles configurations de FAP ; mais la méthode à bande d'hystérésis est la plus élevée parmi les autres méthodes de commande de courant, en raison de sa rapidité, de sa facilité de mise en œuvre et de sa stabilité inconditionnelle.

La commande de courant à bande d'hystérésis est robuste, offre une excellente dynamique et une commande plus rapide avec un coût minimum.

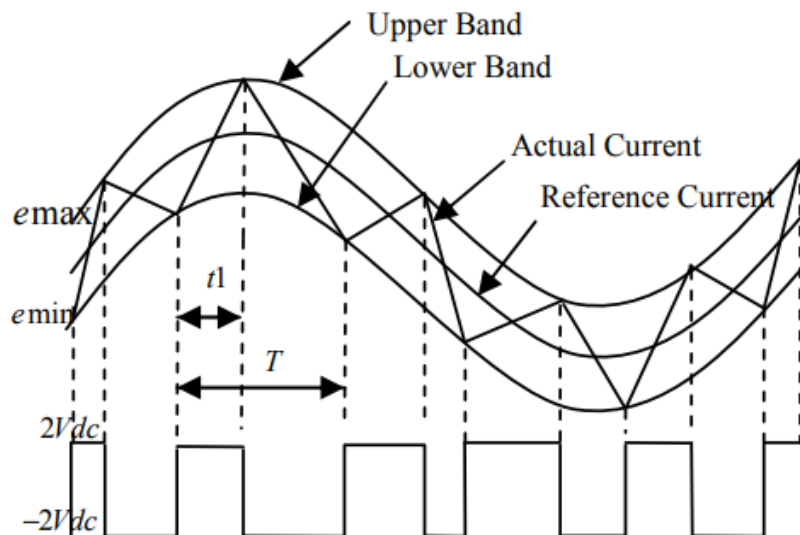


Figure III.6. Principe de la commande de courant à hystérésis à deux niveaux.

III.5.4. Régulateur du bus DC :

Afin de réduire les fluctuations de tension et d'assurer un fonctionnement optimal du FAPS, il est important de maintenir la tension du bus DC à une valeur constante et bien déterminée. Cela permet de garantir une stabilité adéquate du système et d'éviter les variations de tension indésirables.

Pour atteindre cet objectif, un régulateur PI anti-saturation (anti windup) est proposé. Ce régulateur ajuste la tension du bus DC en fonction des écarts entre la valeur de la référence et la valeur de la tension mesurée. Le régulateur utilise une action proportionnelle pour répondre rapidement aux variations de tension et une action intégrale pour éliminer les erreurs statiques.

De plus, le régulateur est conçu avec un mécanisme anti-saturation pour prévenir la saturation du régulateur en cas de dépassement des limites de la commande. Cela garantit une bonne régulation et évite les instabilités causées par une saturation du régulateur.

Le régulateur IP est également utilisé pour estimer l'amplitude maximale du courant source I_{max} . Cette valeur est essentielle pour le calcul des courants de référence du filtre, qui sont utilisés pour compenser la puissance réactive et éliminer les harmoniques.

La Figure III.7 représente le contrôleur anti-dépassement IP discret conçu à l'aide de MATLAB/Simulink en langage de description matérielle HDL). Le contrôleur IP correspond à l'Équation 3.6.

$$F(z) = K_p \left(1 - K_i T_s \frac{1}{z-1} \right) \quad (3.6)$$

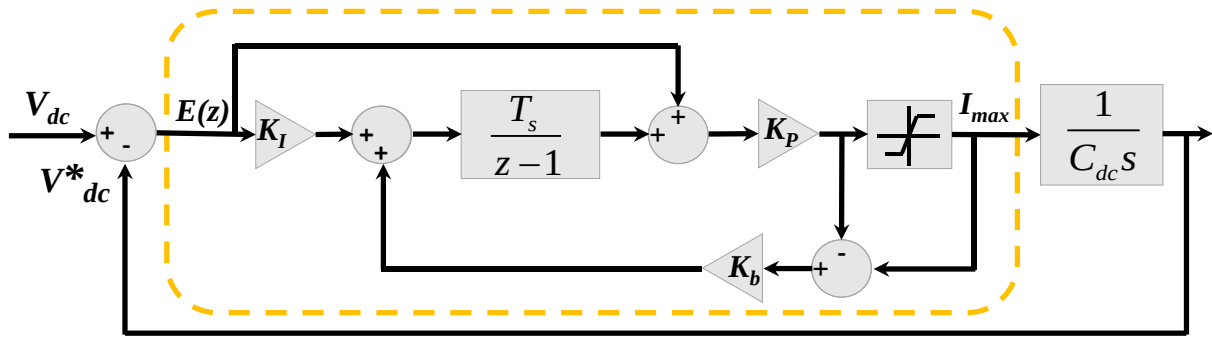


Figure III.7. Schéma fonctionnel du régulateur IP anti-saturation proposé.

K_p , K_i représentent respectivement les paramètres proportionnel et intégral du régulateur anti-dépassement discret, et T_s est la période d'échantillonnage.

La tension de liaison continue du régulateur comprend un gain proportionnel (K_p) pour améliorer le temps de montée et un gain intégral (K_i) pour assurer un fonctionnement régulier et éliminer les erreurs résultant de la tension de liaison (V_{dc}), et enfin une référence (V_{dc}^*) pour l'état stable.

K_p , K_i sont les paramètres du régulateur IP réglés selon [40]. Les paramètres utilisés sont présentés dans le Tableau 3.1.

Tableau III.1. Les paramètres du régulateur IP anti-saturation

Paramètres	Configuration
Form	Ideal
Anti-windup technique	Back-calculation
Integrator technique	Forward Euler
Back-calculation (K_b)	1e3

III.6. Implémentation matérielle FIL :

L'architecture du schéma de commande est représentée en Figure III.8. Le système de commande comprend un régulateur IP anti-saturation, une génération de vecteurs unitaires et l'approche de commande en courant continu basée sur la technique à hystérésis. Tous les blocs ont été conçus en utilisant le langage VHDL et une architecture pipeline avec un registre après chaque opération, ce qui réduit le retard de la logique combinatoire et maximise la fréquence de fonctionnement de l'architecture.

L'architecture complète a été vérifiée à l'aide de simulations HIL (Hardware-in-the-Loop) sur une carte Xilinx Atlys Spartan-6 avec une puce FPGA XC6SLX45-3CSG324. La commande est chargée dans ce cas dans le FPGA, dans la mise en œuvre en temps réel, tandis que la source AC, le SAPF et la charge non linéaire sont simulés à l'aide de la boîte à outils **SimPowerSystems** de MATLAB/Simulink.

Une arithmétique en virgule fixe a été utilisée pour la description matérielle. Toutes les variables sont déterminées au format complément à deux avec une taille de mot de 32 bits, répartis comme suit : 1 bit pour le bit de signe, 15 bits pour la longueur du mot entier et 16 bits pour la longueur du mot fractionnaire.

Cette approche permet d'obtenir une implémentation matérielle efficace et précise du système de commande du FAPS. L'utilisation de la simulation HIL et la vérification sur une plate-forme FPGA garantit que le système fonctionne correctement et répond aux spécifications requises. De plus, l'utilisation de l'arithmétique en virgule fixe permet une représentation précise des variables et des opérations de calcul.

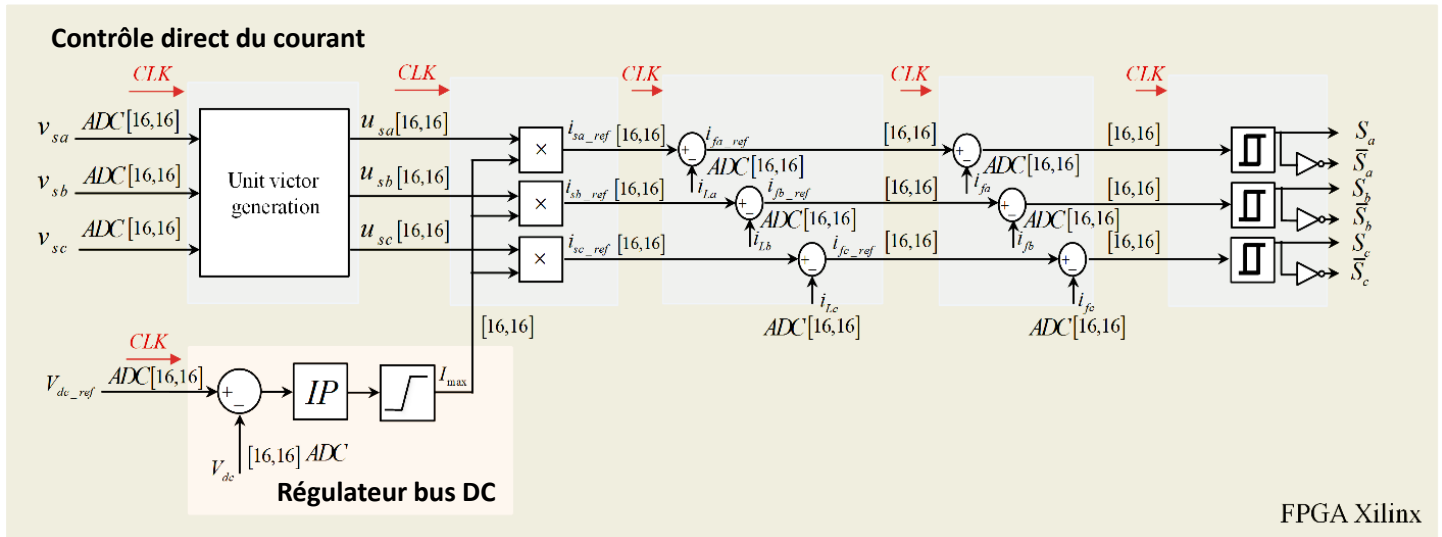


Figure III.8. Bloc diagramme de la commande à hystérésis HIL Matlab/Simulink.

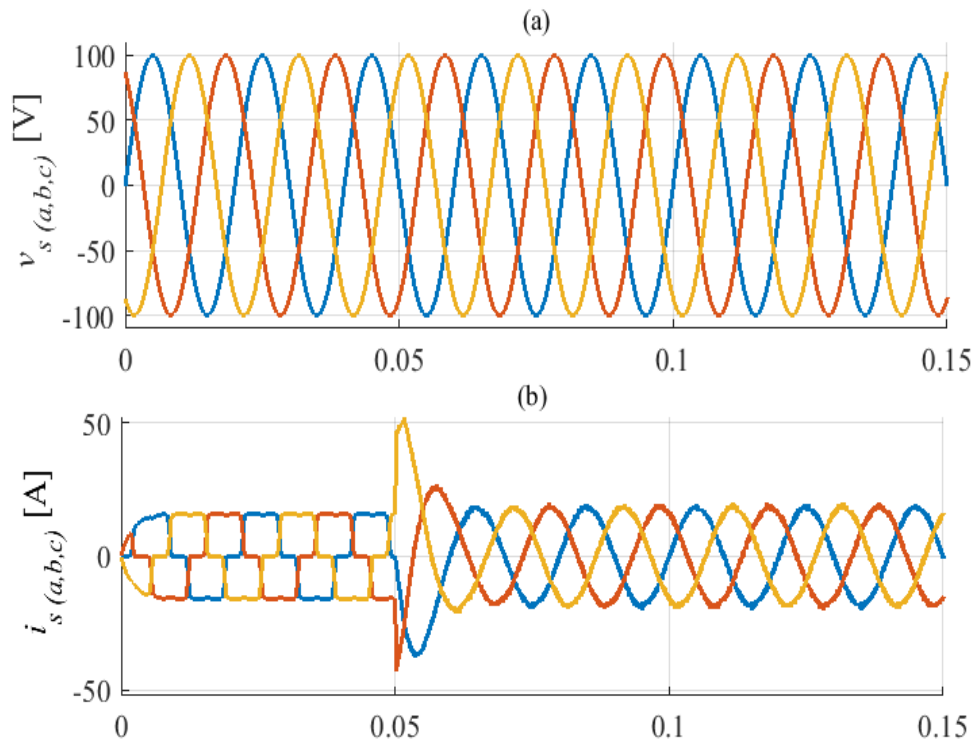
En résumé, l'architecture du schéma de commande du SAPF est réalisée en utilisant des composants matériels sur une carte Xilinx Atlys Spartan-6 (Figure III.9). Les simulations HIL sont utilisées pour vérifier le fonctionnement du système, tandis que l'utilisation de l'arithmétique en virgule fixe garantit une représentation précise des variables.



Figure III.9. Configuration expérimentale sur une carte Xilinx Atlys Spartan-6.

1.1. Résultats HIL obtenus et discussion :

La Figure III.10 représente respectivement les résultats HIL obtenus, des tensions de source, des courants de source, des courants de charge, du courant de sortie du SAPF et de la tension du bus DC. Dans ces résultats HIL, le FAPS commence à compenser à $t = 0,05$ s. À cet instant-là, le FAPS introduit un courant de sortie (i_f) pour compenser les composantes harmoniques du courant.



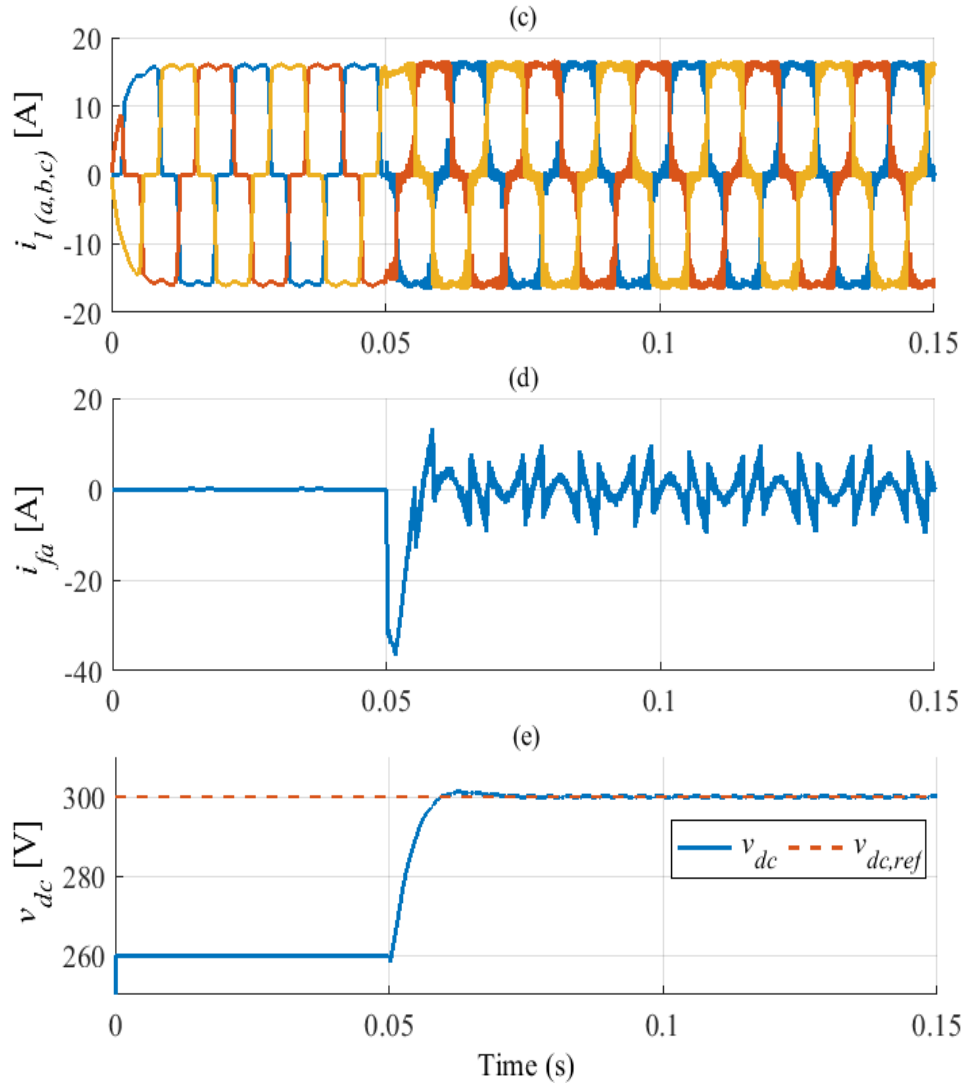
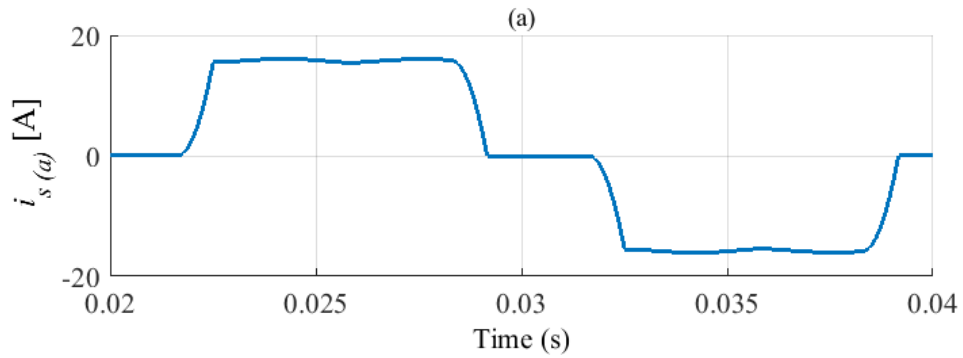


Figure III.10. Résultats HIL : (a) tension de source, (b) courant de source, (c) courant de charge, (d) courant de sortie du FAPS (e) tension du bus DC.

Avant la compensation, les courants de la source présentent des formes d'onde déformées, avec une distorsion harmonique totale élevée (THD = 25,24 %, comme le montre la Figure III.11).



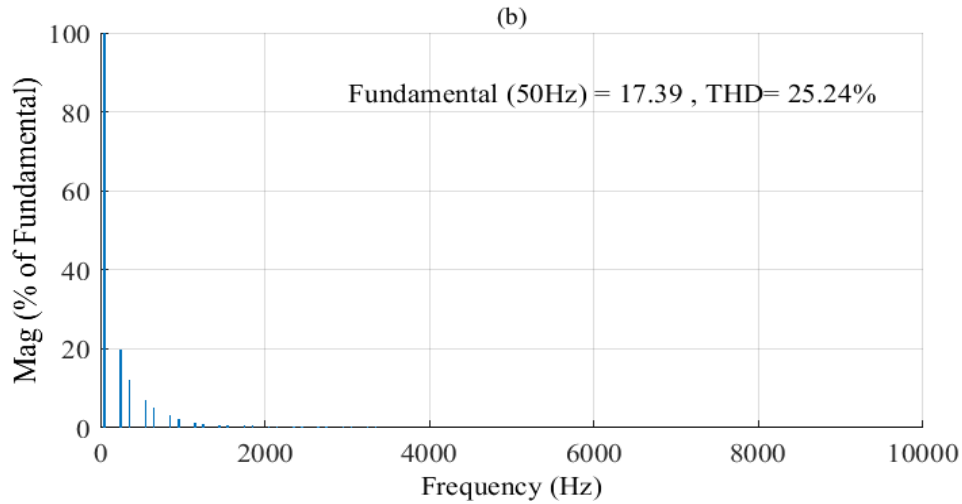


Figure III.11. Résultats HIL avant compensation : (a) courant source (b) Spectre

Cependant, après la compensation, la régulation de la tension du bus DC est précise et stable, après un bref transitoire ($t_r = 10$ ms). De plus, les courants de source i_s présentent des formes d'onde quasi sinusoïdales, avec une faible distorsion harmonique totale (THD = 3,85 %, comme le montre la Figure III.12.

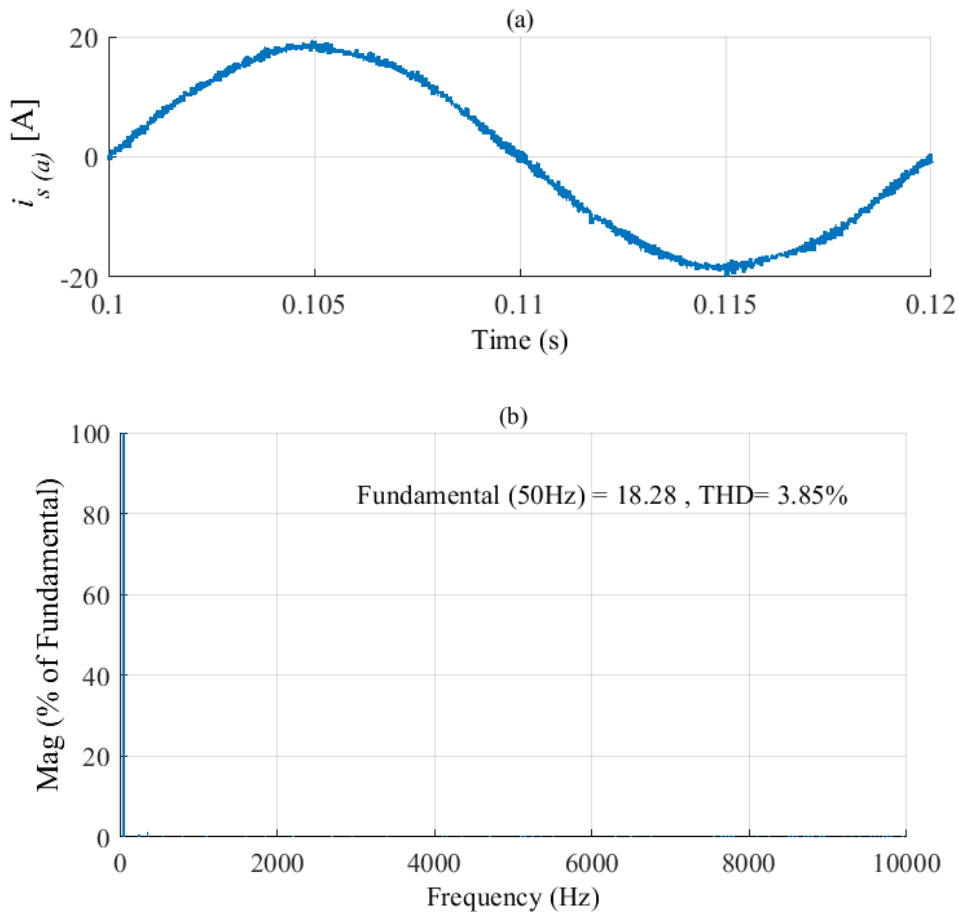


Figure III.12. Résultats HIL après compensation : (a) courant source (b) Spectre.

Les formes d'onde HIL de la puissance active et réactive sont illustrées dans la Figure III.13. On peut observer à partir de cette figure que la puissance active atteint sa valeur nominale et que la puissance réactive oscille autour de zéro après la mise en marche du SAPF. Les résultats HIL montrent que le schéma de commande proposé élimine efficacement les courants harmoniques.

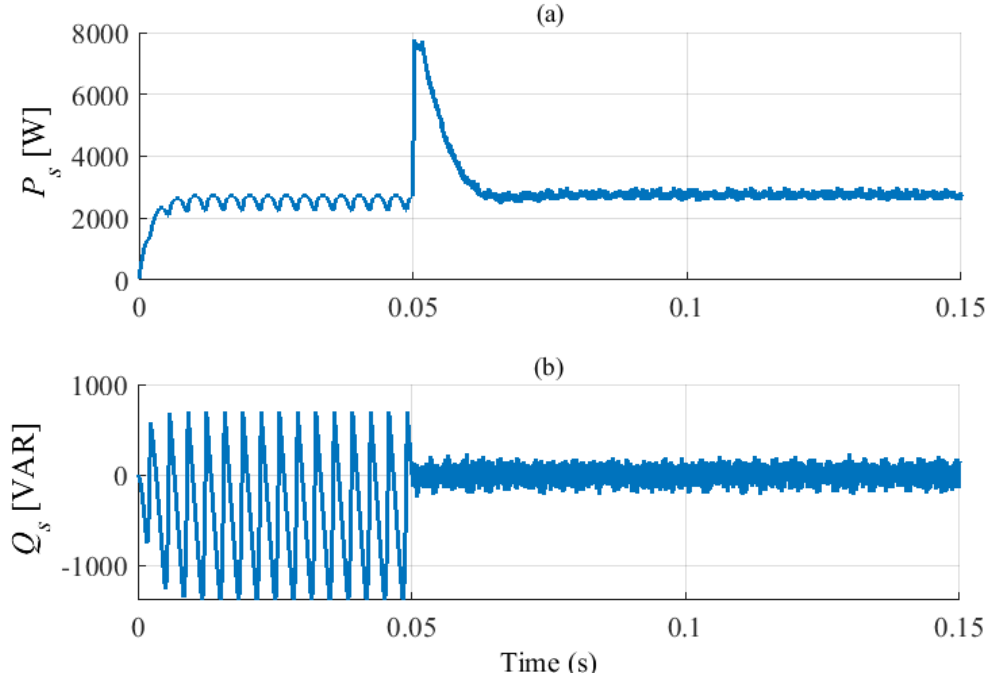
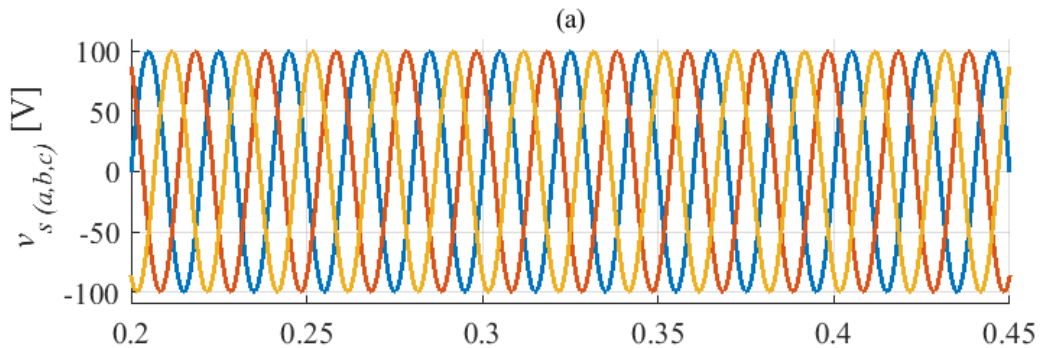


Figure III.13. Résultats HIL : (a) puissance active (b) puissance réactive.

De plus, l'efficacité de compensation du FAPS est également testée par rapport aux variations de la charge. La Figure III.14 représente les résultats de l'implémentation HIL des tensions de source, des courants de source, des courants de charge, du courant de sortie du SAPF et de la tension du bus CC pour des changements soudains de la charge, où la charge diminue soudainement de 50 % à $t = 0.25$ s et revient à sa valeur initiale après 0,15 s. On peut observer que la tension du bus DC reste proche de sa valeur de référence après un bref transitoire, et les courants de source conservent leurs formes d'onde quasi sinusoïdales.



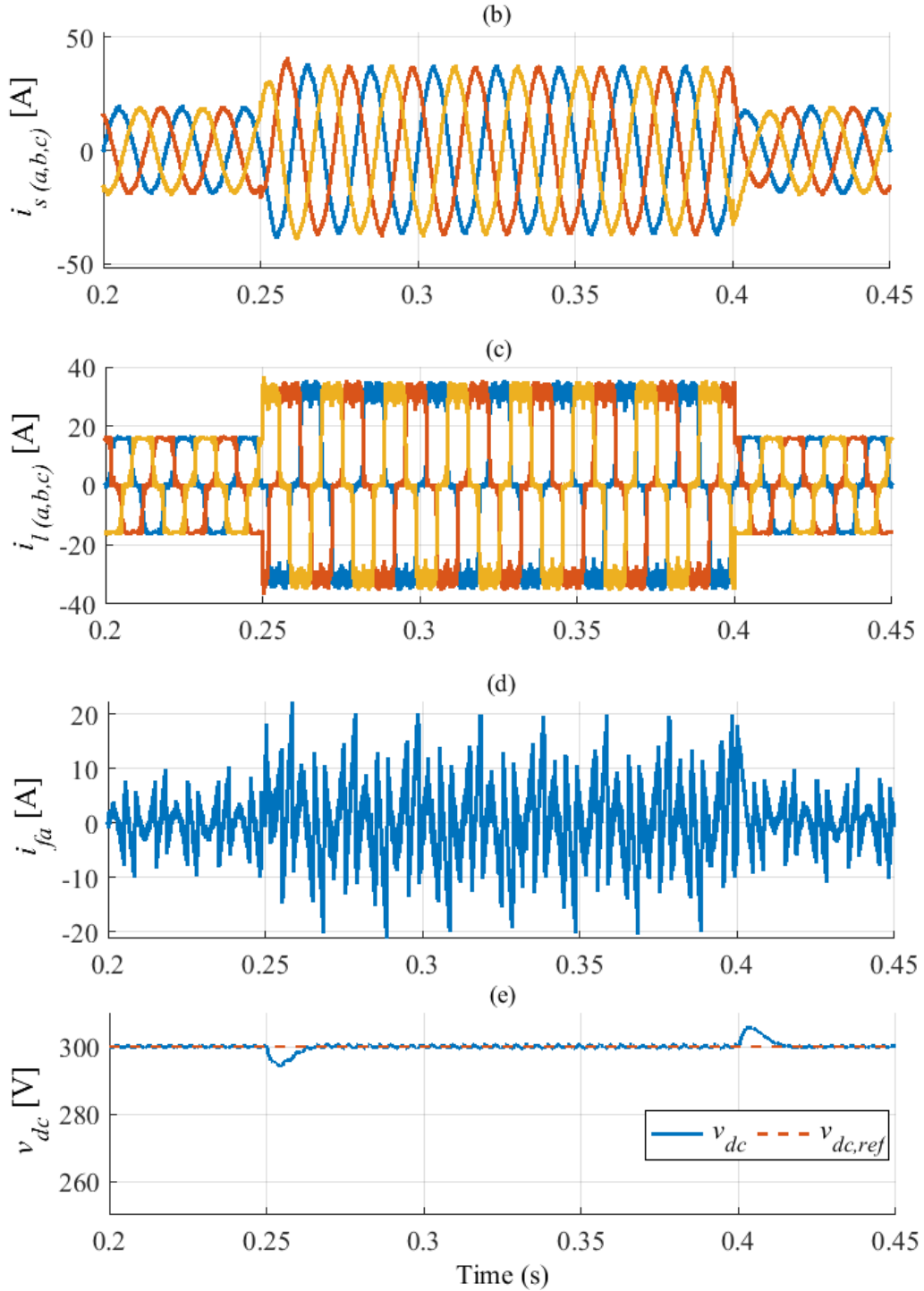


Figure III.14. Résultats HIL lors des changements de charge soudains : (a) tensions de source, (b) courants de source, (c) courants de charge, (d) courant de sortie du SAPF et (e) tension du bus DC.

La Figure III.15 illustre les formes d'onde HIL des puissances active et réactive lors de changements soudains de la charge. On peut constater que la puissance réactive continue à osciller autour de zéro, indépendamment des variations de la charge. À partir de cette figure, on peut remarquer la robustesse et l'efficacité du schéma de commande proposé vis à vis des variations de charge.

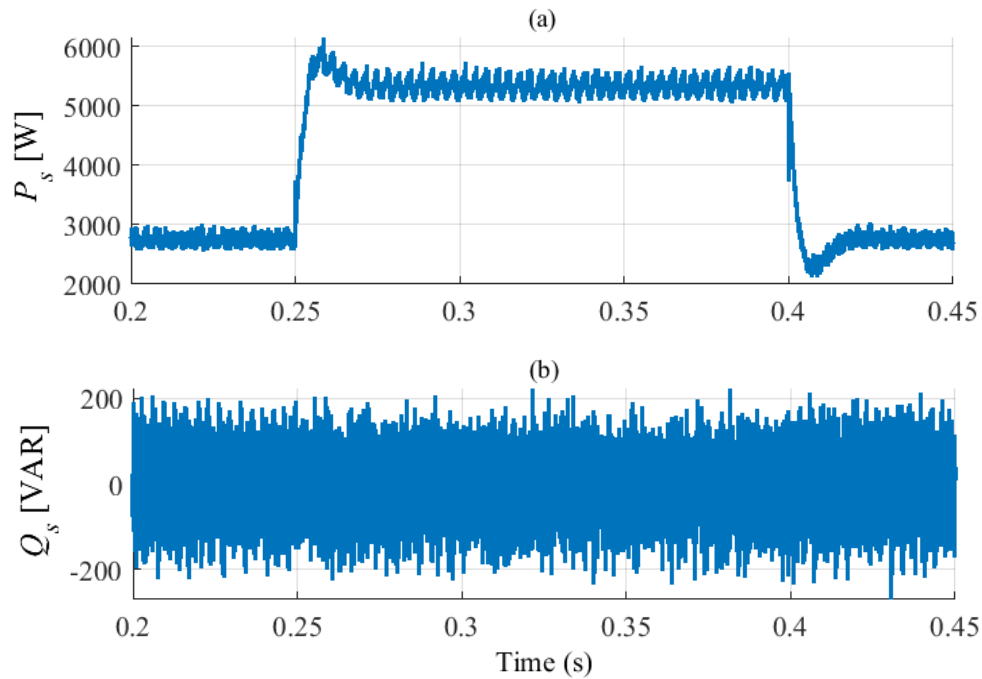


Figure III.15. Résultats HIL lors des changements de charge soudains : (a) puissance active (b) puissance réactive.

Tableau III.2. Ressources FPGA utilisées.

Résumé de l'utilisation des dispositifs			
Utilisation de la logique Slice	Utilisée	Disponible	Utilisation
Number of Slice Registers	2,482	54,576	4%
Number used as Flip Flops	2,454		
Number of Slice LUTs	3,701	27,288	13%
Number used as logic	3,455	27,288	12%
Number used as Memory	25	6,408	1%
Number of occupied Slices	1,232	6,822	18%
Number of MUXCYs used	804	13,644	5%
Number of LUT Flip Flop pairs used	3,998		
Number with an unused Flip Flop	1,893	3,998	47%
Number with an unused LUT	297	3,998	7%
Number of fully used LUT-FF pairs	1,808	3,998	45%
Number of bonded IOBs	28	218	12%
Number of BUFIO2/BUFIO2_2CLKs	1	32	3%

III.7. Conclusion

Ce chapitre propose une architecture complète pour une technique de commande en courant basée sur un FIL pour un système de FAPS. Le système proposé comprend un

régulateur IP anti-saturation, un générateur de vecteurs unitaires et des régulateurs de courant hystérésis. L'ensemble de l'architecture a été étudiée avec succès à l'aide de simulations HIL sur une carte Atlys avec une puce Spartan-6 LX45.

Les résultats HIL obtenus mettent en évidence le bon fonctionnement de la méthode de commande en courant proposée. Elle présente une réponse rapide et fournit des courants de ligne quasi sinusoïdaux avec un faible facteur THD. De plus, il a été démontré que la tension du bus CC est régulée de manière optimale avec le régulateur IP anti-saturation proposé.

Bibliographie du Chapitre III.

- [1] A. Al-Safi, A. Al-Khayyat, A. M. Manati, et L. Alhafadhi, « Advances in FPGA Based PWM Generation for Power Electronics Applications: Literature Review », in *2020 11th IEEE Annual Information Technology, Electronics and Mobile Communication Conference (IEMCON)*, nov. 2020, p. 0252-0259. doi: 10.1109/IEMCON51383.2020.9284821.
- [2] K. Sozański, *Digital Signal Processing in Power Electronics Control Circuits*. in Power Systems. London: Springer, 2017. doi: 10.1007/978-1-4471-7332-8.
- [3] M. Cirstea, A. Dinu, M. McCormick, et J. G. Khor, *Neural and Fuzzy Logic Control of Drives and Power Systems*. Elsevier, 2002.
- [4] C. Cecati, « Microprocessors for power electronics and electrical drives applications », *IEEE Ind. Electron. Soc. Newsl.*, vol. 46, n° 3, p. 5-9, 1999.
- [5] S. Brown, « FPGA architectural research: a survey », *IEEE Des. Test Comput.*, vol. 13, n° 4, p. 9-15, 1996, doi: 10.1109/54.544531.
- [6] E. Monmasson et M. N. Cirstea, « FPGA Design Methodology for Industrial Control Systems—A Review », *IEEE Trans. Ind. Electron.*, vol. 54, n° 4, p. 1824-1842, août 2007, doi: 10.1109/TIE.2007.898281.
- [7] E. Kiel et A. Lenze, « Control electronics in drive systems micro controller, DSPs, FPGAs, ASICs from state-of-art to future trends », in *Proc. PCIM Conf*, 2002.
- [8] Y.-Y. Tzou et H.-J. Hsu, « FPGA realization of space-vector PWM control IC for three-phase PWM inverters », *IEEE Trans. Power Electron.*, vol. 12, n° 6, p. 953-963, nov. 1997, doi: 10.1109/63.641493.
- [9] H. Abu-Rub, J. Guzinski, Z. Krzeminski, et H. A. Toliyat, « Predictive current control of voltage-source inverters », *IEEE Trans. Ind. Electron.*, vol. 51, n° 3, p. 585-593, juin 2004, doi: 10.1109/TIE.2004.825364.
- [10] A. de Castro, P. Zumel, O. Garcia, T. Riesgo, et J. Uceda, « Concurrent and simple digital controller of an AC/DC converter with power factor correction based on an FPGA », *IEEE Trans. Power Electron.*, vol. 18, n° 1, p. 334-343, janv. 2003, doi: 10.1109/TPEL.2002.807106.
- [11] M. Aime, G. Gateau, et T. A. Meynard, « Implementation of a Peak-Current-Control Algorithm Within a Field-Programmable Gate Array », *IEEE Trans. Ind. Electron.*, vol. 54, n° 1, p. 406-418, févr. 2007, doi: 10.1109/TIE.2006.885501.
- [12] A.-M. Lienhardt, G. Gateau, et T. A. Meynard, « Digital Sliding-Mode Observer Implementation Using FPGA », *IEEE Trans. Ind. Electron.*, vol. 54, n° 4, p. 1865-1875, août 2007, doi: 10.1109/TIE.2007.898305.
- [13] *Xilinx data book*, 2006. [En ligne]. Disponible sur: www.xilinx.com
- [14] *Altera data book*, 2006. [En ligne]. Disponible sur: www.altera.com
- [15] *Actel data book*, 2006. [En ligne]. Disponible sur: www.Actel.com
- [16] W. Wolf, *FPGA-based system design*. Pearson Education India, 2004.

- [17] H. Calderón, C. Elena, et S. Vassiliadis, « Soft Core Processors and Embedded Processing: a survey and analysis », in *Proceedings of-ProRISC*, 2005, p. 483-488.
- [18] *VHDL: Programming By Example, Fourth Edition*, Fourth Edition. McGraw-Hill Education, 2002. Consulté le: 23 août 2023. [En ligne]. Disponible sur: <https://www.accessengineeringlibrary.com/content/book/9780071400701>
- [19] P. J. Ashenden, *The Designer's Guide to VHDL*. Morgan Kaufmann, 2010.
- [20] S. Palnitkar, *Verilog HDL: A Guide to Digital Design and Synthesis*. Prentice Hall Professional, 2003.
- [21] I. Std, « Ieee standard vhdl language reference manual », *Inst. Electr. Electron. Eng. Inc*, 1988.
- [22] A. A. Jerraya, *Behavioral Synthesis and Component Reuse with VHDL*. Springer Science & Business Media, 1997.
- [23] T. Riesgo, Y. Torroja, et E. de la Torre, « Design methodologies based on hardware description languages », *IEEE Trans. Ind. Electron.*, vol. 46, n° 1, p. 3-12, févr. 1999, doi: 10.1109/41.744370.
- [24] F. Ricci et H. Le-Huy, « An FPGA-based rapid prototyping platform for variable-speed drives », in *IEEE 2002 28th Annual Conference of the Industrial Electronics Society. IECON 02*, nov. 2002, p. 1156-1161 vol.2. doi: 10.1109/IECON.2002.1185436.
- [25] Z. Salcic, J. Cao, et S. K. Nguang, « A floating-point FPGA-based self-tuning regulator », *IEEE Trans. Ind. Electron.*, vol. 53, n° 2, p. 693-704, avr. 2006, doi: 10.1109/TIE.2006.871702.
- [26] « A methodology for FPGA-based control implementation | IEEE Journals & Magazine | IEEE Xplore ». <https://ieeexplore.ieee.org/abstract/document/1522237> (consulté le 23 août 2023).
- [27] D. Menard et O. Sentieys, « Automatic evaluation of the accuracy of fixed-point algorithms », in *Automation and Test in Europe Conference and Exhibition Proceedings 2002 Design*, mars 2002, p. 529-535. doi: 10.1109/DATE.2002.998351.
- [28] E. Monmasson, J. C. Hapiot, et M. Grandpierre, « Analysis of a current controller for AC drives entirely based on FPGAs », *ICEM Gif-Sur-Yvette Fr.*, vol. 3, p. 1-5, 1994.
- [29] « A Digital Control System Based on Field Programmable Gate Array for AC Drives: EPE Journal: Vol 3, No 4 ». <https://www.tandfonline.com/doi/abs/10.1080/09398368.1993.11463329> (consulté le 23 août 2023).
- [30] T. Grandpierre, C. Lavarenne, et Y. Sorel, « Optimized rapid prototyping for real-time embedded heterogeneous multiprocessors », in *Proceedings of the seventh international workshop on Hardware/software codesign*, 1999, p. 74-78.
- [31] L. Malesani, P. Mattavelli, et S. Buso, « Dead-beat current control for active filters », in *IECON '98. Proceedings of the 24th Annual Conference of the IEEE Industrial*

- Electronics Society (Cat. No.98CH36200)*, août 1998, p. 1859-1864 vol.3. doi: 10.1109/IECON.1998.723020.
- [32] J. C. Das, « Passive filters - potentialities and limitations », *IEEE Trans. Ind. Appl.*, vol. 40, n° 1, p. 232-241, janv. 2004, doi: 10.1109/TIA.2003.821666.
- [33] H.-L. Jou, J.-C. Wu, et H.-Y. Chu, « New single-phase active power filter », *IEE Proc. - Electr. Power Appl.*, vol. 141, n° 3, p. 129-134, mai 1994, doi: 10.1049/ip-epa:19949938.
- [34] S. Buso, L. Malesani, P. Mattavelli, et R. Veronese, « Design and fully digital control of parallel active filters for thyristor rectifiers to comply with IEC-1000-3-2 standards », *IEEE Trans. Ind. Appl.*, vol. 34, n° 3, p. 508-517, mai 1998, doi: 10.1109/28.673721.
- [35] P. Jintakosonwit, H. Fujita, et H. Akagi, « Control and performance of a fully-digital-controlled shunt active filter for installation on a power distribution system », *IEEE Trans. Power Electron.*, vol. 17, n° 1, p. 132-140, janv. 2002, doi: 10.1109/63.988679.
- [36] K. Nishida, Y. Konishi, et M. Nakaoka, « Current control implementation with deadbeat algorithm for three-phase current-source active power filter », *IEE Proc. - Electr. Power Appl.*, vol. 149, n° 4, p. 275-282, juill. 2002, doi: 10.1049/ip-epa:20020257.
- [37] S. Khositkasame et S. Sangwongwanich, « Design of harmonic current detector and stability analysis of a hybrid parallel active filter », in *Proceedings of Power Conversion Conference - PCC '97*, août 1997, p. 181-186 vol.1. doi: 10.1109/PCCON.1997.645608.
- [38] Y. Komatsu et T. Kawabata, « Characteristics of three phase active power filter using extension pq theory », in *ISIE '97 Proceeding of the IEEE International Symposium on Industrial Electronics*, juill. 1997, p. 302-307 vol.2. doi: 10.1109/ISIE.1997.648954.
- [39] B. Dobrucky, H. Kim, V. Racek, M. Roch, et M. Pokorny, « Single-phase power active filter and compensator using instantaneous reactive power method », in *Proceedings of the Power Conversion Conference-Osaka 2002 (Cat. No.02TH8579)*, avr. 2002, p. 167-171 vol.1. doi: 10.1109/PCC.2002.998541.
- [40] L. P. Ling et N. A. Azli, « SVM based hysteresis current controller for a three phase active power filter », in *PECon 2004. Proceedings. National Power and Energy Conference, 2004.*, nov. 2004, p. 132-136. doi: 10.1109/PECON.2004.1461630.
- [41] M. El-Habrouk, M. K. Darwish, et P. Mehta, « Active power filters: A review », *IEE Proc. - Electr. Power Appl.*, vol. 147, n° 5, p. 403-413, sept. 2000, doi: 10.1049/ip-epa:20000522.
- [42] N. Mariun, A. Alam, S. Mahmood, et H. Hizam, « Review of control strategies for power quality conditioners », in *PECon 2004. Proceedings. National Power and Energy Conference, 2004.*, nov. 2004, p. 109-115. doi: 10.1109/PECON.2004.1461626.
- [43] M. El-Habrouk et M. K. Darwish, « Design and implementation of a modified Fourier analysis harmonic current computation technique for power active filters using DSPs », *IEE Proc. - Electr. Power Appl.*, vol. 148, n° 1, p. 21-28, janv. 2001, doi: 10.1049/ip-epa:20010014.

CHAPITRE IV. COMPARAISON DES STRUCTURES D'UNE COMMANDE AVANCEE

IV.1. Introduction :

L'évolution rapide de la technologie des dispositifs programmables (FPGA) a offert de nouvelles opportunités dans le domaine de la commande des filtres actifs de puissance. Les FAP jouent un rôle crucial dans la gestion de la qualité de l'énergie électrique en éliminant les harmoniques indésirables et en compensant la puissance réactive.

Ce chapitre présente une approche novatrice basée sur une commande synergétique optimisée par ACO (CS-ACO) sur une FPGA pour l'implémentation matérielle HIL d'un FAPS. L'objectif de ce chapitre est de présenter en détail cette méthode prometteuse, en mettant l'accent sur les avantages qu'elle offre en termes de performances dynamique et statique, de flexibilité et d'efficacité.

La stratégie de commande CS-ACO pour les systèmes FAPS est comparée à d'autres commandes (hystérésis, SMC). Cependant, d'après la littérature, la commande à hystérésis est caractérisée par une capacité de protection contre les surintensités et la simplicité de mise en œuvre pratique.

Pour l'implémentation matérielle de la commande à hystérésis, la DSP assure une bonne réponse dynamique relativement à d'autres types de processeurs numériques [1]. Malgré ses bonnes performances, la commande à hystérésis présente l'inconvénient d'une fréquence de commutation variable et élevée. Cela entraîne une augmentation des pertes d'énergie et la génération de perturbations électromagnétiques importantes dans le FAPS tout en compliquant le choix de l'inductance de couplage dans les régulateurs de courant à hystérésis [2].

De même, la méthode SMC présente de bonnes caractéristiques de robustesse, mais introduit l'effet de "chattering" ou broutement qui peut provoquer la dégradation de l'actionneur et l'augmentation de la consommation d'énergie du système de commande [3].

Bien qu'une des méthodes d'atténuation du phénomène de "chattering" soit l'utilisation de la fonction saturation au lieu de la fonction signal dans le dispositif de commande, cela n'élimine pas complètement le phénomène de "chattering". C'est ici que la méthode de commande CS-ACO proposée présente un avantage majeur par rapport à la méthode SMC.

L'objectif de ce chapitre est de présenter la conception d'une commande robuste du FAPS qui garantit de bonnes performances. Cela est rendu possible en optimisant les paramètres de la CS à l'aide de l'algorithme ACO pour un suivi efficace des objectifs de la commande. La CS-ACO est conçue pour le FAPS et est connue pour sa robustesse vis-à-vis des incertitudes/perturbations, ainsi que pour sa douceur de commande avec une faible consommation d'énergie.

Les résultats de simulation montrent l'efficacité de la CS-ACO. Ses performances sont principalement comparées à celles des commandes Hystérésis et SMC. Alors nous présenterons la validation expérimentale HIL des résultats de simulation, afin de confirmer la supériorité de la commande proposée et sa faisabilité.

IV.2. Conception à base de modèles en V :

Les systèmes électroniques actuels intègrent des algorithmes complexes (comme le traitement de signal et la communication de données) dans une architecture mixte matérielle-logicielle. Le processus commence par la consolidation des spécifications techniques. Ensuite, la modélisation à haut niveau précède la création de modèles à bas niveau selon la technologie choisie (RTL, PLC, logiciels embarqués), bien que des ambiguïtés entre spécifications et implémentation puissent surgir. L'approche de conception basée sur des modèles (Model-based design, MBD), représentée en Figure VI.1, résout ces problèmes en construisant un modèle du système au début, facilite la simulation, optimisation et personnalise par les ingénieurs. Une fois les exigences comblées, le code bas niveau est généré.

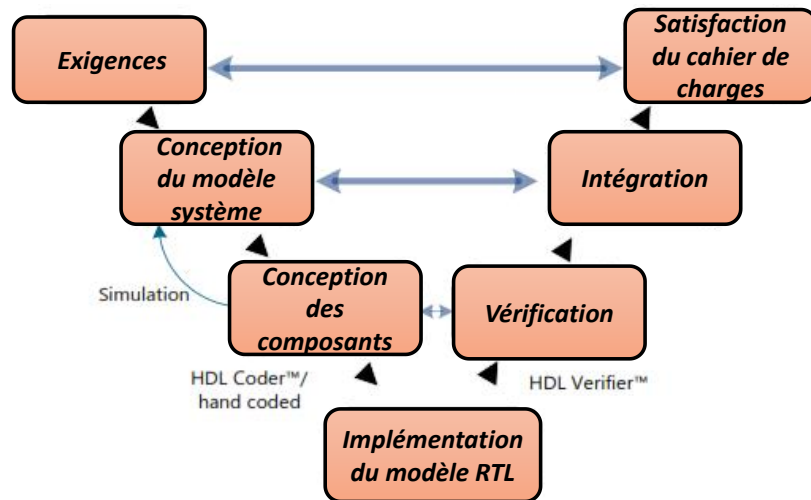


Figure VI.1. Conception à base de modèles avec des outils de MathWorks.

Selon la documentation de MathWorks (2014a), après avoir achevé le processus de mise en œuvre, le concepteur peut vérifier le code par rapport au modèle initial haut niveau. Dans notre travail, nous nous concentrons sur une étape de niveau de transfert de registre (RTL) du MBD. MathWorks, Inc. propose un ensemble d'outils utiles pour simplifier la méthodologie de conception basée sur des modèles orientés HDL, dans le cadre du logiciel MATLAB/Simulink (avec des outils supplémentaires tels que HDL Coder, HDL Verifier et Virgule Fixe). Cet ensemble d'outils permet à l'ingénieur de créer rapidement, de simuler et de réaliser un prototypage rapide du modèle haut niveau. Après avoir terminé cette étape, l'utilisateur peut soit coder manuellement le modèle, soit générer automatiquement le code avec HDL Coder. Lorsque le modèle répond à toutes les exigences, l'étape suivante consiste à créer le code de bas niveau. Pour vérifier la mise en œuvre et la comparer avec le modèle à haut niveau, HDL Verifier™ est utilisé. Il permet au code M d'agir comme un banc d'essai pour l'implémentation de l'utilisateur. Le concept d'utilisation des outils mentionnés dans le processus de développement est illustré à la Figure VI.1. L'utilisation de la modélisation à haut niveau dans le processus de développement dans divers domaines d'applications est largement décrite dans la littérature, à titre d'exemples, Othman (2015), Nycz (2009), Paiz (2009) ou Penczek (2011). Les travaux rapportés se concentrent sur le développement de l'option de débogage pour une utilisation de FPGA dans une boucle (FPGA-in-the-Loop) et l'augmentation des performances

de vérification de modèle RTL (Register Transfer Level), ce qui se traduit en français par "Niveau de Transfert de Registre".

Il existe trois scénarios d'utilisation distincts de l'environnement de vérification du MBD, à savoir la co-simulation avec un simulateur logique, l'accélération de l'exécution d'un code RTL et la vérification en boucle fermée avec FPGA-in-the-Loop (FIL).

Un concept d'utilisation de FPGA-in-the-Loop dans une vérification en boucle fermée est illustrée en Figure VI.2. Dans ce cas, l'environnement de vérification est construit sur la suite MATLAB/Simulink. Cependant, bien que les performances de la vérification augmentent, la possibilité de débogage diminue. Il n'y a plus de connexion au simulateur logique, de sorte que le modèle RTL de l'utilisateur devient une « boîte noire » et l'observation des signaux internes est désactivée. Il existe toujours une option de débogage pour la technologie Xilinx disponible via ChipScope. Le principal inconvénient de cette approche est la nécessité de resynthétiser le projet à chaque changement d'ensemble de signaux observés. Cela n'est pas efficace en termes d'utilisation des ressources.

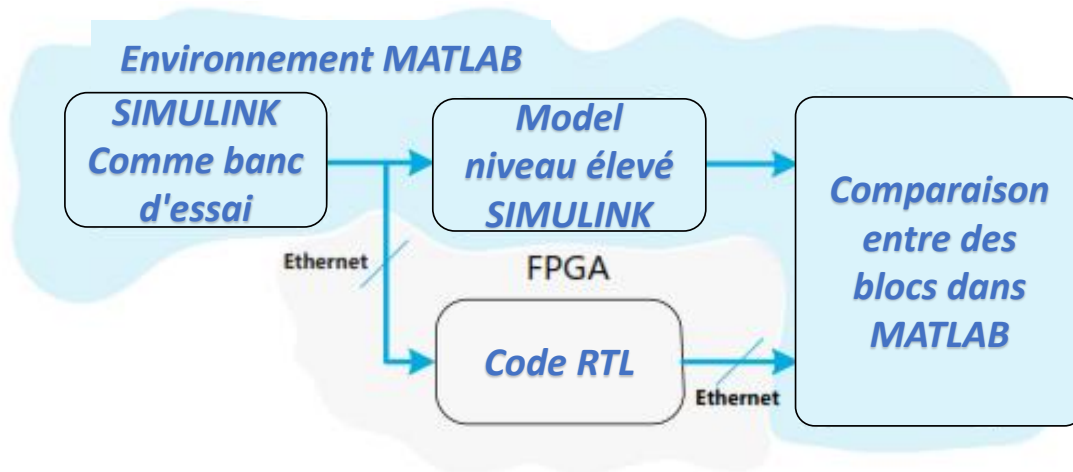


Figure VI.2. Scénario de vérification en boucle fermée avec FPGA-in-the-Loop

IV.2.1. Implémentation matérielle FPGA in the Loop :

FPGA in the Loop (FIL) est une technologie embarquée puissante qui permet une implémentation matérielle dans une boucle logicielle, pour une commande précise et un traitement à grande vitesse, en utilisant MATLAB/Simulink pour la vérification de la conception matérielle réelle dans n'importe quel code VHDL.

Cette technique offre un avantage en termes de temps de développement et fournit au concepteur plus de moyens et de capacité pour classer et réutiliser le modèle [44,45]. Dans ce chapitre, le système CS-ACO est simulé à l'aide de MATLAB/Simulink, et la commande proposée est implémentée dans un kit d'évaluation Virtex-6 FPGA ML605 Evaluation Xilinx. Les principales étapes de progression de la DTSC-ACO sont illustrées dans le diagramme de flux de la Figure VI.3.

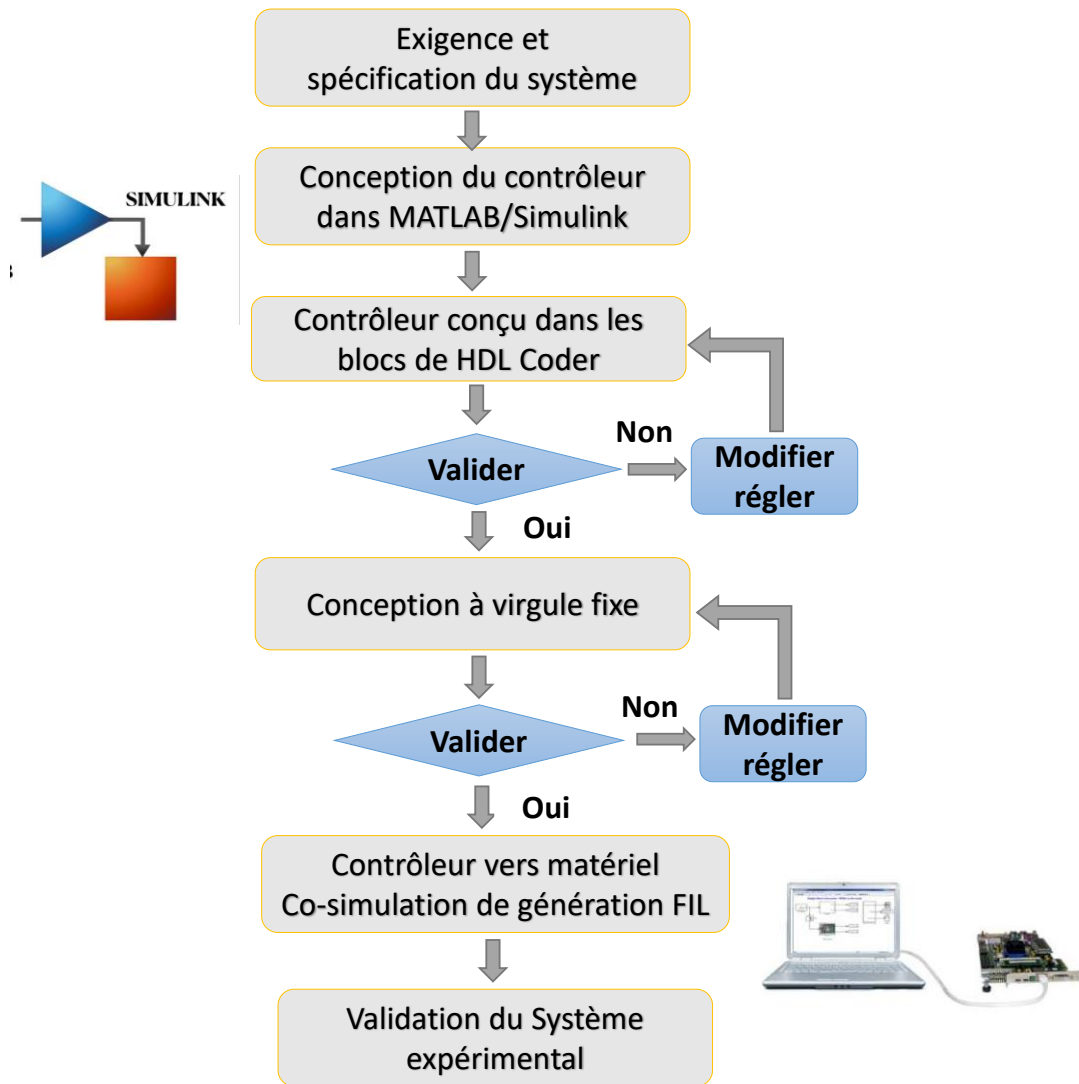


Figure VI.3. Organigramme de la co-simulation FIL.

La conception en virgule fixe est nécessaire lorsqu'on considère le développement avec la FPGA. Un équilibre entre les performances de l'architecture et la complexité du matériel à minimiser doit être trouvé. En général, les implémentations en arithmétique en virgule flottante entraînent une utilisation non optimisée des ressources FPGA. Dans la méthode développée pour la détermination du format en virgule fixe, les outils en virgule fixe de MATLAB/Simulink sont utilisés, en suivant la plage dynamique de chaque donnée dans l'algorithme de commande.

IV.3. Description et modélisation du FAPS (Exigence et spécificité du système) :

La Figure VI.4 montre la structure du FAPS mentionnée dans [4]. Le système complet comprend un onduleur de tension triphasé formant le FAPS, branché en parallèle avec le réseau au point de couplage commun (PCC) entre une source de tension triphasée et un redresseur triphasé en tant que charge non linéaire. Le modèle dynamique du FAPS est détaillé dans [5].

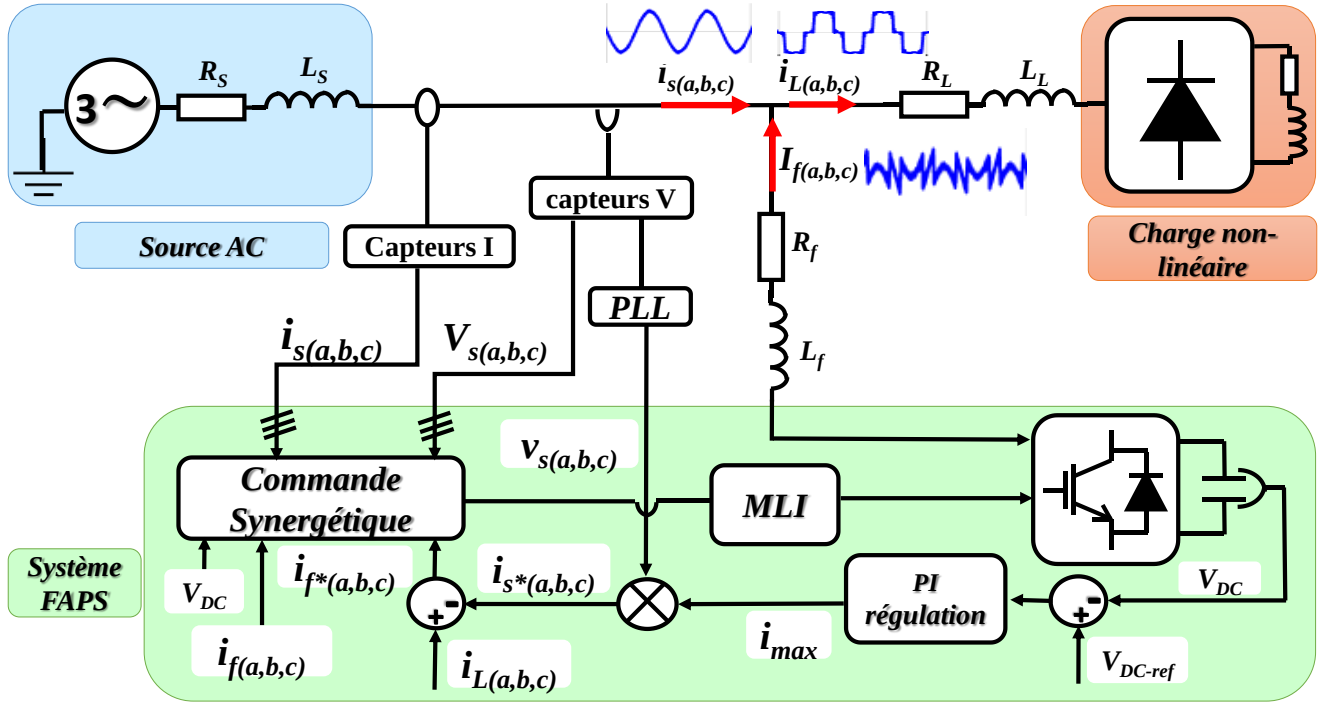


Figure VI.4. Schéma blocs du système FAPS et la commande synergétique.

MATLAB/Simulink a été utilisé pour évaluer les performances du système FAPS triphasé proposé. Le Tableau 4.1 liste les valeurs des paramètres et des composants de simulation du FAPS, et sont utilisées pour effectuer une comparaison du même modèle avec les commandes à hystérésis et à mode glissant.

Tableau IV.1. Paramètres de simulation du système FAPS.

Paramètres	Valeurs
Tension du réseau (v_s)	100 V
Fréquence du réseau (f_s)	50 Hz
Inductance côté réseau (L_s)	0.5 mH
Résistance côté réseau (R_s)	0.1
Inductance côté filtre (L_f)	1 mH
Résistance côté filtre (R_f)	0.1
Inductance côté AC du redresseur (L_l)	0.5 mH
Condensateur DC (C_{dc})	2200 μ F
Résistance côté DC de la charge (R_l)	10
Inductance côté DC de la charge (L_l)	20 mH
Référence de tension DC (V_{dcref})	300 V
Fréquence d'échantillonnage (f_s)	IV Hz

IV.4. Commande proposée :

La Figure VI.5 représente le système de commande global du FAPS, la loi de commande U_{sc} est exprimée par l'équation 2.23. Le système de commande comporte trois parties principales : IP anti-saturation pour la régulation de la tension du bus DC, l'algorithme

d'extraction du courant harmonique et la commande CS pour commander les courants de sortie du filtre afin de compenser la puissance réactive et supprimer les harmoniques de courant dus aux charges non linéaires au niveau du point PCC.

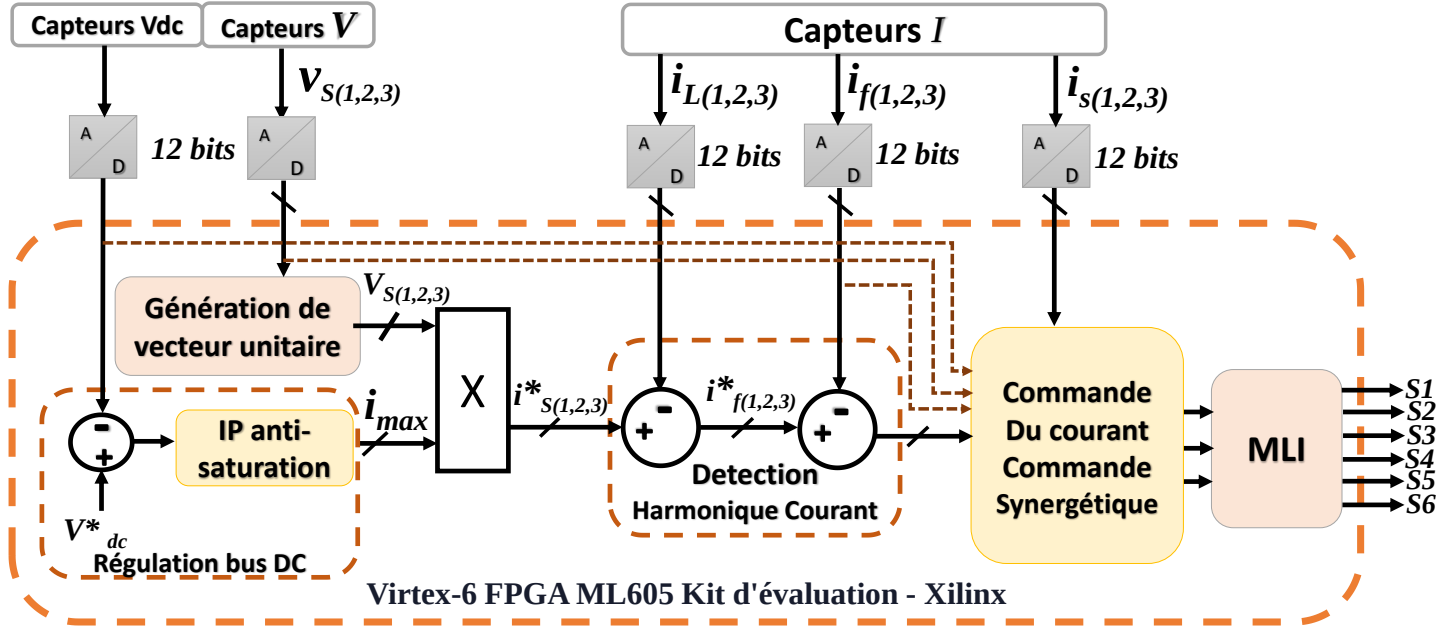


Figure VI.5. Schéma de la CS pilotant le FAPS.

IV.5. Conception de la commande synergétique (blocs codeurs HDL) :

Les blocs de base HDL de l'outil HDL coder (MATLAB/Simulink), sont présentés en Figure VI.6, pour la synthèse le contrôleur synergétique correspondant à l'équation 2.23.

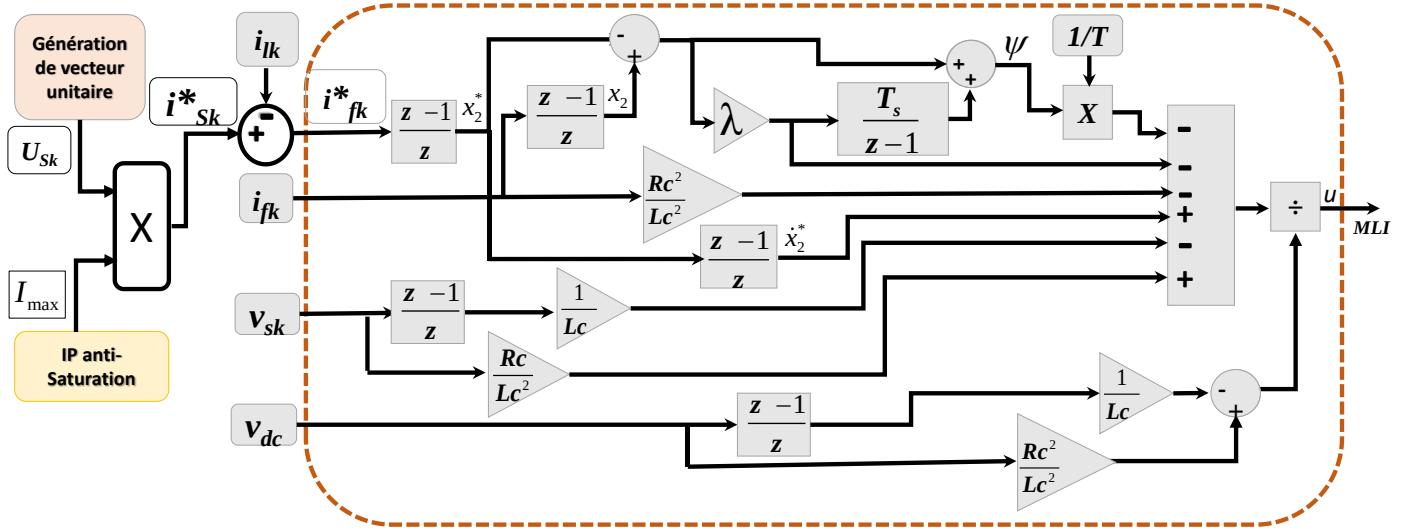


Figure VI.6. Blocs HDL de la commande synergétique.

Cependant, la définition d'une macro-variable est importante. Elle réduit considérablement le problème de sensibilité des paramètres et permet d'obtenir des résultats plus précis à l'état stable. Le réglage des deux principaux paramètres $[T, \lambda]$ à l'aide de la technique ACO a considérablement amélioré les performances de la commande.

En considérant que X représente la variable de décision, est-elle explicitement formulée et représentée comme suit : $X = [T, \lambda]$. Le schéma synoptique pour l'optimisation de la CS avec l'ACO est représenté en Figure VI.7.

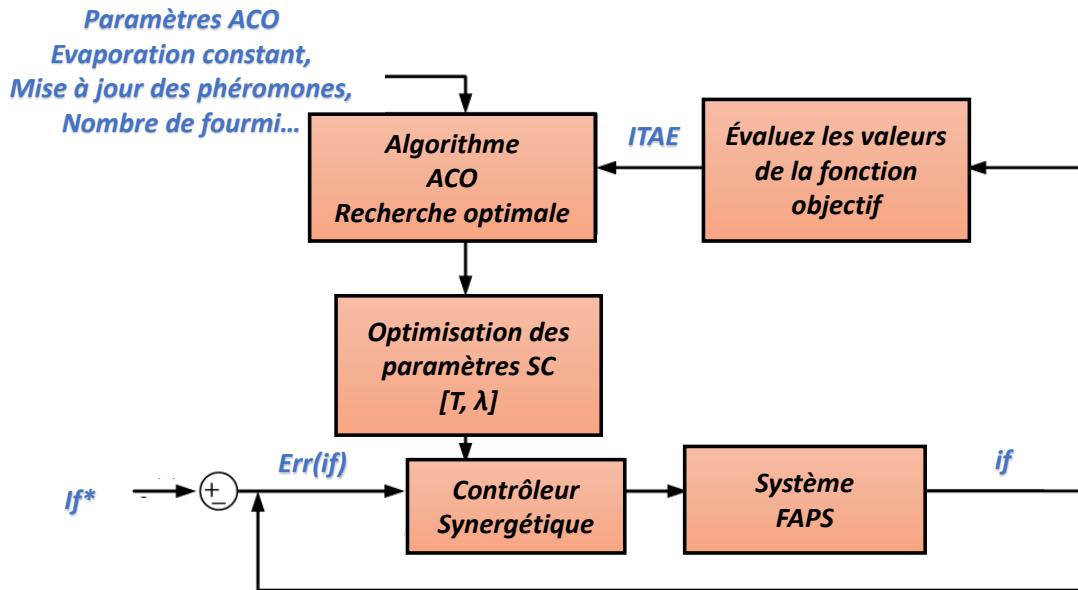


Figure VI.7. Diagramme ACO d'optimisation des paramètres $[T, \lambda]$.

En effet l'utilisation de l'ACO pour le réglage des paramètres $[T, \lambda]$, de la CS du système FAPS a permis d'obtenir des résultats bien meilleurs que ceux issus de la méthode de réglage classique.

Le problème de conception de la CS combinée avec l'ACO, peut être assimilé à un problème de graphe, comme indiqué en Figure VI.8. Les valeurs de chaque paramètre $[T, \lambda]$ sont placées dans un vecteur. Afin de créer une représentation graphique du problème, ces vecteurs peuvent être considérés comme des chemins entre les nœuds.

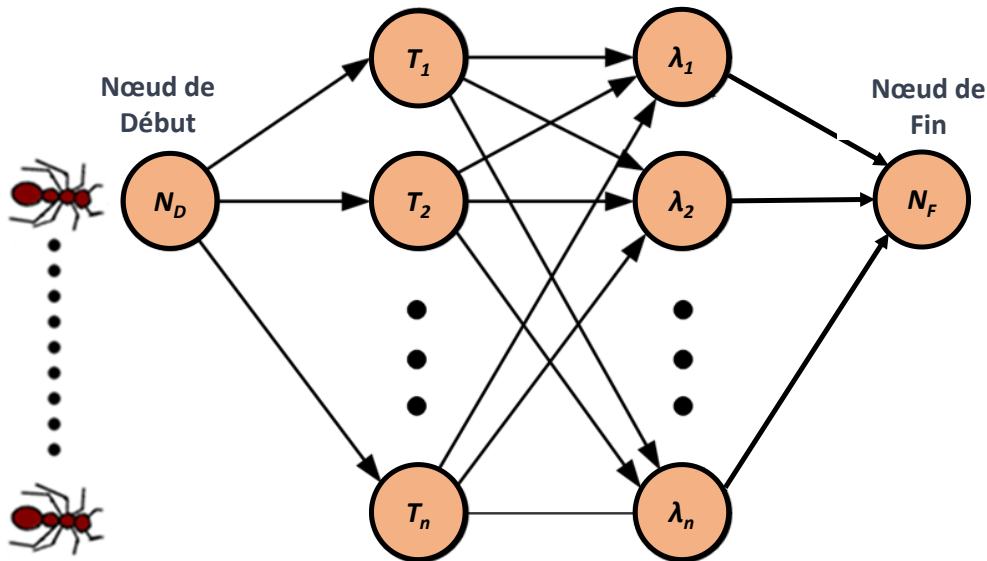


Figure VI.8. Représentation graphique de l'ACO pour le processus d'ajustement de la commande synergétique.

Lors du parcours, la fourmi doit visiter deux nœuds en choisissant un chemin entre le nœud de départ et le nœud de fin. L'objectif de l'ACO est de trouver le meilleur parcours avec la fonction de coût la plus faible (Equation 4.1) parmi les deux nœuds. Les fourmis déposent de la phéromone au début de chaque chemin. Ensuite, les phéromones sont mises à jour selon la règle de mise à jour des phéromones (Equation 4.2).

L'algorithme de base de l'ACO est segmenté en trois stages.

1. Initialisation

- ✓ Initialiser toutes les valeurs discrètes des variables de conception avec la même quantité phéromones.

2. Construction de solutions par les fourmis

- ✓ Déterminer la probabilité de sélection des valeurs discrètes des variables de conception

$$p_j^k = \frac{\tau_j}{\sum_{j=1}^m \tau_j} \quad (4.1)$$

- ✓ Trouver les plages de probabilité cumulée associées aux différentes valeurs discrètes en fonction de leurs probabilités.
- ✓ Générer N nombres aléatoires r, un pour chaque fourmi, dans la plage (0,1)
- ✓ Déterminer la valeur discrète K par fourmi, pour laquelle la plage de probabilité cumulée contient le nombre aléatoire r.

3. Mise à jour des phéromones.

- ✓ Évaluer les valeurs de la fonction objectif pour chaque fourmi, selon l'équation (4.2).
- ✓ Déterminer la meilleure phéromone f_{best} et la pire phéromone f_{worst} en fonction de la fonction objectif des valeurs discrètes des fourmis.
- ✓ Meilleures fourmis : renforcement de la phéromone du chemin par

$$\tau_j^{new} \leftarrow \tau_j^{old} + \sum_k \Delta \tau_j^{(k)} \quad (4.2)$$

Avec :

$$\Delta \tau_j^{(k)} = \frac{\zeta f_{best}}{f_{worst}}$$

- ✓ Autres fourmis : évaporation de la phéromone sur les autres chemins par l'équation 4.3

$$\tau_j^{new} \leftarrow (1 - p) \tau_j^{old} \quad (4.3)$$

- ✓ Interruption de l'algorithme lorsque le nombre maximum d'itérations est atteint, puis sauvegarder en mémoire le chemin le plus court et des valeurs optimales des paramètres.

IV.6. Résultats expérimentaux.

La supériorité des performances de la commande synergétique (CS) par rapport aux autres commandes tels que l'hystérésis et la SMC est beaucoup mise en évidence dans de nombreuses références et applications [6] [7] [8] [9].

Pour démontrer la validité du système conçu, une mise en œuvre basée sur une carte FPGA a été réalisée. Les performances de la commande synergétique optimisée, et un contrôleur IP anti-saturation ont été testées sous diverses conditions. La commande CS a été également étudiée en régimes transitoire et permanent.

Après confirmation des résultats de la simulation, la configuration FIL a été conçue et réalisée avec succès sur une carte d'évaluation Virtex-6 FPGA ML605 de Xilinx (Tableau 4.2), comme illustré en Figure VI.9, afin de valider les résultats de la simulation. De plus, cela confirmera que la commande synergétique est parfaitement adaptée au traitement numérique sur FPGA. La carte est dotée de la FPGA Virtex 6 XC6VLX240T-1FFG1156.

Les expérimentations menées dans le laboratoire LEPCI ont pour objectif la validation des performances de la commande CS proposée, et la confirmation de la supériorité de cette commande par rapport aux deux autres.

La commande synergétique a réussi à passer avec succès tous les tests, même dans des conditions sévères et complexes. En revanche, les commandes (hystérésis et SMC) ont montré des résultats moins satisfaisants, comme le montrent les Figures IV.9 (c) et (d). Cette supériorité de performance est sûrement attribuable à la capacité de la commande synergétique à gérer efficacement les systèmes non linéaires et complexes en les décomposant en sous-systèmes plus simples.

Tableau IV.2. Caractéristiques essentielles de la carte *Virtex-6 FPGA ML605 de Xilinx*

Cellules logiques	241,152
Mémoire (Ko)	14,976
Tranches DSP	768
Émetteurs-récepteurs maximum (GTX)	24
E/S	720



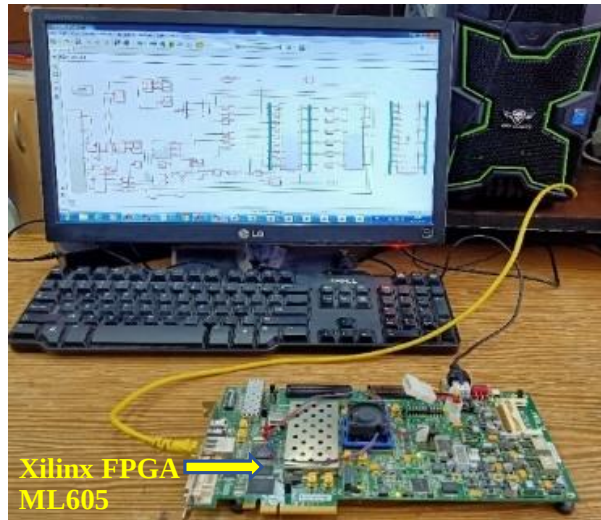


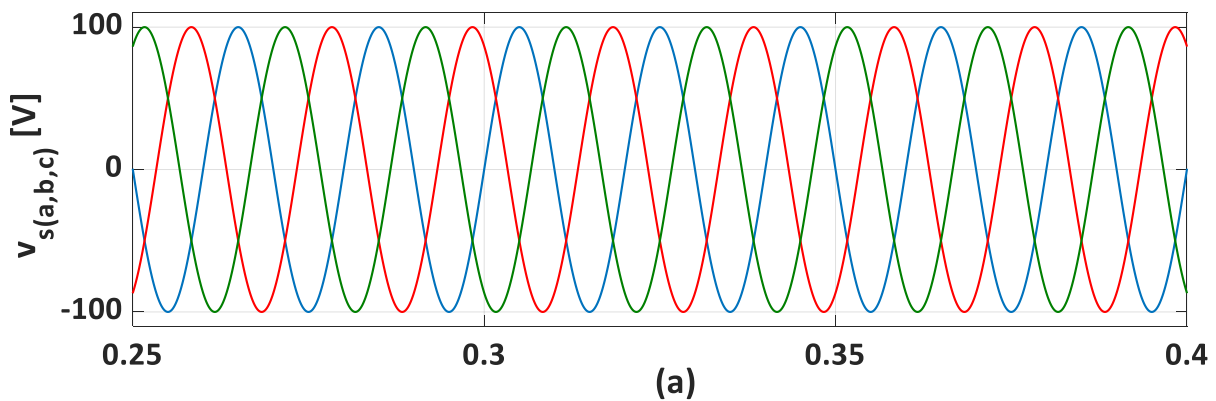
Figure VI.9. Configuration expérimentale du système.

IV.6.1. Formes d'onde du système :

La Figure VI.10 représente les formes d'onde des tensions du réseau (v_{sk}), des courants de charge (i_{l1}), de la tension DC-link (V_{dc}), du courant du FAPS (i_{fa}) et des courants du réseau (i_{sa}). Le FAPS est introduit à $t = 0,3$ s. Son rôle est d'injecter le courant de filtrage i_f pour compenser les composantes harmoniques des courants du réseau. On constate que les tensions du réseau ne sont pas affectées par la mise en marche du FAPS (Figure VI.10 a), conservant une forme sinusoïdale.

Avant compensation, c'est-à-dire avant $t = 0,3$ s, les courants de charge (Figure VI.10 b) sont presque identiques aux courants du réseau (Figure VI.10 e) avec une forme d'onde déformée. Alors que la tension DC-link est maintenue constante (Figure VI.10 c) et qu'il n'y a pas de filtrage (Figure VI.10 d).

Après compensation, les courants de charge conservent la même forme (Figure VI.10 b), tandis que les courants du réseau présentent une forme sinusoïdale, comme le montre la Figure VI.10 (e), et la tension DC-link est ramenée à sa valeur de référence de 300V de manière efficace et se stabilise après une brève période transitoire (Figure VI.10 c). Le courant de compensation est illustré en Figure VI.10 (d). Ce résultat montre clairement l'efficacité de la commande synergétique proposée pour le FAPS.



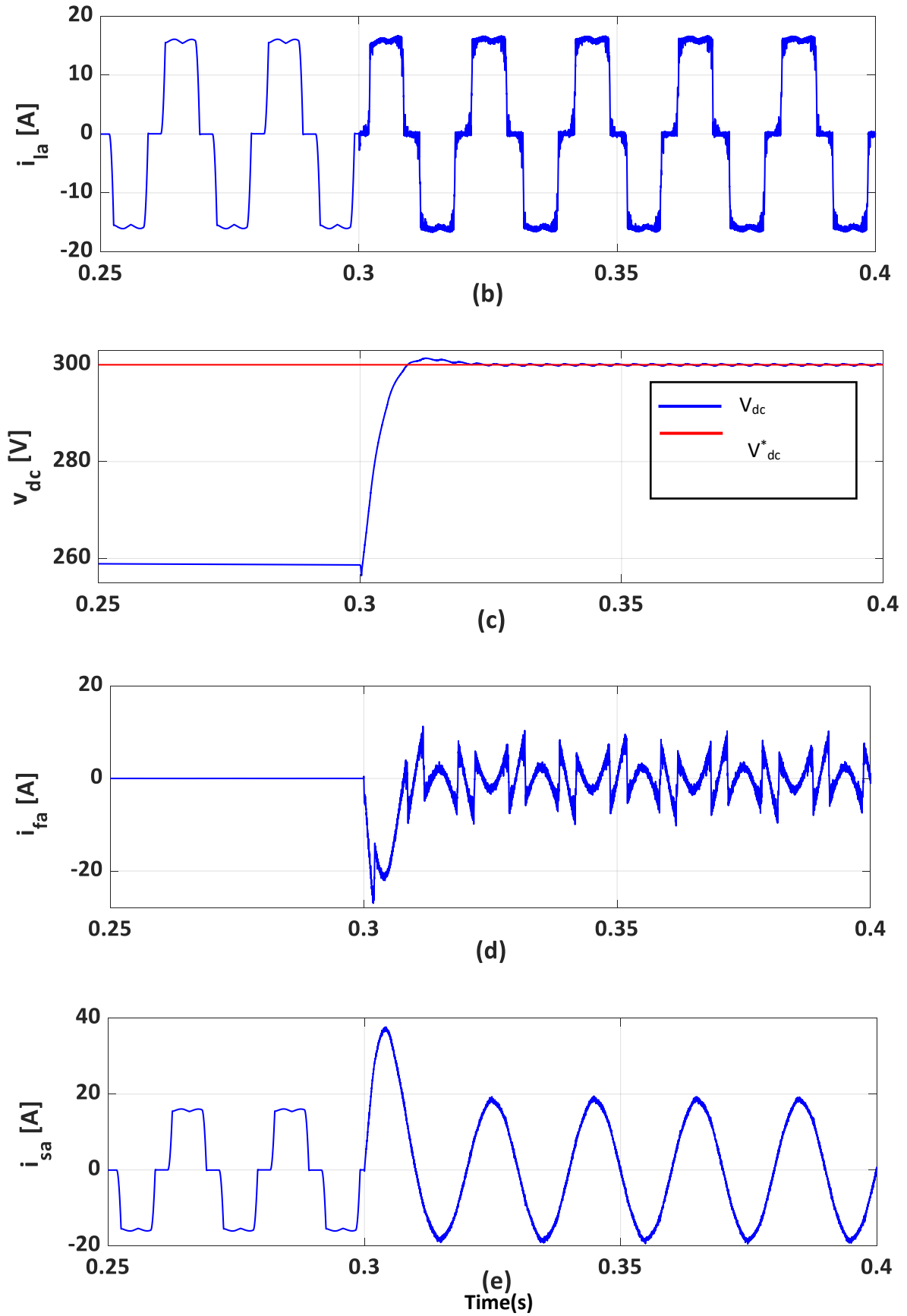
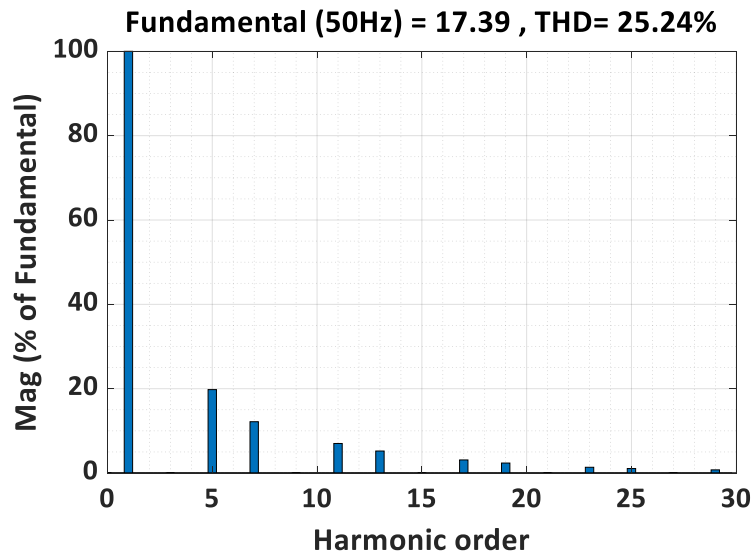


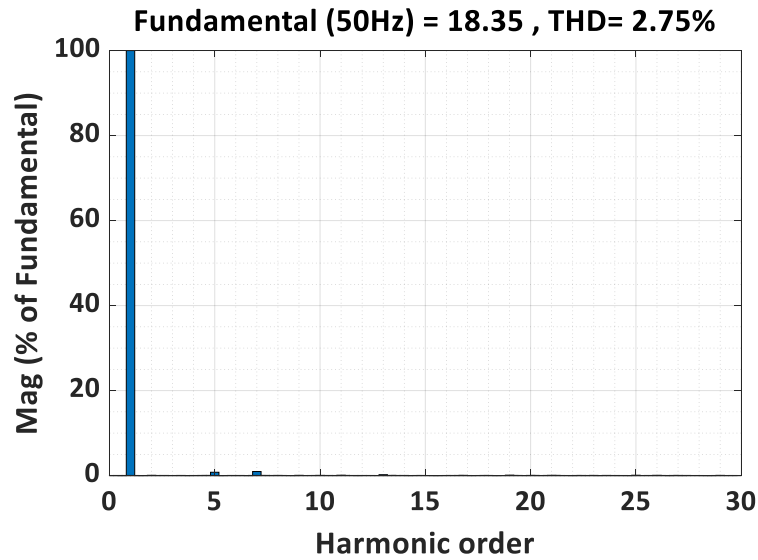
Figure VI.10. Résultats FIL : (a) tension source (v_{sk}), (b) courant charge (i_{ll}), (c) tension bus DC (v_{dc}), (d) courant FAPS (i_{fl}) (e) et courant source (i_{s1}).

IV.6.2. Analyse spectrale du courant de réseau :

Avant la compensation, comme le montre la Figure VI.11 (a), la valeur THD des courants du réseau est de 25,24 %. Cette valeur diminue jusqu'à 2,75 % après compensation par la technique CS-ACO proposée (Figure VI.11 (b)). En revanche, les commandes à hystérésis et à mode glissant, qui sont les méthodes les plus utilisées récemment pour les FAPS, donnent des valeurs THD respectivement de 3,84 % (Figure VI.11 (c)) et 3,26 % (Figure VI.11 (d)), dans les mêmes conditions de fonctionnement. Cela confirme la supériorité de la méthode proposée.



(a)



(b)

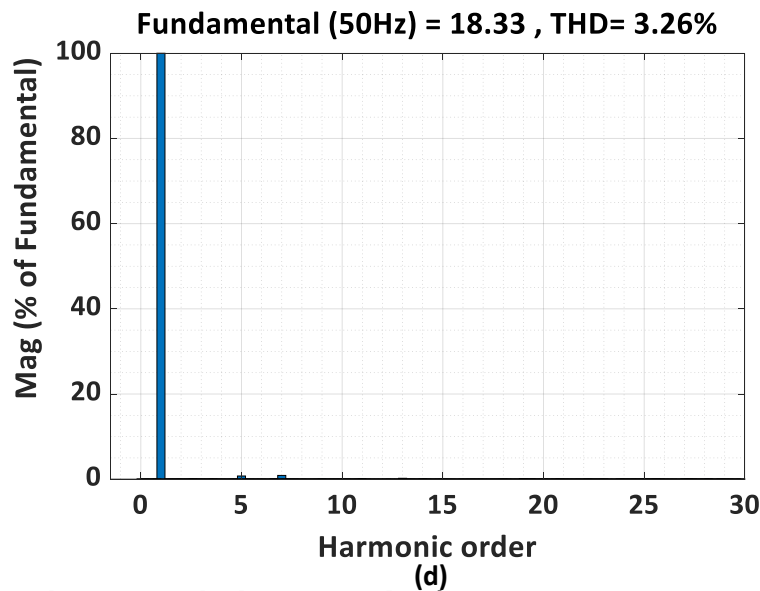
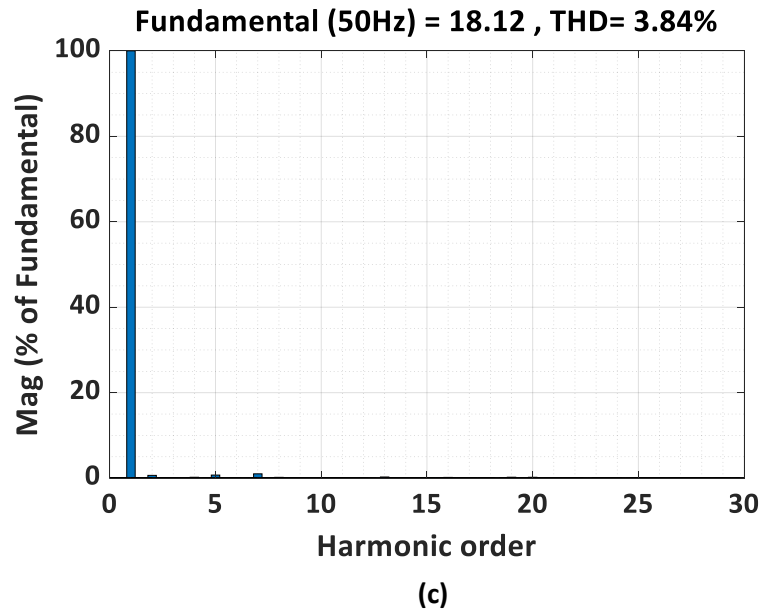


Figure VI.11. Analyse spectrale du courant de réseau : (a) avant compensation, (b) après compensation à l'aide de la CS-ACO proposée, (c) après compensation à l'aide de la commande à hystérésis et (d) après compensation à l'aide de la commande SMC.

IV.6.3. Puissances active et réactive :

La Figure VI.12 représente les puissances réactive et active au niveau du réseau. Il est important de mentionner qu'après compensation avec la commande proposée, la puissance réactive oscille autour de zéro tandis que la puissance active est maintenue à 2 kW. Ainsi, en plus d'améliorer le THD des courants du réseau, la commande fournit également une compensation de la puissance réactive.

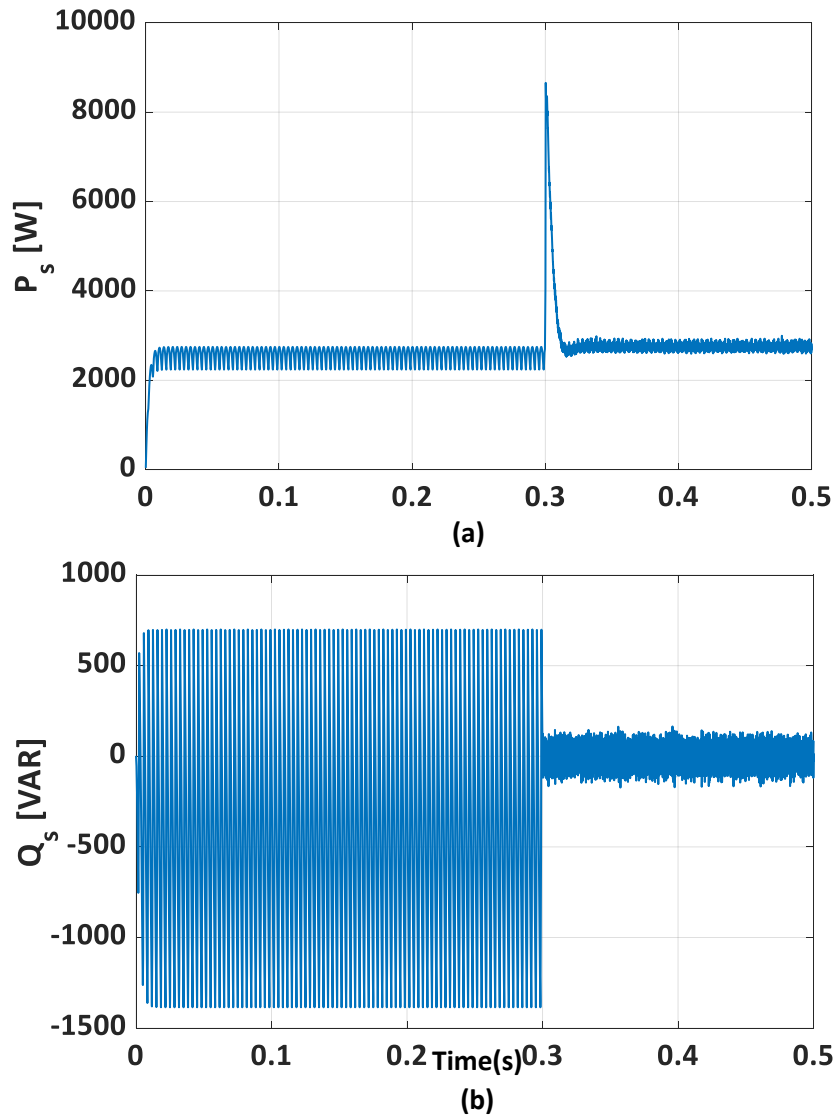


Figure VI.12. Résultats FIL : Puissance(a) active et (b) réactive.

IV.6.4. Résultats expérimentaux lors des changements de charge :

Afin d'examiner la dynamique et la robustesse de la commande proposée vis-à-vis des changements de charge, une diminution soudaine de 50% de la charge est effectuée entre $t = 0,6$ s et $t = 0,8$ s. La Figure VI.13 illustre les résultats expérimentaux obtenus, où la tension DC-link suit parfaitement sa valeur de référence de 300 V après une brève période transitoire (Figure 13a), ce qui prouve la bonne performance du régulateur IP anti-windup. Pendant l'intervalle de temps de 0,6 s à 0,8 s, le courant du réseau augmente tout en conservant toujours sa forme sinusoïdale (Figure VI.13 b), le courant de charge augmente également mais avec une forme d'onde déformée (Figure VI.13 c). D'autre part, le courant de filtrage fourni par le FAPS suit parfaitement sa référence en cas de variations de charge afin de compenser les harmoniques du courant de charge (Figure VI.13 d).

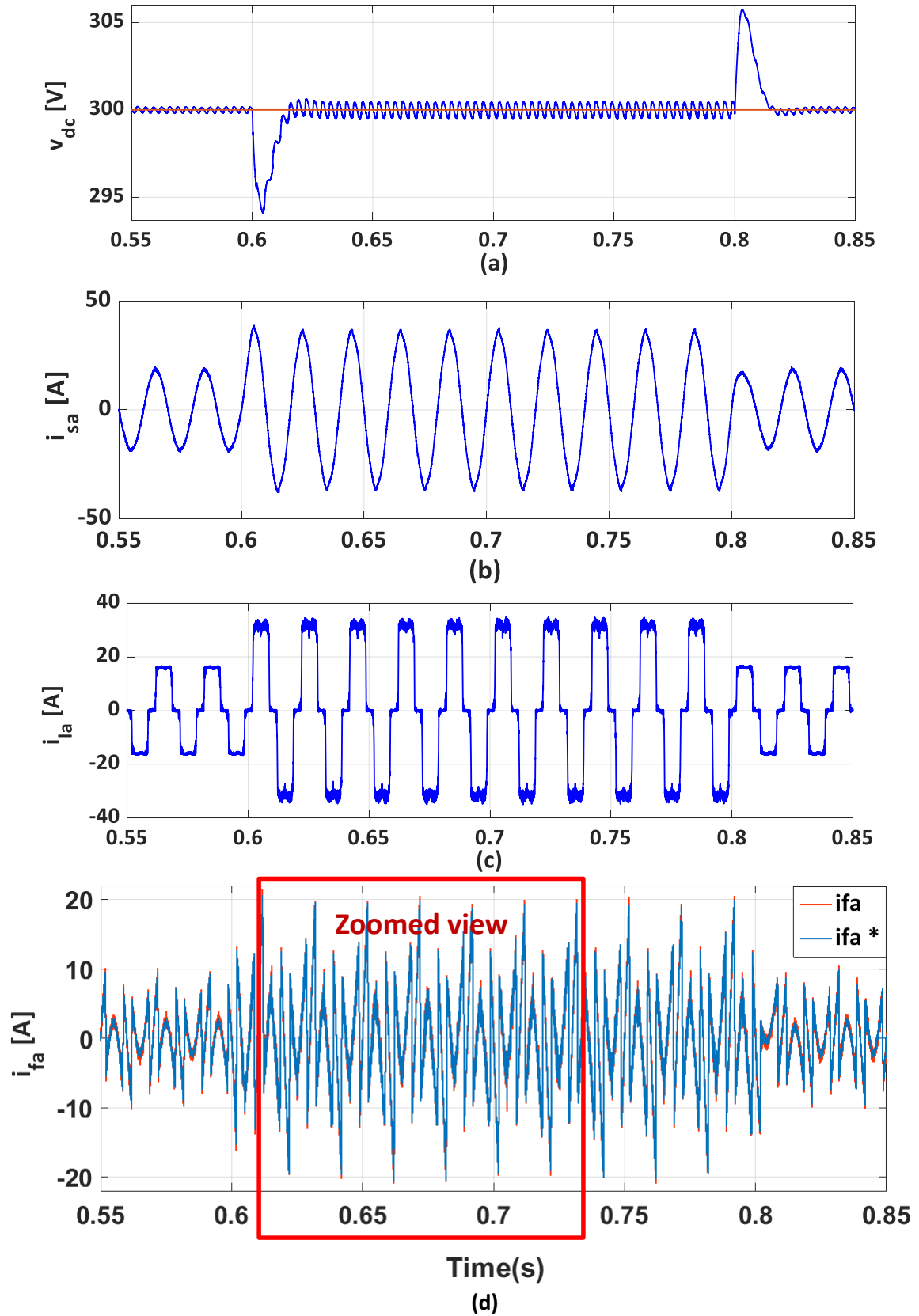


Figure VI.13. Résultats expérimentaux lors des changements de charge, (a) tension du bus DC, (b) courants de source, (c) courants de charge, (d) courant de FAPS i_{fa} et i_{fa}^* référence.

IV.6.5. Cas d'un réseau déséquilibré :

Nous allons maintenant analyser la robustesse de la commande proposée dans le cas de tensions de réseau déséquilibrées. La Figure VI.14 illustre les résultats expérimentaux. Nous observons que malgré ces perturbations, les courants du réseau restent sinusoïdaux, avec un THD d'environ 2,77 % (Figure VI.15 a), ce qui est conforme à la norme IEEE Std 519-1992. La Figure VI.15 (b) montre le THD des tensions du réseau, qui est de 20 %.

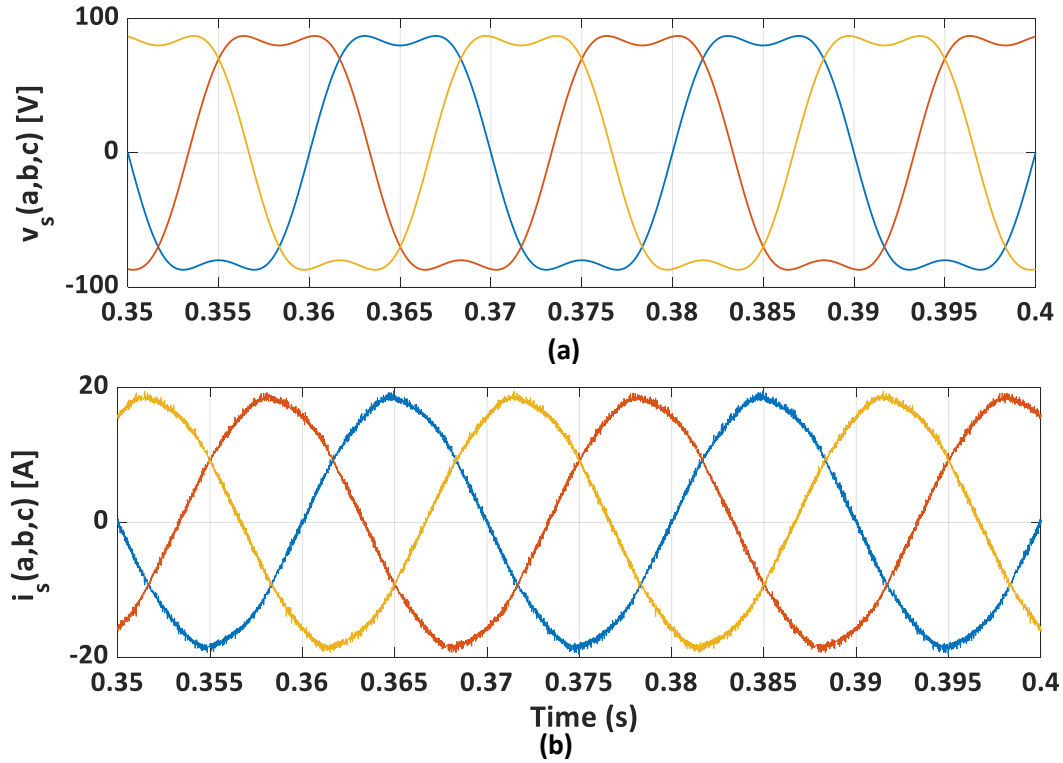
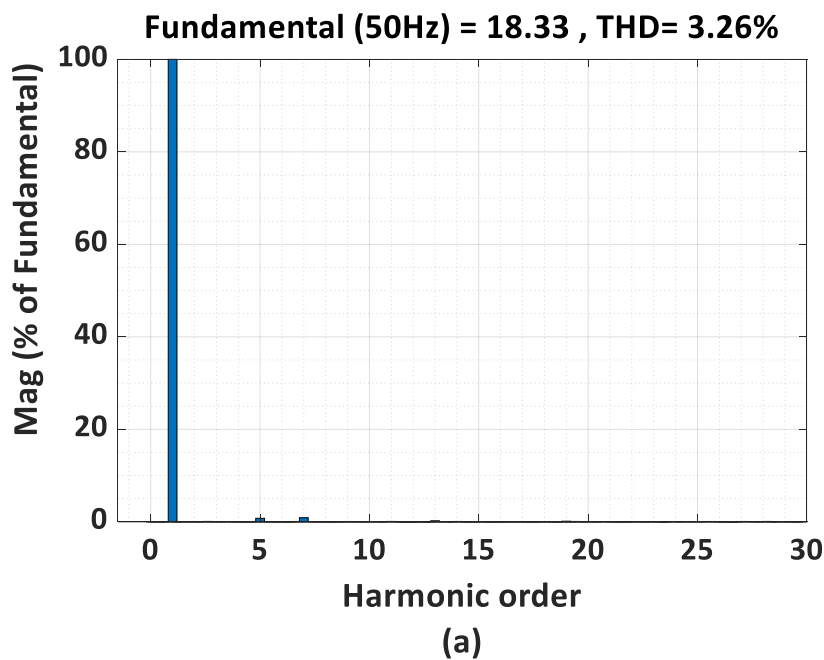


Figure VI.14. Co-simulation FIL du FAPS utilisant la CS-ACO dans le cas d'un réseau déséquilibré, (a) tensions de source, (b) courants de source.



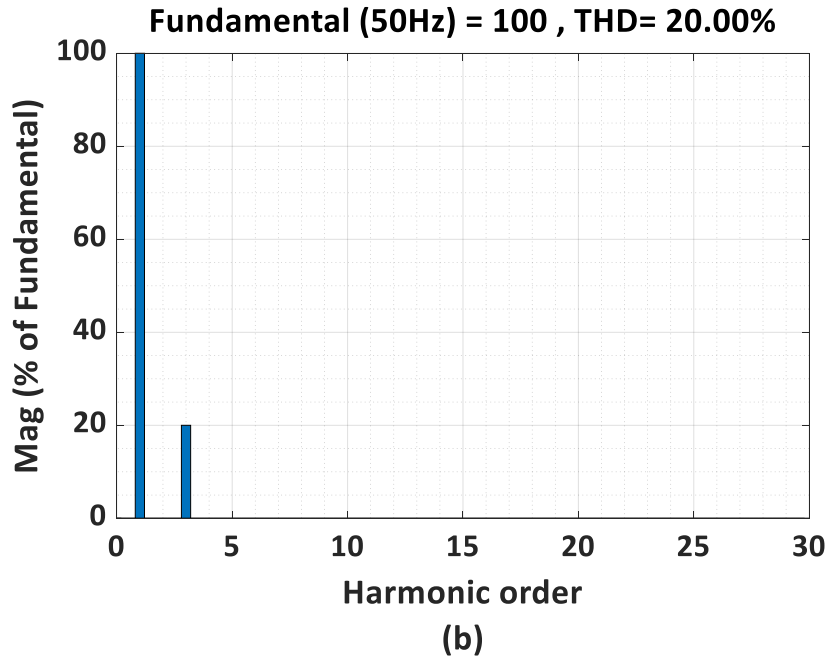


Figure VI.15. Spectre dans le cas d'un réseau déséquilibré : (a) courant du réseau, (b) tension du réseau.

IV.6.6. Cas d'une charge RLC :

Enfin, nous testons la commande proposée dans des conditions de charge RLC fortement déformée. La Figure VI.16 illustre le courant du réseau avant ($t < 0,3$ s) et après compensation ($t > 0,3$ s). Avant la compensation, le THD du courant du réseau montre une très forte distorsion harmonique (THD = 84,64 %), comme le montre la Figure VI.17 (a).

Après compensation, le courant du réseau adopte une forme sinusoïdale, avec une faible distorsion harmonique totale (THD = 4,62 %), comme le montre la Figure VI.17 (b), ce qui confirme la robustesse de la commande DTCS –ACO proposée.

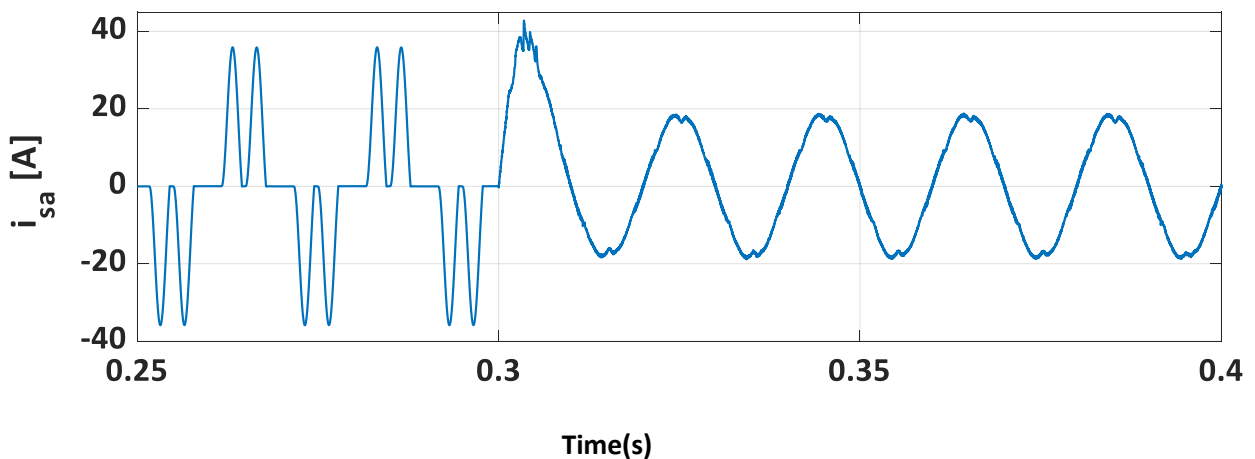


Figure VI.16. Résultats expérimentaux du FAPS à commande CS-ACO avec charge RLC.

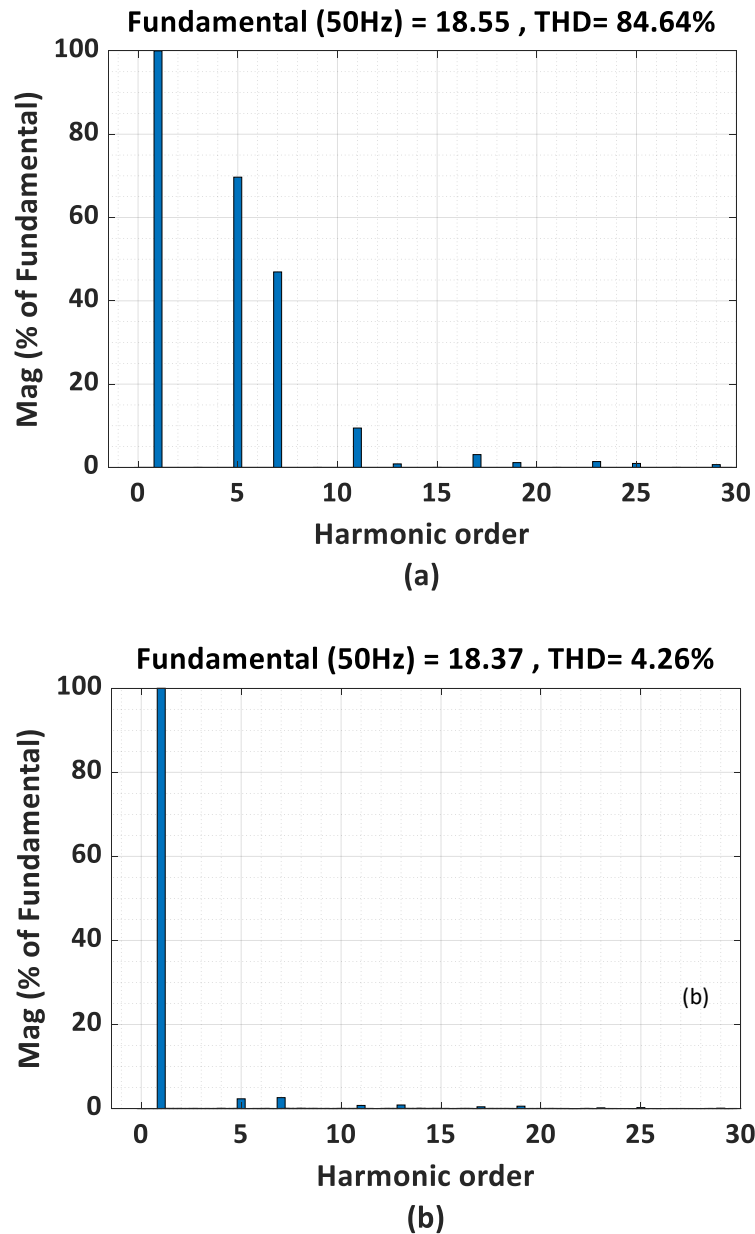


Figure VI.17. Analyse spectrale du courant de réseau à l'aide de SC : (a) avant compensation, (b) après compensation ; avec charge RLC.

IV.6.7. Cas d'un creux de tension (voltage sag) :

Afin de vérifier la robustesse du régulateur de tension DC-link, la tension du réseau sera réduite de 30% de sa valeur normale, pendant une durée de 0,2 seconde de $t=0,5$ à $t=0,7$, comme indiqué par la Figure VI.18. En raison de la diminution de la tension du réseau, le courant du réseau diminue également et la tension DC-link maintient sa valeur de référence après une brève période transitoire. La commande synergétique CS proposée répond à cette chute de tension dans un cycle (25 millisecondes) et injecte la quantité appropriée de tension compensée pendant la chute de tension. Lors de la détection de la reprise de tension, la commande s'inhibe pour minimiser les pertes de conduction.

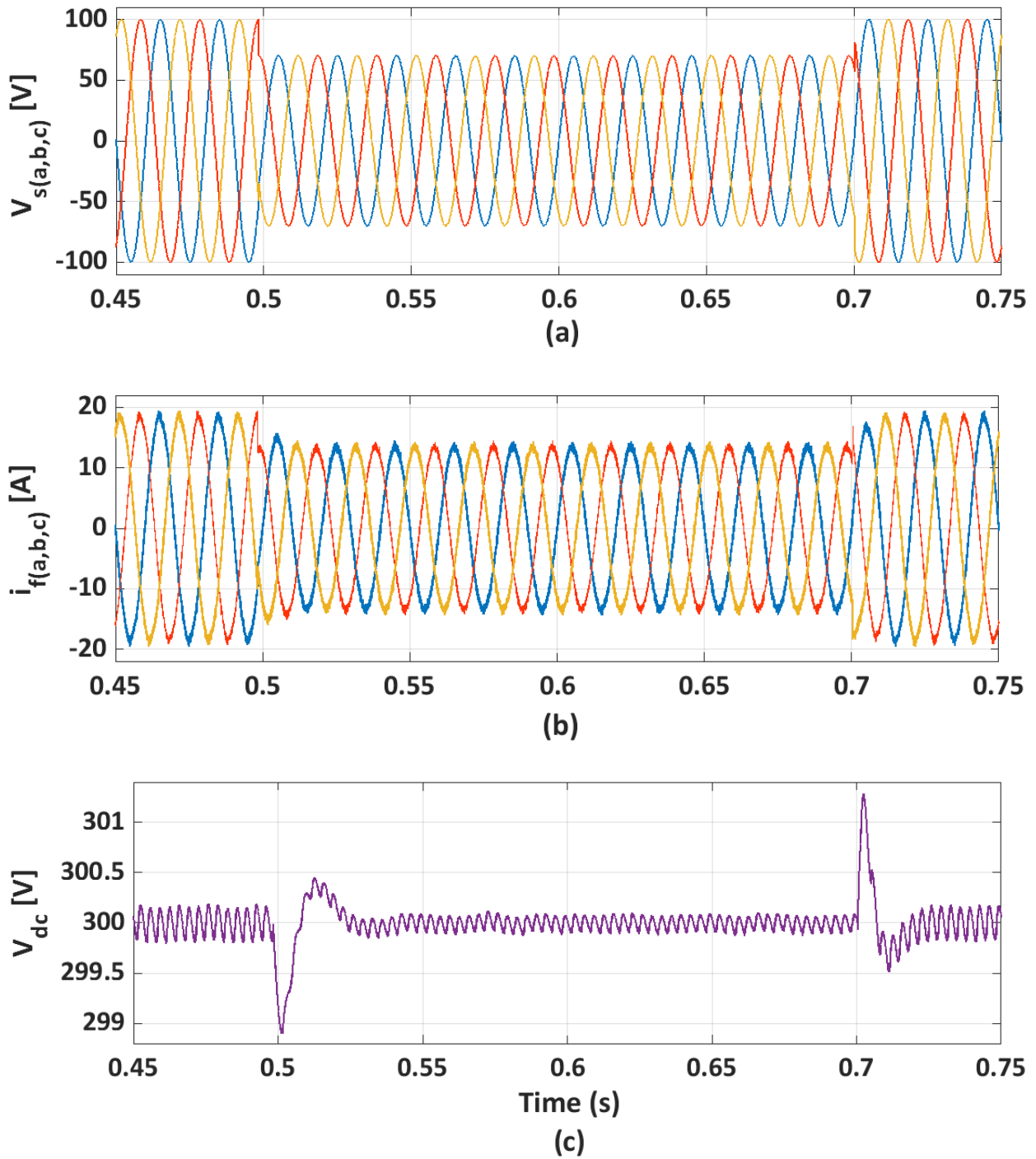


Figure VI.18. Résultats expérimentaux pour un abaissement de tension de 30 % pendant 0,2 s, (a) de tension de source de réseau V_s , (b) de courant de FAPS et (c) tension de bus DC V_{dc} .

IV.6.8. La tension de sortie du FAPS :

La Figure VI.19 représente la tension de sortie du FAPS, où la tension entre phase est indiquée. L'onduleur utilise le condensateur DC-link comme source d'alimentation DC. Il est commuté à haute fréquence pour suivre le courant harmonique de référence extrait à l'aide du bloc PWM généré. De plus, une inductance de filtrage est insérée entre l'onduleur et le point

d'interfaçage PCC avec la source AC afin de réduire les variations de courant de compensation injecté provoquées par la commutation des transistors de l'onduleur.

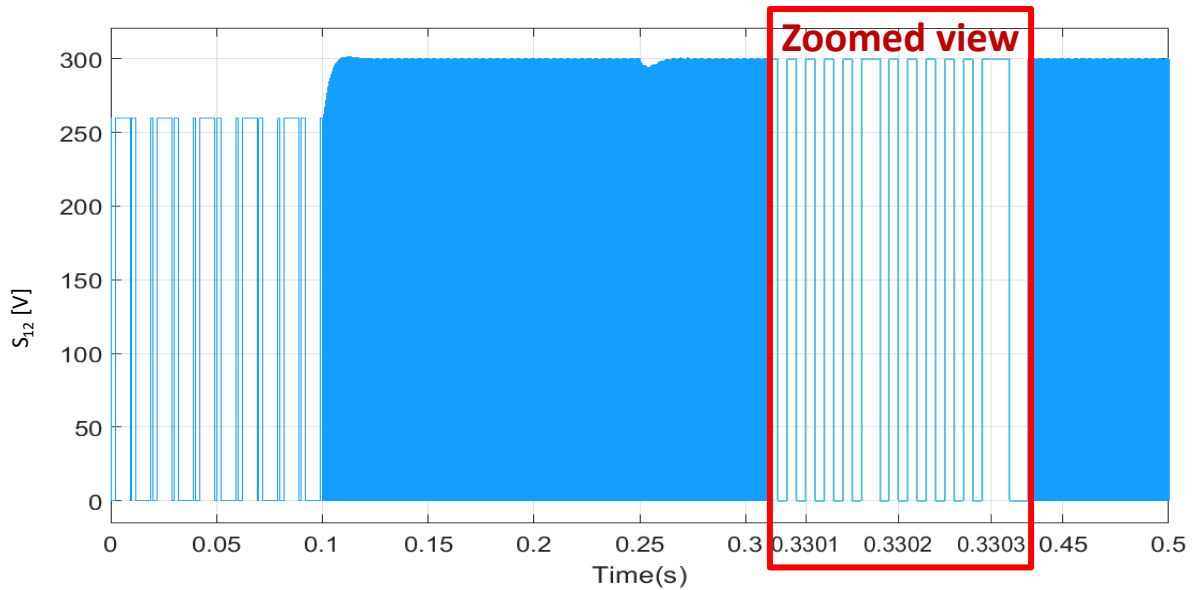
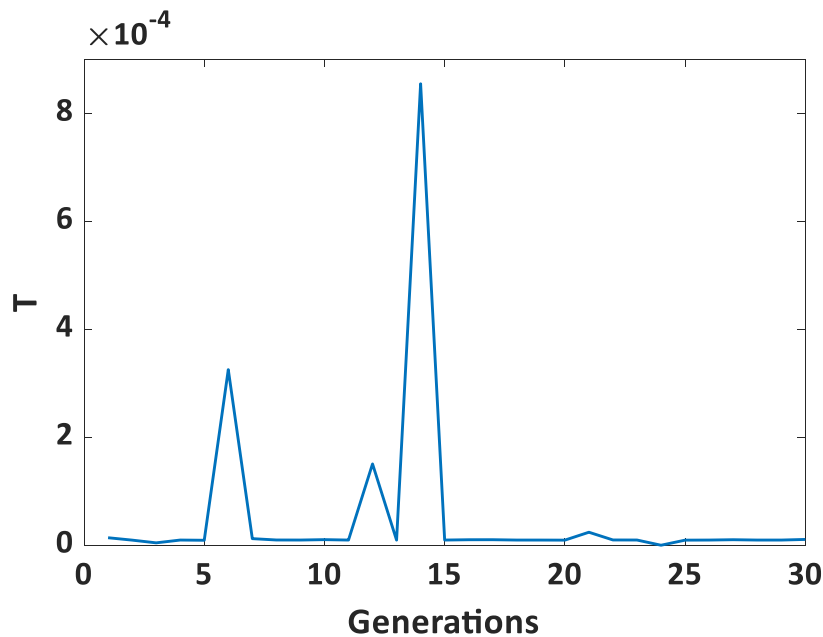


Figure VI.19. Tension de sortie du FAPS.

IV.6.9. Recherche finale des valeurs optimales des paramètres T et λ :

Les Figures IV.20 a et b montrent respectivement les valeurs optimales des paramètres T et λ du contrôleur synergétique obtenues à partir de l'application du diagramme de flux de l'ACO représenté en Figure VI.20 (a) et (b) après 100 itérations. La Figure VI.20 (c) illustre l'évolution de la fonction objective de l'ACO lors d'une exécution typique, qui a été définie par les paramètres optimaux et améliore les performances globales de la commande CS proposée.



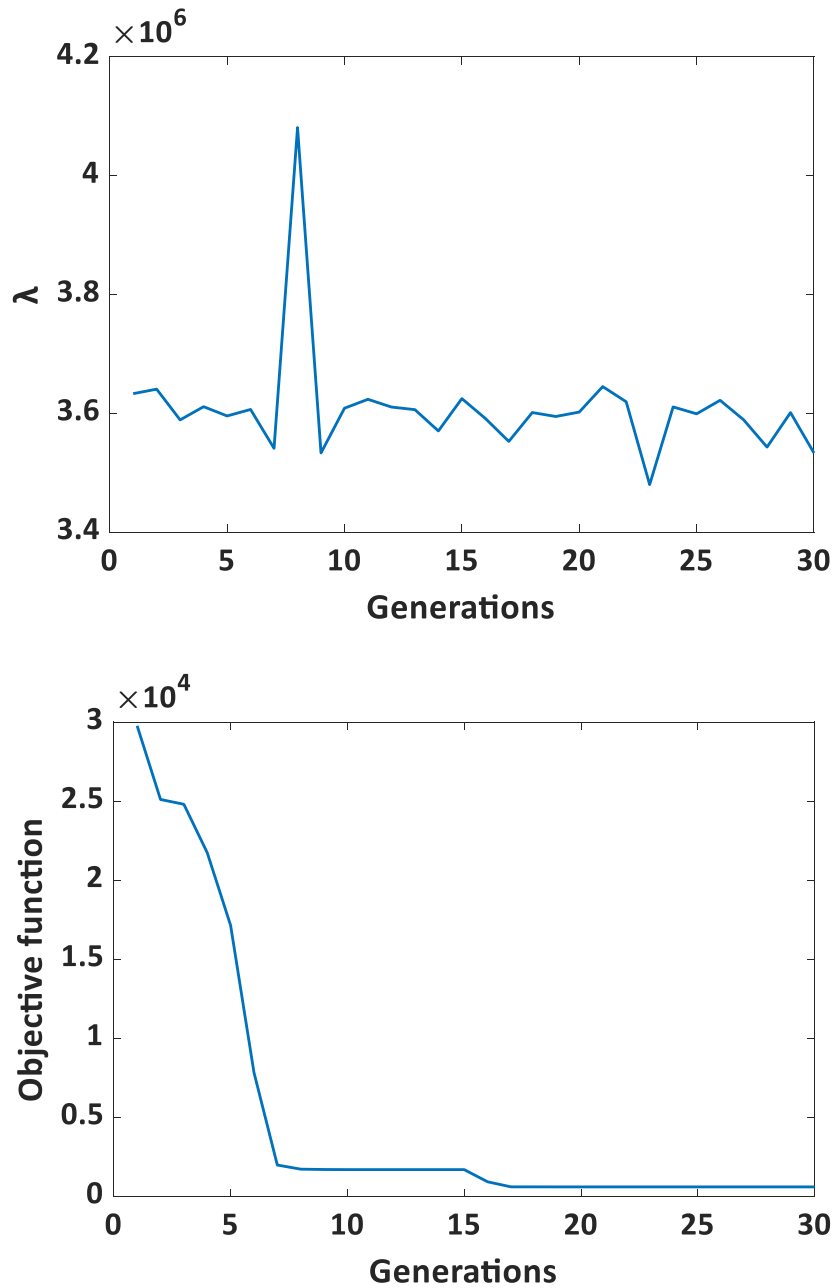


Figure VI.20. (a) (b) La recherche finale des paramètres T et λ et (c) Graphe de convergence de la fonction objectif.

Tableau IV.3. Ressources FPGA utilisées Virtex-6 FPGA ML605 de Xilinx.

Résumé de l'utilisation des dispositifs			
Utilisation de la logique Slice	Utilisée	Disponible	Utilisation
Number of Slice Registers	2,930	301,440	1%
Number used as Flip Flops	2,832		
Number used as Latches	1		
Number used as AND/OR logics	97		

Number of Slice LUTs	58,717	150,720	38%
Number used as logic	57,860	150,720	38%
Number used as Memory	25	58,400	1%
Number of occupied Slices	20,609	37,680	54%
Number of LUT Flip Flop pairs used	59,111		
Number with an unused Flip Flop	56,402	59,111	95%
Number with an unused LUT	394	59,111	1%
Number of fully used LUT-FF pairs	2,315	59,111	3%
Number of unique control sets	140		
Number of slice register sites lost to control set restrictions	551	301,440	1%
Number of bonded IOBs	30	600	5%
Number of LOCed IOBs	30	30	100%
IOB Flip Flops	3		
Number of RAMB36E1/FIFO36E1s	7	416	1%
Number using RAMB36E1 only	7		
Number of RAMB18E1/FIFO18E1s	4	832	1%
Number of BUFG/BUFGCTRLs	4	32	12%
Number of ILOGICE1/ISERDESE1s	2	720	1%
Number of OLOGICE1/OSERDESE1s	2	720	1%
Number of DSP48E1s	27	768	3%
Number of MMCM_ADVs	1	12	8%
Number of LOCed MMCM_ADVs	1	1	100%
Number of STARTUPs	1	1	100%
Average Fanout of Non-Clock Nets	4.81		

IV.7. Conclusion :

Ce chapitre a présenté une architecture de commande synergétique discrète optimisée pour un FAPS mise en œuvre à l'aide de la cosimulation HIL sur FPGA. La commande numérique CS-ACO a été conçue, construite et simulée à l'aide du logiciel MATLAB/Simulink en combinant deux algorithmes pertinents : la commande synergétique et l'optimisation ACO.

Le système global fonctionne très rapidement et présente un degré élevé de flexibilité grâce à l'utilisation du support FPGA et à la simplicité spécifique des deux algorithmes de surveillance considérés. La SC-ACO a confirmé, à travers les aspects théoriques, la simulation et les résultats de mise en œuvre, qu'elle atteint et réalise parfaitement le raffinement, la

modularité et la recherche automatique de l'algorithme pour atteindre un bon équilibre entre les limitations architecturales et les performances de commande.

Une réduction substantielle du THD de (25,24 % à 2,72 %) a été obtenue par rapport à la limite de 5 % fixée par la norme harmonique IEEE. Les résultats obtenus démontrent clairement la robustesse et la puissance de la stratégie de commande développée pour supprimer les harmoniques et compenser la puissance réactive au niveau du réseau.

Enfin la supériorité de la commande CS-ACO proposée par rapport à la commande hystérésis et la commande en mode glissant a été mise en évidence par la simulation et confirmée expérimentalement.

Bibliographie du Chapitre IV.

- [1] Y. Dongmei, G. Qingding, H. Qing, et L. chunfang, « A Novel DSP Based Current Controller with Fuzzy Variable-Band hysteresis for Active Power Filters », in *2005 IEEE/PES Transmission & Distribution Conference & Exposition: Asia and Pacific*, août 2005, p. 1-5. doi: 10.1109/TDC.2005.1546861.
- [2] « Real-time control of shunt active power filter under distorted grid voltage and unbalanced load condition using self-tuning filter - Biricik - 2014 - IET Power Electronics - Wiley Online Library ». <https://ietresearch.onlinelibrary.wiley.com/doi/full/10.1049/iet-pel.2013.0924> (consulté le 2 septembre 2023).
- [3] A. Ghamri, M. T. Benchouia, et A. Golea, « Sliding-mode Control Based Three-phase Shunt Active Power Filter: Simulation and Experimentation », *Electr. Power Compon. Syst.*, vol. 40, n° 4, p. 383-398, janv. 2012, doi: 10.1080/15325008.2011.639127.
- [4] S. Janpong, K. L. Areerak, et K. N. Areerak, « A literature survey of neural network applications for shunt active power filters », *Int. J. Electr. Comput. Eng.*, vol. 5, n° 12, p. 1688-1694, 2011.
- [5] « Adaptive Backstepping Current Control of Active Power Filter Using Neural Compensator ». <https://www.hindawi.com/journals/mpe/2019/5130738/> (consulté le 2 septembre 2023).
- [6] E. Santi, A. Monti, D. Li, K. Proddatur, et R. A. Dougal, « Synergetic control for DC-DC boost converter: implementation options », *IEEE Trans. Ind. Appl.*, vol. 39, n° 6, p. 1803-1813, nov. 2003, doi: 10.1109/TIA.2003.818967.
- [7] E. Santi, A. Monti, D. Li, K. Proddatur, et R. A. Dougal, « Synergetic control for power electronics applications: a comparison with the sliding mode approach », *J. Circuits Syst. Comput.*, vol. 13, n° 04, p. 737-760, août 2004, doi: 10.1142/S0218126604001520.
- [8] H. Bey, F. Krim, B. Talbi, et A. Sahli, « FPGA based HIL simulation for direct current control of active power filter », in *2020 International Conference on Electrical Engineering (ICEE)*, sept. 2020, p. 1-5. doi: 10.1109/ICEE49691.2020.9249856.
- [9] H. Bey, F. Krim, et O. Gherouat, « FPGA-Based Hardware in the Loop of Optimized Synergetic Controller for Active Power Filter », *Int. Trans. Electr. Energy Syst.*, vol. 2023, p. e5810353, mars 2023, doi: 10.1155/2023/5810353.

Conclusion générale et perspectives

La synergetique, selon le professeur Haken, est l'étude de la manière dont les sous-systèmes composant un système peuvent interagir pour produire une structure et un mouvement cohérent à une échelle macroscopique. En fait, il s'agit d'une théorie d'auto-organisation avec des applications non seulement en physique et en chimie, mais aussi en biologie et en sociologie etc.

Les lois de commande classiques sont efficaces pour les systèmes linéaires avec des paramètres fixes. Cependant, contrairement pour les systèmes complexes et non linéaires, les résultats de ces commandes classiques peuvent être non satisfaisants à cause du manque de robustesse. Il est donc nécessaire d'exiger des lois de commande insensibles aux variations de paramètres vis-à-vis des perturbations et des incertitudes. C'est pourquoi des commandes non linéaires ont été développées pour surmonter ces obstacles.

Dans cette thèse, une approche avancée d'une architecture de commande synergetique discrète optimisée pour un FAPS a été mise en œuvre à l'aide de la cosimulation HIL sur FPGA en vue de l'amélioration de la qualité de l'énergie du réseau électrique.

Ce système de filtrage actif de puissance FAPS, piloté par une commande synergetique CS optimisée par l'intégration de l'algorithme méta heuristique ACO, pour ajuster les paramètres de cette commande, afin d'améliorer la stabilité et la robustesse.

Cette approche non linéaire basée sur la technique d'optimisation par essaim de particules (CS-ACO), a été adoptée pour obtenir une commande efficace même si la propriété de sous-actionnement est toujours présente. La technique CS-ACO est choisie en raison de ses avantages, à savoir qu'elle garantit la robustesse face aux fluctuations de paramètres, aux incertitudes du modèle et aux perturbations externes aléatoires.

Bien que la commande d'un tel système soient souvent une tâche difficile en raison de l'environnement haute tension et haut courant (Puissance élevée mise en jeu), la simulation hardware-in-the-Loop (HIL) fournit une plate-forme sûre, efficace et rapide d'évaluer la stratégie de commande en simulant l'environnement externe du contrôleur dans le système embarqué.

Par ailleurs les commandes hystérésis et SMC ont été implémentées en vue d'une comparaison avec l'approche CS-ACO en termes d'efficacité et de robustesse. L'étude comparative des performances dynamiques et statiques a été appliquée au FAPS triphasé sous différents scénarios. Les résultats de l'implémentation basée sur FIL (FPGA in the Loop) ont clairement mis en évidence la supériorité de la CS-ACO relativement aux commandes à hystérésis et SMC en termes de qualité de l'énergie (en conformité avec la norme IEEE 519, respectant un THD<5%).

La nouveauté de la contribution proposée réside dans le traitement parallèle de l'algorithme CS et sa mise en œuvre innovante à l'aide d'une FPGA, ce qui a permis une augmentation significative de la vitesse de traitement : une capacité de calcul 300 fois plus rapide que les mises en œuvre séquentielles conventionnelles a été obtenue (Calcul parallèle : $T_s = 1\mu s$ avec une horloge de traitement de 100 MHz, Calcul séquentiel : $T_s = 30\mu s$ avec une horloge de traitement de 1 GHz).

Nous pouvons conclure que la commande synergétique combinée avec l'algorithme d'optimisation fonctionne de manière significativement meilleure et est plus robuste que les commandes conventionnelles, dans le cas du système de filtrage actif de puissance.

Perspectives

Dans le futur, nos travaux porteront essentiellement sur les points suivants

- L'accélération de l'algorithme développé, grâce au parallélisme et à la solution de pipelinage du FPGA.
- L'utilisation d'onduleurs de type quasi-Z-source dans le FAPS pour l'amélioration de qualité de l'énergie et des performances dynamiques du système.
- La recherche de techniques d'optimisation évolutionnaire pouvant réduire le temps de calcul et permettre un fonctionnement en temps réel fiable.
- L'approche de commande synergétique proposée peut être étendue à une Synergétique terminale rapide pour des applications spécifiques afin de résoudre des problèmes complexes de commande de systèmes non linéaires
- Pour le système FAPS, la prochaine étape devrait envisager comment intégrer les sources d'énergie renouvelable (éolienne et générateur photovoltaïque, pile à combustible, etc.) en vue d'améliorer la fiabilité.

Annexe A-

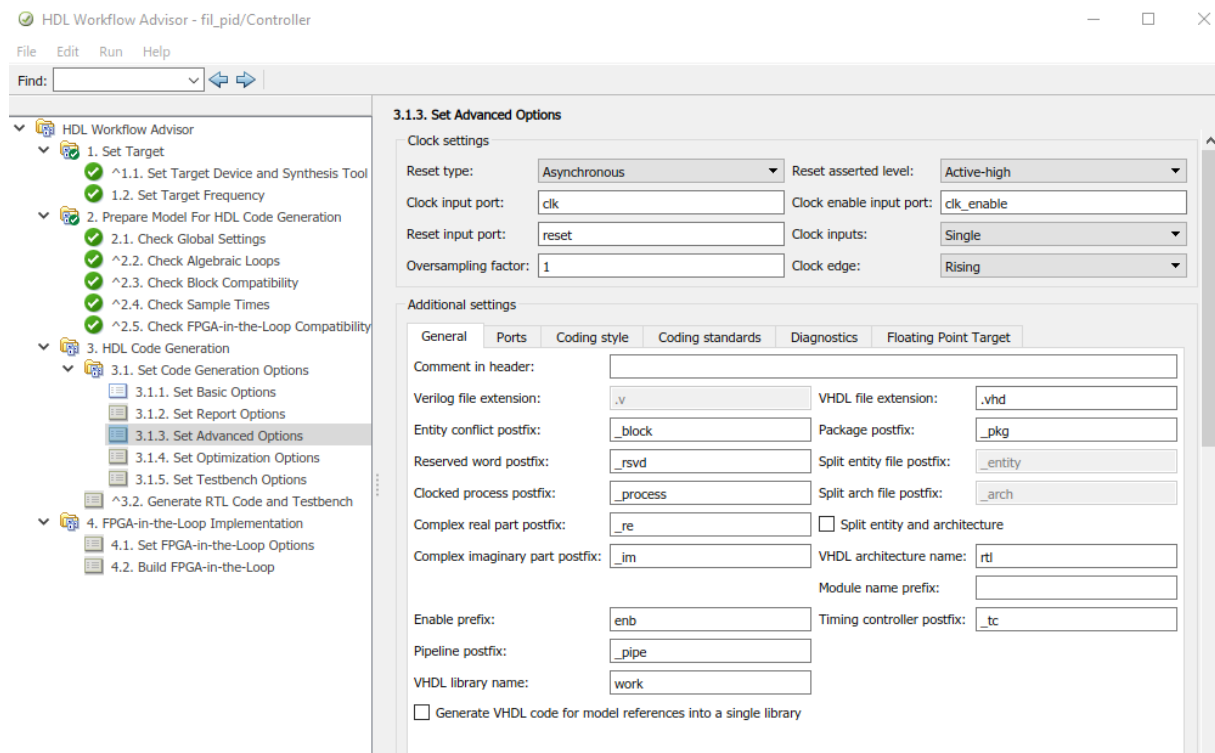


Figure 1. HDL Workflow Advisor sous MATLAB/Simulink.

Code VHDL d'un intégrateur PID sous MATLAB/Simulink

File: I_component.vhd

```

1  -- -----
2  --
3  -- File Name:
4  -- Created: 2023-09-03 10:44:38
5  --
6  -- Generated by MATLAB 9.5 and HDL Coder 3.13
7  --
8  -- -----
9
10
11 -- -----
12 --
13 -- Module: I_component
14 -- Source Path: fil_pid/Controller/I_component
15 -- Hierarchy Level: 1
16 --
17 -- -----
18 LIBRARY IEEE;
19 USE IEEE.std_logic_1164.ALL;
20 USE IEEE.numeric_std.ALL;
21
22 ENTITY I_component IS
23     PORT ( clk          : IN    std_logic;
24           reset         : IN    std_logic;
25           enb           : IN    std_logic;
```

```

26         In1                                     :    IN
std_logic_vector(31 DOWNT0 0);  -- sfix32_En16
27         Out1                                    :    OUT
std_logic_vector(31 DOWNT0 0)  -- sfix32_En42
28     );
29     END I_component;
30
31
32     ARCHITECTURE rtl OF I_component IS
33
34         -- Signals
35         SIGNAL In1_signed                       : signed(31 DOWNT0 0);  -
- sfix32_En16
36         SIGNAL In1_1                           : signed(31 DOWNT0 0);  -
- sfix32_En16
37         SIGNAL kconst                          : signed(15 DOWNT0 0);  -
- sfix16_En38
38         SIGNAL kconst_1                      : signed(15 DOWNT0 0);  -
- sfix16_En38
39         SIGNAL Gain_2_mul_temp                : signed(47 DOWNT0 0);  -
- sfix48_En54
40         SIGNAL Gain_2_out1                    : signed(31 DOWNT0 0);  -
- sfix32_En40
41         SIGNAL Gain_2_out1_1                  : signed(31 DOWNT0 0);  -
- sfix32_En40
42         SIGNAL Sum1_out1                      : signed(31 DOWNT0 0);  -
- sfix32_En28
43         SIGNAL Sum1_add_cast                  : signed(44 DOWNT0 0);  -
- sfix45_En40
44         SIGNAL Sum1_add_cast_1                : signed(44 DOWNT0 0);  -
- sfix45_En40
45         SIGNAL Sum1_add_temp                  : signed(44 DOWNT0 0);  -
- sfix45_En40
46         SIGNAL Sum1_out1_1                    : signed(31 DOWNT0 0);  -
- sfix32_En28
47         SIGNAL kconst_2                      : signed(15 DOWNT0 0);  -
- sfix16_En29
48         SIGNAL kconst_3                      : signed(15 DOWNT0 0);  -
- sfix16_En29
49         SIGNAL Gain_4_mul_temp                : signed(47 DOWNT0 0);  -
- sfix48_En57
50         SIGNAL Gain_4_out1                    : signed(31 DOWNT0 0);  -
- sfix32_En42
51         SIGNAL Gain_4_out1_1                  : signed(31 DOWNT0 0);  -
- sfix32_En42
52
53     BEGIN
54         In1_signed <= signed(In1);
55
56         HwModeRegister_process : PROCESS (clk, reset)
57         BEGIN
58             IF reset = '1' THEN
59                 In1_1 <= to_signed(0, 32);
60             ELSIF clk'EVENT AND clk = '1' THEN
61                 IF enb = '1' THEN
62                     In1_1 <= In1_signed;
63                 END IF;
64             END IF;
65         END PROCESS HwModeRegister_process;
66
67

```



```

68      kconst <= to_signed(16#6B60#, 16);
69
70      HwModeRegister1_process : PROCESS (clk, reset)
71      BEGIN
72          IF reset = '1' THEN
73              kconst_1 <= to_signed(16#0000#, 16);
74          ELSIF clk'EVENT AND clk = '1' THEN
75              IF enb = '1' THEN
76                  kconst_1 <= kconst;
77              END IF;
78          END IF;
79      END PROCESS HwModeRegister1_process;
80
81
82      Gain_2_mul_temp <= In1_1 * kconst_1;
83      Gain_2_out1 <= Gain_2_mul_temp(45 DOWNTO 14);
84
85      PipelineRegister_process : PROCESS (clk, reset)
86      BEGIN
87          IF reset = '1' THEN
88              Gain_2_out1_1 <= to_signed(0, 32);
89          ELSIF clk'EVENT AND clk = '1' THEN
90              IF enb = '1' THEN
91                  Gain_2_out1_1 <= Gain_2_out1;
92              END IF;
93          END IF;
94      END PROCESS PipelineRegister_process;
95
96
97      Sum1_add_cast <= resize(Gain_2_out1_1, 45);
98      Sum1_add_cast_1 <= resize(Sum1_out1 & '0' & '0' & '0' & '0' & '0'
& '0' & '0' & '0' & '0' & '0' & '0' & '0' & '0', 45);
99      Sum1_add_temp <= Sum1_add_cast + Sum1_add_cast_1;
100     Sum1_out1_1 <= Sum1_add_temp(43 DOWNTO 12);
101
102     reduced_process : PROCESS (clk, reset)
103     BEGIN
104         IF reset = '1' THEN
105             Sum1_out1 <= to_signed(0, 32);
106         ELSIF clk'EVENT AND clk = '1' THEN
107             IF enb = '1' THEN
108                 Sum1_out1 <= Sum1_out1_1;
109             END IF;
110         END IF;
111     END PROCESS reduced_process;
112
113
114     kconst_2 <= to_signed(16#68DC#, 16);
115
116     HwModeRegister3_process : PROCESS (clk, reset)
117     BEGIN
118         IF reset = '1' THEN
119             kconst_3 <= to_signed(16#0000#, 16);
120         ELSIF clk'EVENT AND clk = '1' THEN
121             IF enb = '1' THEN
122                 kconst_3 <= kconst_2;
123             END IF;
124         END IF;
125     END PROCESS HwModeRegister3_process;
126
127

```

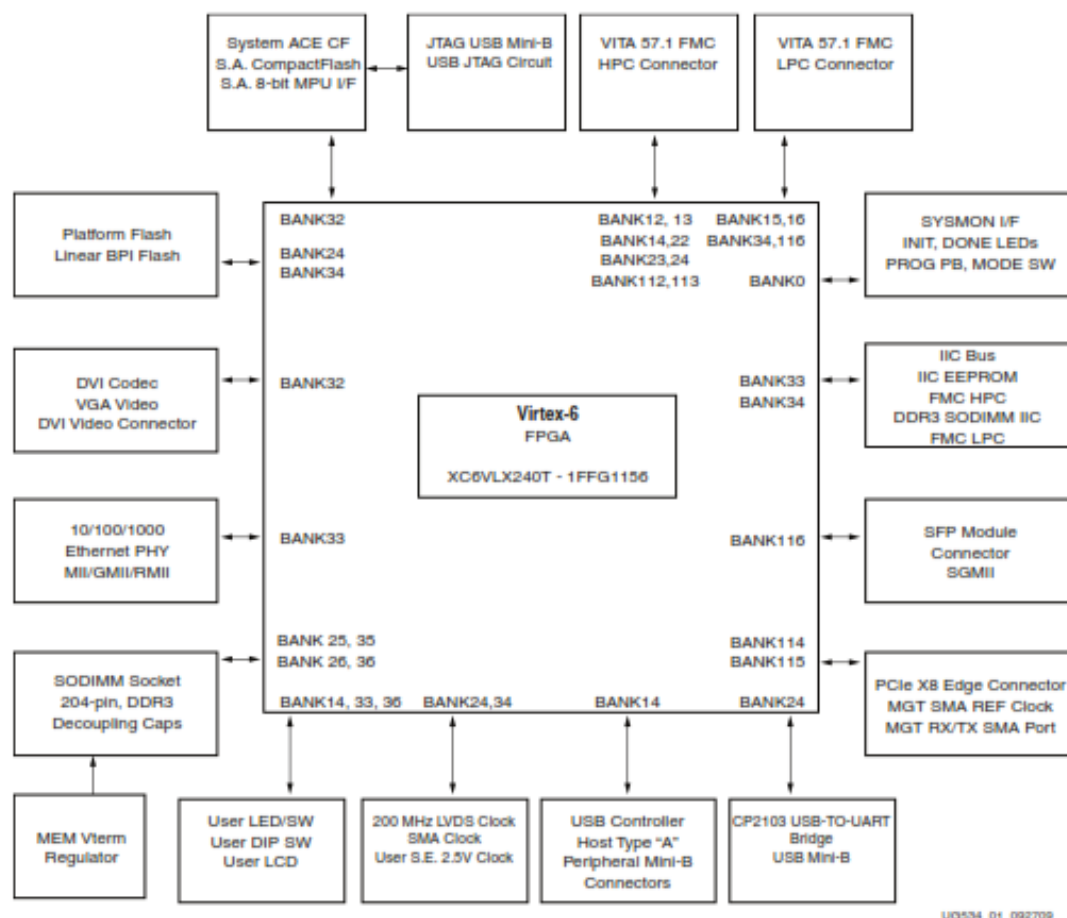
```
128 Gain_4_mul_temp <= Sum1_out1 * kconst_3;
129 Gain_4_out1 <= Gain_4_mul_temp(46 DOWNTO 15);
130
131 PipelineRegister1_process : PROCESS (clk, reset)
132 BEGIN
133     IF reset = '1' THEN
134         Gain_4_out1_1 <= to_signed(0, 32);
135     ELSIF clk'EVENT AND clk = '1' THEN
136         IF enb = '1' THEN
137             Gain_4_out1_1 <= Gain_4_out1;
138         END IF;
139     END IF;
140 END PROCESS PipelineRegister1_process;
141
142
143 Out1 <= std_logic_vector(Gain_4_out1_1);
144
145 END rtl;
146
147
```

Annexe B-

Caractéristiques techniques : Plateforme ML605 de Xilinx.

Block Diagram

Figure 1-1 shows a high-level block diagram of the ML605 and its peripherals.



UG534_01_092709

Figure 1-1: ML605 High-Level Block Diagram

Related Xilinx Documents

Prior to using the ML605 Evaluation Board, users should be familiar with Xilinx resources. See [Appendix A, References](#) for a direct link to Xilinx documentation. See the following locations for additional documentation on Xilinx tools and solutions:

- ISE: www.xilinx.com/ise
- EDK: www.xilinx.com/edk
- Intellectual Property: www.xilinx.com/ipcenter
- Answer Browser: www.xilinx.com/support

Detailed Description

Figure 1-2 shows a board photo with numbered features corresponding to Table 1-1 and the section headings in this document.

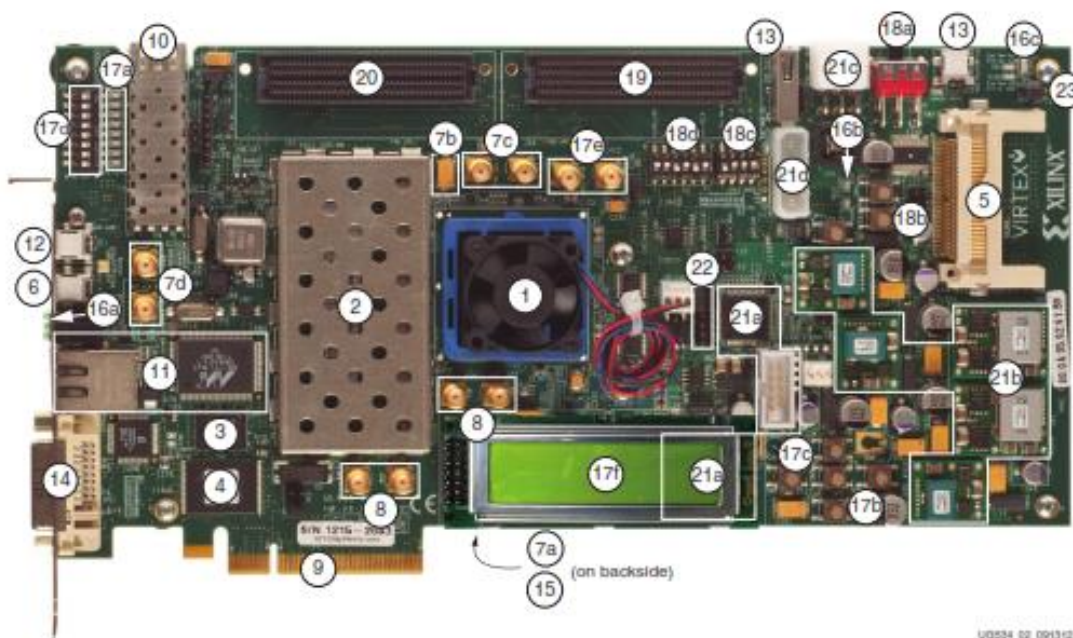


Figure 1-2: ML605 Board Photo

The numbered features in Figure 1-2 correlate to the features and notes listed in Table 1-1.

Table 1-1: ML605 Features

Number	Feature	Notes	Schematic Page
1	Virtex-6 FPGA	XC6VLX240T-1FFG1156	2 - 12
2	DDR3 SODIMM	Micron 512 MB MT4J5F6464HY-1G1	15
3	128 Mb Platform Flash XL	Xilinx XCF128X-FTG64C	25
4	Linear BPI Flash	Numonyx JS28F256P30T95	26
5	System ACE CF controller, CF connector	Xilinx XCCACE-TQ144I (bottom of board)	13
6	JTAG cable connector (USB Mini-B)	USB JTAG download circuit	46

Table 1-1: ML605 Features (Cont'd)

Number	Feature	Notes	Schematic Page
7	Clock generation	200 MHz OSC, oscillator socket, SMA connectors	30
	a. 200 MHz oscillator (on backside)	SiTime 200 MHz 2.5V LVDS OSC	30
	b. Oscillator socket, single-ended	MMD Components 66 MHz 2.5V	30
	c. SMA connectors	SMA pair	30
	d. MGT REFCLK SMA connectors	SMA pair	30
8	GTX RX/TX port	SMA x4	30
9	PCIe Gen1 (8-lane), Gen2 (4-lane)	Card edge connector, 8-lane	21
10	SFP connector and cage	AMP 136073-1	23
11	Ethernet (10/100/1000) with SGMII	Marvell M88E1111 EPHY	24
12	USB Mini-B, USB-to-UART bridge	Silicon Labs CP2103GM bridge	33
13	USB-A Host, USB Mini-B peripheral connectors	Cypress CY7C67300-100AXI controller	27
14	Video - DVI connector	Chrontel CH7301C-TF Video codec	28, 29
15	IIC NV EEPROM, 8 Kb (on backside)	ST Microelectronics M24C08-WDW6TP	32
16	Status LEDs		13, 24, 31
	a. Ethernet status	Right-angle link rate and direction LEDs	24
	b. FPGA INIT, DONE	Init (red), Done (green)	31
	c. System ACE CF status	Status (green), Error (red)	13
17	User I/O		31
	a. User LEDs, green (8)	User I/O (active-High)	30, 31, 33
	b. User pushbuttons, N.O. momentary (5)	User I/O (active-High)	31
	c. User LEDs, green (5)	User I/O (active-High)	31
	d. User DIP switch (8-pole)	User I/O (active-High)	31
	e. User GPIO SMA connectors	SMA pair	30
	f. LCD 16 character x 2 line display	Displaytech S162D BA BC	33

Table 1-1: ML605 Features (Cont'd)

Number	Feature	Notes	Schematic Page
18	Switches		13, 25, 39
	a. Power On/Off	Slide switch	39
	b. FPGA_PROG_B pushbutton	active-Low	13
	c. System ACE CF Image Select	4-pole DIP switch (active-High)	25
	d. Mode Switch	6-pole DIP switch (active-High)	25
19	FMC - HPC connector	Samtec ASP-134486-01	16 -19
20	FMC - LPC connector	Samtec ASP-134603-01	20
21	Power management		35 - 44
	a. PMBus controllers	2 x TI UCD9240PFC	35, 40
	b. Voltage regulators	2 x PTD08A020W, 3 x PTD08A010W	36-38, 43, 44
	c. 12V power input connector	6-pin Molex mini-fit connector	39
	d. 12V power input connector	4-pin ATX disk type connector	39
22	System Monitor Interface connector	2x6 DIP male pin header	34
23	System ACE Error DS30 LED disable jumper J69	Jumper on = enable LED Jumper off = disable LED	13

1. Virtex-6 XC6VLX240T-1FFG1156 FPGA

A Virtex-6 XC6VLX240T-1FFG1156 FPGA is installed on the embedded development board.

Keep-Out areas and drill holes are defined around the FPGA to support an Ironwood Electronics SG-BGA-6046 FPGA socket.

References

See the *Virtex-6 FPGA Data Sheet*. [Ref 4]

Configuration

The ML605 supports configuration in the following modes:

- Slave SelectMAP (using Platform Flash XL with the onboard 47 MHz oscillator)
- Master BPI-Up (using Linear BPI Flash device)
- JTAG (using the included USB-A to Mini-B cable)
- JTAG (using System ACE CF and CompactFlash card)

Annexe C-

Production scientifique.

Article :

H. Bey, F. Krim, et O. Gherouat, « FPGA-Based Hardware in the Loop of Optimized Synergetic Controller for Active Power Filter », *Int. Trans. Electr. Energy Syst.*, vol. 2023, p. e5810353, mars 2023, doi: 10.1155/2023/5810353.

Conférence:

H. Bey, F. Krim, B. Talbi, et A. Sahli, « FPGA based HIL simulation for direct current control of active power filter », in *2020 International Conference on Electrical Engineering (ICEE)*, sept. 2020, p. 1-5. doi: 10.1109/ICEE49691.2020.9249856.

المذكّرة. التنفيذ الرقمي للتحكم المتقدم لأنظمة تحسين جودة الطاقة. اللقب: باي الاسم: حبيب المؤطر: كريم فاتح		
الملخص: هذه الرسالة تقدم وحدة تحكم تآزريه بالزمن المتقطع (DTSC) محسنة باستخدام مستعمرة النمل التحسين (ACO) لمرشح القدرة النشط الموازي (SAPF). تم تصميم الوحدة التحكم المطورة تحت بيئة MATLAB/Simulink، ثم تم استخدام تقنية مصفوفة البوابة القابلة للبرمجة (FPGA) في الحلقة (FIL) لتنفيذ نموذج DTSC. تم ضبط معلمات DTSC المقترحة بشكل أمثل وفقاً لمنهج ACO. يجب أن تعزز DTSC-ACO جودة الطاقة والقضاء على التوافق الهارموني للتيار الشبكي باستخدام SAPF ثلاثي الأطوار بالتحكم الحالي غير المباشر. يجب ملاحظة أن وحدة التحكم FPGA المصممة تدمج العناصر اللازمة لتشغيل SAPF. تلبي هذه النفاذية الرقمية الأداء المطلوب والموارد بشكل كبير ووقت التنفيذ. تم إجراء التحقق التجريبي على لوحة تقييم Virtex-6 ML605 FPGA من Xilinx باستخدام معالجة VIVADO. تم الحصول على انحراف هرمونيك إجمالي (THD = 2.72%) لتيار الشبكة. بالتالي، تؤكد النتائج المحصلة على العمل السليم للنهج المطور. بالإضافة إلى ذلك، يظهر DTSC المقترح أداءً ديناميكياً جيداً خلال تغيير الحمل وتغير الجهد الناتج.		
كلمات مفتاحية: وحدة التحكم التآزرية ذات الوقت المنفصل (DTSC)، مصفوفة البوابة القابلة للبرمجة (FPGA)، مستعمرة النمل التحسين (ACO)، ومرشح الطاقة النشط الموازي (SAPF).		
Titre : Implémentation numérique de commandes avancées de systèmes dédiées à l'amélioration de la qualité de l'Energie. Prénom : Habib Nom : BEY Directeur de thèse : Prof. Krim Fateh		
Résumé : Cette thèse présente une commande synergetique à temps discret (DTSC) améliorée avec la technique d'optimisation de colonie de fourmis (ACO) pour un filtre actif parallèle (FAPS). La commande proposée est conçue sous l'environnement Matlab/Simulink. La technique de FPGA en boucle (FIL) est utilisée pour implémenter le modèle DTSC. Les paramètres de la DTSC proposés sont réglés de manière optimale selon la méthodologie ACO. La DTSC-ACO améliore la qualité de l'énergie électrique et élimine les harmoniques du courant du réseau à l'aide d'un FAPS triphasé à commande de courant indirecte. Il convient de noter que la commande FPGA conçue intègre les éléments nécessaires pour piloter le FAPS. Cette implémentation numérique satisfait les exigences matérielles et les performances recommandées. En fait, elle réduit de manière significative les ressources et le temps d'exécution. La validation expérimentale est réalisée sur la carte d'évaluation Virtex-6 ML605 de Xilinx à l'aide du logiciel VIVADO. Une distorsion harmonique totale (THD = 2,72 %) est obtenue pour le courant du réseau. Ainsi, les résultats obtenus confirment le bon fonctionnement de l'approche développée. De plus, la DTSC proposée présente de bonnes performances dynamiques lors des variations de charge et de tension de sortie.		
Mots Clés : Commande synergetique à temps discret (DTSC), Réseau de portes programmables sur Matrice (FPGA), Optimisation des colonies de fourmis (ACO), Filtre actif de puissance Shunt (SAPF).		
Title: Digital Implementation of Advanced Control for Energy Quality Enhancement Systems. Name: Habib. First name: BEY. Supervised by: Prof. Krim Fateh		
Abstract: This thesis presents a discrete-time synergetic controller (DTSC) enhanced with Ant Colony Optimization (ACO) technique for a shunt active power filter (SAPF). The developed controller is designed under Matlab/Simulink environment then Field-programmable gate array (FPGA) in the Loop (FIL) technique is used to implement the DTSC model. The proposed DTSC parameters are optimally tuned according to ACO methodology. The DTSC-ACO enhance power quality and eliminate grid current harmonics using an indirect current-controlled three-phase SAPF. Note that the designed FPGA controller integrates the items needed to drive the SAPF. This digital implementation satisfies the hardware and recommended performance. In fact, it reduces significantly resources and execution time. The experimental validation is carried out on Virtex-6 ML605 FPGA Xilinx Evaluation Kit using VIVADO processing. A total harmonic distortion (THD = 2.72%) is obtained for the grid current. Thus, the results obtained confirm proper operation of the developed approach. In addition, the proposed DTSC shows good dynamic performance during load step change and output voltage variation.		
Key Words: Discrete-Time Synergetic Controller (DTSC), Field-Programmable Gate Array (FPGA), Ant Colony Optimization (ACO), Shunt Active Power Filter (SAPF).		