

الجمهورية الجزائرية الديمقراطية الشعبية

République Algérienne Démocratique et Populaire

Ministère de L'Enseignement Supérieur et de la Recherche Scientifique



UNIVERSITÉ FERHAT ABBAS - SETIF1

FACULTÉ DE TECHNOLOGIE

THÈSE

Présentée au Département d'électronique

Pour l'obtention du diplôme de

DOCTORAT

Domaine : Sciences et Technologie

Filière: Electronique

**Option: Systèmes Embarqués et
Technologie**

Par

HEBIBI Amar

THÈME

**Technique avancées de transmission numérique sans fil
pour système embarqué**

Soutenue le/...../..... devant le Jury:

| | | | |
|----------------------------------|-------------------|-----------------------------------|---------------------------|
| AMARDJIA Nouredine | Professeur | Univ. Ferhat Abbas Sétif 1 | Président |
| ZIET Lahcene | Professeur | Univ. Ferhat Abbas Sétif 1 | Directeur de thèse |
| BOUKEZZOULA Naceur-Eddine | Professeur | Univ. Ferhat Abbas Sétif 1 | Examineur |
| GUERMAT Noubel | MCA | Univ. M'sila | Examineur |
| KHAOUNI Habib | MCA | Univ. Ferhat Abbas Sétif 1 | Examineur |
| BARTIL Arras | Professeur | Univ. Ferhat Abbas Sétif 1 | Invité |

DEDICACES

Je dédie ce modeste travail

A MES PARENTS ET MA FEMME

*En reconnaissance des sacrifices qu'ils se sont
imposés pour ma réussite dans les études.*

*Pour tout le soutien matériel et moral qu'ils ne
cessent de m'apporter.*

*A eux, j'exprime ici toute ma gratitude et ma
franche reconnaissance.*

*Qu'ils trouvent ici le témoignage de ma profonde
affection.*

REMERCIEMENTS

Au terme de la rédaction de ce mémoire, je remercie Dieu qui m'a toujours donné la force de passer à travers toutes les épreuves et les découragements, qui m'a aidée à mener à terme cette recherche.

J'adresse tout d'abord mes remerciements les plus sincères, au Prof. Arres Bartil qui a très volontiers accepté d'être le promoteur de ce projet. Sa grande connaissance dans le domaine, ainsi que son expérience, ont joué un rôle important dans la conception de ce travail. Je n'oublierai jamais la gentillesse, la disponibilité, vos encouragements et les qualités scientifiques exceptionnelles que vous avez su mettre au service de mes apprentissages tout au long de notre collaboration

La sollicitude du Dr. Ziet Lahssen , au cours de ce travail, m'a profondément touché. Il m'a aidée par ses précieux conseils, ainsi que pour la lecture critique de ce mémoire. L'aboutissement de ce travail me donne l'occasion de lui exprimer ma très sincère reconnaissance.

Je me sentirais coupable d'ingratitude si je ne remerciais pas Djamel Allali mon camarade de classe, et ma femme Khaoula pour ses précieux conseils, ainsi que pour le soutien moral. Je remercie également tous les membres du jury pour l'intérêt qu'ils ont porté à mon travail : A tous mes frères, cousins et amis et à toutes les personnes qui de près ou de loin m'ont aidé dans la réalisation de ce document.

1 **Table des matières**

Chapitre 1 : Bases sur les transmissions sans fil et réseaux mobiles 22

| | | |
|-------|---|----|
| 1.1 | Introduction..... | 22 |
| 1.2 | Les transmissions sans fil et leurs évolutions..... | 22 |
| 1.2.1 | Différents standards de communications sans fils..... | 23 |
| 1.2.2 | Evolution des réseaux mobiles..... | 23 |
| 1.2.3 | Exemple de technologies 4G:..... | 25 |
| 1.3 | Notions de base sur les transmissions sans fil..... | 28 |
| 1.4 | Chaîne de transmission numérique..... | 28 |
| 1.4.1 | Echantillonnage..... | 29 |
| 1.4.2 | Conversion analogique numérique..... | 29 |
| 1.4.3 | Quantification..... | 29 |
| 1.4.4 | Codage (source et canal)..... | 29 |
| 1.4.5 | Embrouilleur..... | 30 |
| 1.4.6 | Modulateur numérique..... | 30 |
| 1.4.7 | Canal de transmission..... | 30 |
| 1.5 | Techniques de transmission numérique et codage..... | 30 |
| 1.5.1 | Code NRZ (No return to zero)..... | 31 |
| 1.5.2 | Code Manchester..... | 32 |
| 1.5.3 | Code AMI..... | 32 |
| 1.6 | Modulations numériques..... | 33 |
| 1.6.1 | Modulations numériques classiques..... | 34 |
| 1.7 | Principe de Démodulation numérique..... | 40 |
| 1.8 | Canal de propagation sans fil..... | 41 |
| 1.8.1 | Canal à trajets multiples..... | 42 |
| 1.8.2 | Diversité..... | 47 |
| 1.8.3 | Modélisation du canal de propagation..... | 48 |
| 1.9 | Concept cellulaire..... | 51 |
| 1.10 | Conclusion..... | 51 |

Chapitre 2 : Technique de transmission sans fil multi porteuses pour système embarqué : Etude préliminaire 54

| | | |
|-------|---|----|
| 2.1 | Introduction..... | 54 |
| 2.2 | Systèmes Multi porteuses..... | 54 |
| 2.3 | Principe de la modulation multi porteuses OFDM..... | 57 |
| 2.3.1 | Notion d'orthogonalité..... | 58 |

Table des matières

| | | |
|---------------------------------|---|-----------|
| 2.3.2 | Préservation de l'orthogonalité (Intervalle de garde) | 60 |
| 2.3.3 | Modulation OFDM (Génération des symboles) | 61 |
| 2.3.4 | Démodulation OFDM | 62 |
| 2.4 | Implantation numérique | 63 |
| 2.4.1 | Implantation numérique du modulateur OFDM | 64 |
| 2.4.2 | Implantation numérique du démodulateur OFDM | 64 |
| 2.5 | Codage OFDM | 65 |
| 2.5.1 | Les codes convolutionnels | 65 |
| 2.5.2 | Code en bloc | 66 |
| 2.5.3 | Code de Reed - Solomon | 66 |
| 2.6 | Entrelacement | 66 |
| 2.7 | Avantages et inconvénients de la technique OFDM | 67 |
| 2.8 | Applications courantes de la technique OFDM | 68 |
| 2.9 | Filtrage de Nyquist | 69 |
| 2.10 | Réduction du PAPR (Peak to Average Power Ratio) du système OFDM | 71 |
| 2.10.1 | Limitation de la puissance maximale de signal OFDM et fenêtrage. | 74 |
| 2.10.2 | Techniques de codage | 74 |
| 2.10.3 | Méthode SLM (Selected Mapping) | 74 |
| 2.10.4 | Méthode PTS | 75 |
| 2.11 | Conclusion | 76 |
| Chapitre 3 Les FPGA..... | | 78 |
| 3.1 | Introduction | 78 |
| 3.2 | Classification des circuits logiques programmables | 79 |
| 3.2.1 | Comparaison entre les FPGA et les autres circuits spécifiques | 81 |
| 3.2.2 | Comparaison entre les PLD et les ASIC | 82 |
| 3.2.3 | Comparaison entre les FPGA et les EPLD | 82 |
| 3.2.4 | Seuil de rentabilité entre un FPGA et un ASIC | 82 |
| 3.3 | Histoire des FPGA | 84 |
| 3.4 | Les cinq principaux atouts de la technologie FPGA | 86 |
| 3.4.1 | Performances | 86 |
| 3.4.2 | Temps de mise sur le marché | 86 |
| 3.4.3 | Coût | 87 |
| 3.4.4 | Fiabilité | 87 |
| 3.4.5 | Maintenance à long terme | 87 |
| 3.5 | Principe de fonctionnement des FPGA | 88 |

Table des matières

| | | |
|-------|---|-----|
| 3.5.1 | Une simple fonction programmable | 89 |
| 3.5.2 | Technologie de connexion à base de fusibles..... | 89 |
| 3.5.3 | Technologie de connexion à base d 'anti-fusibles..... | 90 |
| 3.5.4 | ROM | 90 |
| 3.5.5 | RAM | 91 |
| 3.6 | Les différentes architectures des FPGAs..... | 91 |
| 3.6.1 | Architecture matriciel (Mesh) | 93 |
| 3.6.2 | Architecture arborescent (Tree)..... | 95 |
| 3.7 | Les familles de FPGA/EPLD | 96 |
| 3.7.1 | Xilinx (52 % part de marché)..... | 97 |
| 3.7.2 | Altera (34 % part de marché) | 98 |
| 3.7.3 | Les autres fabricants | 98 |
| 3.8 | Exemples des Cartes (FPGA) de développement..... | 99 |
| 3.8.1 | Carte de développement DE2(Altera)..... | 99 |
| 3.8.2 | Carte de développement ATLYS– Digilent (Xilinx)..... | 100 |
| 3.9 | Outils de Développement..... | 102 |
| 3.9.1 | La description | 103 |
| 3.9.2 | La Compilation..... | 104 |
| 3.9.3 | La synthèse..... | 105 |
| 3.9.4 | La simulation..... | 105 |
| 3.9.5 | Configuration (programmation) : | 106 |
| 3.10 | Conclusion | 106 |

Chapitre 4 Conception et simulation des principes de base du système

| | | |
|-------------------|---|-----|
| OFDM | 110 | |
| 4.1 | Introduction..... | 110 |
| 4.2 | Modélisation et simulation en virgule flottante dans MATLAB (travaux de la conférence) 111 | |
| 4.2.1 | Génération de données aléatoires | 113 |
| 4.2.2 | Modulation QPSK | 114 |
| 4.2.3 | Conversion série vers parallèle..... | 114 |
| 4.2.4 | Ajout d'un préfixe cyclique | 115 |
| 4.3 | Canal de modélisation..... | 116 |
| 4.4 | Résultats de la simulation MATLAB | 121 |
| 4.4.1 | Expérience 1: l'effet du canal à évanouissement plat..... | 121 |
| 4.4.2 | Expérience 2: Simulation de l'affaiblissement de parcours en espace libre | 122 |

Table des matières

| | | |
|----------|--|------------|
| 4.4.3 | Expérience 3 : Simulation de l'affaiblissement de parcours en différents environnements | 124 |
| 4.4.4 | Expérience 4 : Simulation de l'affaiblissement de parcours en 'ajoutant l'effet d'ombrage | 125 |
| 4.4.5 | Génération de canaux de fondu | 125 |
| 4.5 | Modélisation et simulation matérielles en virgule fixe en utilisant Simulink & Xilinx System Generator (travail de 1 article)..... | 128 |
| 4.5.1 | BACKGROUNDS | 128 |
| 4.5.2 | Présentation des travaux similaire | 131 |
| 4.5.3 | Méthodologies de conception..... | 134 |
| 4.6 | Vérification du matériel sur la plateforme FPGA Spartan-6 par co-simulation matérielle.. | 143 |
| 4.6.1 | La deuxième méthode: conception du modulateur BPSK à l'aide de Verilog HDL | 143 |
| 4.6.2 | LM4550 ac'97 Audio Codec | 144 |
| 4.6.3 | Hierarchie HDL | 145 |
| 4.6.4 | RÉSULTATS DE COMPARAISON ET CONCLUSION | 149 |
| 5 | Conclusion Générale..... | 151 |

Liste des figures

Liste des figures

| | |
|--|----|
| Figure 1-1: Architecture du réseau GSM | 24 |
| Figure 1-2: Mode infrastructure du WIFI | 26 |
| Figure 1-3 : Schéma synoptique d'une chaîne de transmission numérique (Partie émission)..... | 28 |
| Figure 1-4 : Signal binaire et sa composante continue..... | 31 |
| Figure 1-5: Le codage Manchester | 32 |
| Figure 1-6: Spectre du signal codé Manchester..... | 32 |
| Figure 1-7: Le codage AMI | 33 |
| Figure 1-8 : Le spectre du signal codé AMI..... | 33 |
| Figure 1-9: Modulation d'amplitude OOK | 35 |
| Figure 1-10: Constellation de la modulation OOK..... | 35 |
| Figure 1-11: Chronogramme de la modulation BPSK..... | 36 |
| Figure 1-12: Constellation de la modulation BPSK..... | 36 |
| Figure 1-13: Constellation de la modulation QPSK | 36 |
| Figure 1-14: Constellations MAQ à 16 états | 38 |
| Figure 1-15: Forme d'un modulateur numérique..... | 38 |
| Figure 1-16: La position d'un symbole dans le plan de Fresnel..... | 39 |
| Figure 1-17: La constellation numérique | 39 |
| Figure 1-18: Principe de la démodulation numérique..... | 41 |
| Figure 1-19: Les différents mécanismes de la propagation sans fil..... | 42 |
| Figure 1-20: Temps de cohérence T_c | 45 |
| Figure 1-21: Variations lentes et rapides..... | 46 |
| Figure 1-22: Densité de probabilité pour un canal gaussien..... | 49 |
| Figure 1-23: Canal AWGN | 49 |
| Figure 1-24: Modèle du canal de Rayleigh | 49 |
| Figure 1-25: Distribution de Rayleigh normalisée..... | 50 |
| Figure 1-26: Réseau cellulaire..... | 51 |
| Figure 2-1: Spectre de sous porteuses OFDM et FDM..... | 56 |
| Figure 2-2: Représentation fréquentielle et temporelle d'un signal OFDM..... | 58 |
| Figure 2-3: Base orthogonale | 59 |
| Figure 2-4: Multiplexage fréquentiel conventionnel | 59 |
| Figure 2-5: Multiplexage fréquentiel optimal | 60 |
| Figure 2-6: Intervalle de garde (Préfixe cyclique)..... | 60 |
| Figure 2-7: Schéma de principe du modulateur OFDM..... | 61 |
| Figure 2-8: Spectre en sortie du modulateur OFDM | 62 |
| Figure 2-9: Schéma de principe du démodulateur OFDM..... | 63 |
| Figure 2-10: Modulateur OFDM numérique..... | 64 |
| Figure 2-11: Démodulateur OFDM numérique..... | 65 |
| Figure 2-12: Code convolutionnel | 65 |
| Figure 2-13: Codage et Entrelacement..... | 67 |
| Figure 2-14: Filtre de Nyquist dans le domaine fréquentiel..... | 70 |
| Figure 2-15: Filtre de Nyquist dans le domaine temporel..... | 71 |
| Figure 2-16: Exemple du PAPR d'un signal OFDM..... | 72 |
| Figure 2-17: Evolution du CCDF en fonction du $PAPR_0$ | 73 |
| Figure 2-18: Réduction du PAPR par codage par bloc | 74 |
| Figure 2-19. Réduction du PAPR par la méthode SLM..... | 75 |
| Figure 2-20: Schéma du principe de la méthode PTS..... | 76 |

Liste des figures

| | |
|---|-----|
| Figure 3-1 Classification des circuits logiques programmables | 80 |
| Figure 3-2 Architecture traditionnelle d'une plateforme FPGA à base de mailles | 88 |
| Figure 3-3 Exemple d'une simple fonction programmable | 89 |
| Figure 3-4 Exemple d'une connexion à base de fusibles | 90 |
| Figure 3-5 Exemple d'une connexion à base d'anti-fusibles | 90 |
| Figure 3-6 Cellule principale d'une mémoire à grille flottante et son schéma symbolique | 91 |
| Figure 3-7 Exemple d'une mémoire RAM statique et dynamique | 91 |
| Figure 3-8 Architecture d'un FPGA..... | 91 |
| Figure 3-9 Architecture d'un CLB/BLE..... | 92 |
| Figure 3-10 Mesh-based FPGA..... | 93 |
| Figure 3-11 Exemple d'architecture d'un bloc de Connexions et d'une Switch box | 94 |
| Figure 3-12 Exemple d'un canal de routage | 95 |
| Figure 3-13 Tree-based FPGA | 96 |
| Figure 3-14 La carte de développement DE2..... | 99 |
| Figure 3-15 Schéma fonctionnel de la carte DE2..... | 100 |
| Figure 3-16 La carte de développement ATLYS..... | 101 |
| Figure 3-17 Schéma fonctionnel de la carte ATLYS..... | 102 |
| Figure 3-18 Les étapes du développement pour les PLD..... | 102 |
| Figure 4-1 Flux de conception de l'implémentation OFDM..... | 110 |
| Figure 4-2. Schéma fonctionnel d'un émetteur-récepteur OFDM | 113 |
| Figure 4-3 Modèles exponentiels et à 2 rayon..... | 119 |
| Figure 4-4 BER des systèmes OFDM sous canal d'évanouissement plat..... | 121 |
| Figure 4-8 l'affaiblissement de parcours en espace libre..... | 123 |
| Figure 4-9 l'affaiblissement de parcours en différents environnements..... | 124 |
| Figure 4-10 l'affaiblissement de parcours en 'ajoutant l'effet d'ombrage | 125 |
| Figure 4-11 Distributions pour les canaux d'évanouissement Rayleigh et Rician | 127 |
| Figure 4-12. BPSK modulator | 129 |
| Figure 4-13. BPSK waveforms..... | 129 |
| Figure 4-14. Résumé de la conception. | 132 |
| Figure 4-15. Le résumé de conception du modulateur BPSK | 133 |
| Figure 4-16. BPSK modulator in system generator with hardware co-simulation | 135 |
| Figure 4-17. Résultat de la simulation affiché dans l'oscilloscope Wave | 142 |
| Figure 4-18. Le résumé de conception du modulateur BPSK | 142 |
| Figure 4-19. Le système audio numérique analogique BPSK..... | 144 |
| Figure 4-20. Le diagramme AIC et la manière choisie pour générer une onde sinusoïdale..... | 144 |
| Figure 4-21 . Schéma fonctionnel RTL pour le circuit Talkthrough AC'97..... | 146 |
| Figure 4-22. Schéma RTL du système de modulateur BPSK | 147 |
| Figure 4-23. Le résumé de conception du modulateur BPSK | 148 |
| Figure 4-24. Représente le laboratoire de banc d'essai utilisé dans la mise en œuvre du modulateur BPSK sur la carte atlys..... | 148 |

Liste des tableaux

Liste des tableaux

| | |
|---|-----|
| Tableau 1-1: les caractéristiques et les technologies utilisées pour chaque génération de réseau mobile | 27 |
| Tableau 3-1 les facteurs d'évolution des circuits numériques..... | 79 |
| Tableau 3-2 Classification des circuits logiques programmables | 81 |
| Tableau 3-3 Gamme de produits Xilinx multi-nœuds..... | 97 |
| Tableau 3-4 l'historique des PLD chez Altera | 98 |
| Tableau 4-1. Paramètres typiques pour la transmission descendante | 112 |
| Tableau 4-2 Exposant de perte de chemin | 123 |

Liste des abréviations

| | |
|-------|---|
| 3GPP | Third Generation Partnership Project |
| 4G | Fourth Generation |
| ASIC | Application Specific Integrated Circuit |
| AWGN | Additive White Gaussian Noise |
| BER | Bit Error Rate |
| BPSK | Binary Phase Shift Keying |
| CLB | Configurable Logic Block |
| CP | Cyclic Prefix |
| DFT | Discrete Fourier Transform |
| DSP | Digital Signal Processor |
| FDM | Frequency Division Multiplexing |
| FFT | Fast Fourier Transform |
| FPGA | Field Programmable Gate Array |
| IC | Integrated Circuit |
| ICI | Inter-Carrier Interference |
| IDFT | Inverse Discrete Fourier Transform |
| IFFT | Inverse Fast Fourier Transform |
| IP | Intellectual Property |
| ISI | Inter-Symbol Interference |
| LCA | Logic Cell Array |
| LOS | Light-of-Sight |
| LS | Least Squares |
| LTE | Long Term Evolution |
| LTS | Long Training Symbol |
| MC | Maximum-Correlation |
| MIMO | Multiple-Input, Multiple-Output |
| ML | Maximum-Likelihood |
| MMSE | Minimum-Mean-Square-Error |
| MNC | Maximum-Normalized Correlation |
| MSE | Mean Square Error |
| MUX | Multiplexer |
| NLOS | Non-Line-of-Sight |
| OFDM | Orthogonal Frequency Division Multiplexing |
| OFDMA | Orthogonal Frequency Division Multiple Access |
| PA | Pilot-Assisted |

Liste des abréviations

| | |
|-------|---|
| PDF | Probability Density Function |
| PHY | Physical Layer |
| PLCP | Physical Layer Convergence Protocol |
| PLD | Programmable Logic Device |
| PMD | Physical Medium Dependent |
| PSK | Phase Shift Keying |
| QAM | Quadrature Amplitude Modulation |
| QoS | Quality of Service |
| QPSK | Quadrature Phase Shift Keying |
| RAM | Random-Access Memory |
| RF | Radio Frequency |
| ROM | Read-Only Memory |
| RTL | Register Transfer Level |
| SNR | Signal to Noise Ratio |
| STS | Short Training Symbol |
| VHDL | Very-high-speed Digital Subscriber Line |
| VHSIC | hardware description language |
| VHSIC | Very-High-Speed Integrated Circuits |
| WiMAX | Worldwide Interoperability for Microwave Access |
| WLAN | Wireless Access Networks |
| ZF | Zero Forcing |

RESUME

RESUME

Résumé

La conception des systèmes électroniques est devenue principalement dépendante des FPGAs applications. Ceci est dû au progrès de l'efficacité de la douceur par informatique reconfigurable et temps réduit pour développer des solutions pour le traitement numérique du signal. Dans cet article, nous présentons les fondements théoriques d'un Modulation BPSK et conceptions matérielles du système BPSK, une première avec l'aide de Matlab/Simulink dépendant du System Generator et d'un second avec Xilinx ISE VERILOG Hardware Description Language. Afin de montrer les différences entre eux, en termes d'efficacité, de durée de développement et combien de ressources sont utilisées dans FPGA. Pour le système projeté, nous avons tendance à viser à utiliser un FPGA de taille moyenne et de faible valeur pour implémenter le système.

La carte de développement d'Atlys par Digilent pour configurer développe et exécute le système, basé sur un Xilinx FPGA Spartan-6 LX45.

Lors de ce travail, deux nouvelles méthodes de l'implémentation du modulateur BPSK sont développées et comparées, en termes d'efficacité, de durée de développement et de nombre de ressources utilisées dans le FPGA. Le premier est l'implémentation d'un modulateur BPSK a été entièrement réalisée en VHDL avec l'aide de Xilinx Outil System Generator comme dans plusieurs articles, sauf en utilisant simplement un bloc DDS et un bloc rivers, ce qui crée un déphasage de 180° entre les deux sinusoïdales. La deuxième méthode, l'implémentation a été entièrement réalisée en Verilog HDL sans l'aide des outils Xilinx System Generator ou DSP Builder, où j'ai réussi à utiliser AC '97 codec audio pour générer un signal sinusoïdal (porteuse), j'ai programmé la broche Pmod comme entrée numérique (le signal modulant) et signal BPSK, je l'ai extrait en programmant l'AIC comme sortie analogique.

Après avoir comparé les deux méthodes, j'ai conclu que L'approche couramment utilisée pour l'implémentation du FPGA des différentes techniques de modulation est par la conversion du programme d'un outil particulier à VHDL pour la suite.

Avec les progrès dans le domaine de VLSI et DSP un système de communication efficace et fiable peut être utilisé par les diverses méthodes et outils discutés dans le document pour la recherche ainsi qu'à des fins éducatives.

RESUME

ملخص

أصبح تصميم الأنظمة الإلكترونية يعتمد بشكل أساسي على تطبيقات FPGA. ويرجع ذلك إلى التقدم في كفاءة السهولة من خلال الحوسبة القابلة لإعادة التكوين وتقليل الوقت لتطوير حلول لمعالجة الإشارات الرقمية. في هذه المقالة ، نقدم الأسس النظرية لتعديل BPSK وتصميمات الأجهزة لنظام BPSK ، الأول بمساعدة Matlab / Simulink الذي يعتمد على مولد النظام والثاني باستخدام لغة وصف الأجهزة Xilinx ISE VERILOG. من أجل إظهار الفروق بينهما ، من حيث الكفاءة ووقت التطوير وعدد الموارد المستخدمة في FPGA بالنسبة للنظام المتوقع ، نميل إلى استخدام FPGA متوسط الحجم ومنخفض القيمة لتنفيذ النظام.

الكلمات المفتاحية: BPSK; FPGA; VHDL; Verilog HDL; DDS; AIC; Digital Modulator; System Generator; Hardware co-simulation;

Résumé

La conception des systèmes électroniques est devenue principalement dépendante des FPGA applications. Ceci est dû au progrès de l'efficacité de la douceur par informatique reconfigurable et temps réduit pour développer des solutions pour le traitement numérique du signal. Dans cet article, nous présentons les fondements théoriques d'un Modulation BPSK et conceptions matérielles du système BPSK, une première avec l'aide de Matlab/Simulink dépendant du System Generator et d'un second avec Xilinx ISE VERILOG Hardware Description Language. Afin de montrer les différences entre eux, en termes d'efficacité, de durée de développement et combien de ressources sont utilisées dans FPGA. Pour le système projeté, nous avons tendance à viser à utiliser un FPGA de taille moyenne et de faible valeur pour implémenter le système.

Mots clés: *BPSK; FPGA; VHDL; Verilog HDL; DDS; AIC; Digital Modulator; System Generator; Hardware co-simulation;*

Abstract

The design of electronic systems has become primarily dependent on FPGA applications. This is due to the progress in the efficiency of softness by reconfigurable computing and reduced time to develop solutions for digital signal processing. In this article, we present the theoretical foundations of a BPSK Modulation and hardware designs of the BPSK system, a first with the help of Matlab / Simulink dependent on the System Generator and a second with Xilinx ISE VERILOG Hardware Description Language. In order to show the differences between them, in terms of efficiency, development time and how many resources are used in FPGA. For the projected system, we tend to aim to use a mid-size, low-value FPGA to implement the system.

Keywords: *BPSK; FPGA; VHDL; Verilog HDL; DDS; AIC; Digital Modulator; System Generator; Hardware co-simulation;*

INTRODUCTION GENERALE

INTRODUCTION GENERALE

INTRODUCTION GENERALE

Les systèmes de communication sans fil exigent des applications gourmandes en données telles que le transfert de données, les services multimédias, les flux audio et vidéo. Le besoin de ces applications a fait du débit de données élevé la principale exigence des réseaux sans fil ainsi que des normes de diffusion. Le traitement de la distorsion de canal dans les communications à haut débit est très compliqué et nécessite une structure de récepteur très complexe utilisant des algorithmes d'estimation de canal et d'égalisation. Pour les communications à haut débit, l'intérêt se concentre sur les techniques de modulation qui peuvent fournir une transmission à large bande sur divers canaux sans fil. Les techniques de modulation standard à porteuse unique, telles que la modulation par déplacement de phase (PSK) et la modulation d'amplitude en quadrature (QAM), sont appliquées pour les canaux plats, tandis que les techniques de modulation multi porteuses peuvent traiter les canaux à large bande non plats.

En tant que modulation multi porteuse, le multiplexage par répartition orthogonale de la fréquence (OFDM) divise le flux de données à haut débit en un certain nombre de flux à faible débit ou de sous-canaux transmis simultanément sur des sous-porteuses orthogonales. En conséquence, le canal à large bande sélectif en fréquence est transformé en un groupe de canaux à bande étroite non sélectifs en fréquence. De cette façon, la norme PSK ou QAM peut être utilisée pour chaque sous-canal et seul un simple égaliseur est adéquat pour l'estimation de canal. Comparé à d'autres méthodes de modulation multi porteuses, l'OFDM utilise le spectre de fréquences de manière très efficace. En préservant l'orthogonalité, il est considéré comme un schéma de signalisation économe en bande passante avec une complexité raisonnable et des performances élevées. La modulation OFDM présente certains avantages par rapport aux techniques de modulation de multiplexage par répartition en fréquence traditionnelles qui sont résumées ci-dessous [1].

- Réalisation matérielle simple à l'aide de l'implémentation FFT
- Robustesse contre les interférences inter symboles conduisant à une structure de récepteur peu complexe
- Pas de bande de garde entre les sous-canaux conduisant à une utilisation efficace du spectre
- Différents schémas de modulation peuvent être utilisés dans un système OFDM.
- Résistant aux interférences co-canal.
- Prend en charge la diversité de fréquence.

INTRODUCTION GENERALE

Par conséquent, une convergence mondiale s'est produite pour l'utilisation de la modulation OFDM en raison de sa transmission à haut débit et de sa capacité à lutter contre l'évanouissement sélectif en fréquence. De nombreuses normes sans fil, telles que Wi-Max, IEEE802.11a/g/n, 3rd Generation Partnership Project (3GPP), Long Term Evolution (LTE) et Digital Audio Broadcast (DVB), ont adopté la technologie OFDM. De plus, la technique OFDM a été appliquée non seulement dans les systèmes de communication numérique sans fil mais également dans la communication numérique filaire comme dans la technologie de ligne d'abonné numérique asymétrique (ADSL).

La communication sans fil nécessite une transmission à haut débit pour une qualité de service (QoS) raisonnable. La demande d'un débit de données élevé pour les futures communications sans fil nous a inspiré la conception d'un système de communication capable d'assurer une transmission à haut débit. Il a été découvert que de nombreux schémas de modulation numérique ne peuvent pas fournir une transmission sans fil à porteur unique à grande vitesse lorsqu'il y a un évanouissement sélectif en fréquence dans le canal, alors que le schéma de modulation OFDM a la capacité de traiter efficacement ce canal.

La plupart des publications liées à l'OFDM se concentrent sur la partie théorique et l'analyse de l'OFDM et de ses avantages. Il existe un nombre limité de publications qui ont implémenté des systèmes OFDM dans du matériel avec des performances raisonnables en raison de sa complexité. La plupart des articles existants [2], [3], [4] et [5] ont proposé la conception et la mise en œuvre de l'émetteur OFDM uniquement en utilisant soit le codage HDL, soit le jeu de blocs Xilinx System Generator. Des travaux limités ont été effectués sur la conception complète de l'émetteur-récepteur OFDM. Dans l'article de la conférence 2010 [6], un émetteur-récepteur OFDM est implémenté sur un FPGA en utilisant les bibliothèques de blocs Xilinx. La modulation OFDM n'a que 64 sous-porteuses modulées avec un schéma 16-QAM. Cette performance du système est évaluée sur le canal AWGN fourni par Simulink. Ni l'ajout de CP ni le canal d'évanouissement ne sont appliqués au système OFDM. Au lieu de concevoir le démodulateur Xilinx, un code MATLAB est utilisé dans le bloc Xilinx M-Code pour le dé mappage 16-QAM. Bien que IFFT et FFT aient une petite taille de 64 points avec une représentation en virgule fixe de 16 bits, il y avait une différence entre la courbe du taux d'erreur sur les bits (BER) de la virgule fixe FPGA et la courbe à virgule flottante MATLAB (courbe théorique).

Dans l'article de journal [7] publié en avril 2012, un système QAM-OFDM a été implémenté sur Virtex-2 Pro à l'aide de l'outil Xilinx ISE. Ce système n'a pas été testé sous

INTRODUCTION GENERALE

aucun bruit pour évaluer les performances du système. Les formes d'onde des signaux transmis et récupérés ont été étudiées pour impliquer que la conception du système a répondu aux observations théoriques. La performance BER n'a pas pu être fournie pour évaluation en raison de l'absence de canal.

L'objectif principal de cette thèse est de concevoir et d'implémenter matériellement un système de communication OFDM incluant l'ajout de CP, et d'évaluer ses performances sur un canal d'évanouissement par trajets multiples. La taille FFT dans le système OFDM doit être grande pour une meilleure efficacité spectrale de la bande passante. Le schéma de modulation numérique QPSK est appliqué dans la conception OFDM en tant que technique de modulation populaire utilisée dans de nombreux systèmes de traitement du signal numérique (DSP). Notre conception du système QPSK-OFDM est basée sur les spécifications 3GPP LTE en termes de taille FFT et de longueur CP.

Le Field Programmable Gate Array (FPGA), cependant, a apporté une amélioration significative dans le développement d'applications DSP. Avec des composants FPGA hautes performances de Xilinx et Altera, les solutions DSP peuvent être déployées à faible coût. Les appareils FPGA modernes offrent une prise en charge étendue des DSP pour les applications de traitement de signal intensif. Dans cette thèse, le dispositif Xilinx Virtex-5 est choisi pour une implémentation efficace basée sur FPGA du système QPSK-OFDM. En fait, cet appareil possède de nombreux blocs de construction à haute capacité appelés tranches Xtreme DSP DSP48, qui prennent en charge le traitement algorithmique du signal numérique. À l'aide des outils de conception Xilinx, notre système OFDM est conçu et mis en œuvre sur Xilinx Virtex-5. En mettant en œuvre et en testant le système OFDM dans le matériel, la robustesse de l'OFDM contre le canal d'évanouissement par trajets multiples est vérifiée. Ce travail propose une documentation complète de conception et d'implémentation des algorithmes DSP. En fait, cette thèse propose une méthodologie moderne de conception et de mise en œuvre plutôt que la méthode traditionnelle utilisant le flux logique de transfert de registre standard. Dans cette méthodologie, une conception d'algorithme DSP est transformée d'une conception de haut niveau en modèle RTL en passant par diverses étapes de conception. Cependant, ce projet a été mis en œuvre à l'aide d'équipements fournis par le Wireless Design Lab de l'Université Concordia, et il servira de base à de nombreux travaux futurs du laboratoire.

Par rapport au récent document de conférence [6], la mise en œuvre du système OFDM dans ce travail a inclus non seulement le préfixe cyclique mais également le modèle de canal

INTRODUCTION GENERALE

d'évanouissement sans fil pour vérifier les performances du système sur le canal d'évanouissement multi-trajets.

Chapitre 1

Bases sur les transmissions sans fil et réseaux mobiles

Chapitre 1 : Bases sur les transmissions sans fil et réseaux mobiles

1.1 Introduction

L'objectif primordial de ce chapitre est d'introduire les notions les plus importantes sur les transmissions sans fil, l'évolution des réseaux mobiles et le canal de propagation radio mobile ; Ces notions serviront de base à une conception adéquate d'un système de transmission sans fil pour un système embarqué mobile.

Aujourd'hui les systèmes de transmission sans fil sont de plus en plus présents dans notre vie quotidienne et ils tendent à remplacer l'utilisation des câbles. En effet, bien que les connexions à haut débit de type ADSL se multiplient, elles ne permettent pas la souplesse d'utilisation que procure un réseau radio sans fil. Pour améliorer les qualités de service qu'offrent ces liaisons, les chercheurs préparent l'arrivée de futures générations de radio mobiles.

Les concepteurs de systèmes embarqués n'ignorent plus le rôle primordial joué par la transmission sans fil et ses nombreux avantages. Ils existent beaucoup de contraintes et problèmes liés à la conception de tels systèmes. La fiabilité de la transmission, l'énergie mise en jeu, la limitation de la portée de la transmission, le problème d'interférences et la complexité de la réalisation sont les différents problèmes qu'il faut résoudre. L'amplification du signal à transmettre joue aussi un rôle important dans la conception des systèmes de transmission sans fil dédiés aux systèmes embarqués. Notons que les transmissions sans fil étant le plus souvent utilisés dans un contexte mobile, ces nouvelles architectures doivent se plier à de fortes contraintes en consommation d'énergie

Un système de transmission sans fil doit posséder les caractéristiques suivantes :

- Prise en charge multimédia interactives, voix, vidéo, Internet sans fil et autres services large bande
- Haute vitesse, haute capacité et avec un cout moindre
- Communications transparentes avec une variété de services
- Meilleure planification et des techniques de contrôle d'admission d'appel.

1.2 Les transmissions sans fil et leurs évolutions

Ce paragraphe présente présenter les principaux standards de transmission sans fil utilisés et l'évolution des réseaux mobiles.

1.2.1 Différents standards de communications sans fils

Il existe en général quatre types de réseaux :

- **Réseau PAN (Personal Area Network)** : C'est un réseau limité d'équipements téléphoniques, le plus souvent dans une utilisation personnalisée. Le standard le plus répandu est le Bluetooth. Un débit de transmission de 1 Mbps de 10 à 100m de distance. Il est classifié dans la norme IEEE :802.15.1
- **Réseau LAN (Local Area Network)** : Ce type de réseau géographiquement limité est de plus en plus utilisé dans les entreprises et particuliers. La norme utilisé est IEEE :802.11 connu sous le nom de WIFI. Des débits pouvant atteindre 100Mbps
- **Réseau MAN (Metropolitan Area Network)** : Ces réseaux sont conçus spécialement pour la connexion entre réseaux. La norme utilisée est IEEE : 802.16 connu sous le nom de WIMAX (Worldwide Interoperability for Microwave Acces). Ce type de réseau permet de transmettre des données par voie hertzienne allant jusqu'à 70 Mbps.
- **Réseau WAN (Wide Area Network):** Il est principalement réservé à la téléphonie mobile tel que le GSM, GPRS ou UMTS

La partie suivante représente plus en détail l'évolution des réseaux mobiles

1.2.2 Evolution des réseaux mobiles

Le réseau mobile suit différentes normes allant de la première génération 1G à la cinquième génération 5G toujours (actuellement en test). [8]

- La première génération de téléphonie mobile est apparue dans le début des années 80. Elle présente l'inconvénient de l'incompatibilité des normes concernant différents région. Ce réseau fonctionne dans la bande des 400MHZ, il utilise la modulation analogique pour la voix.
- En ce qui concerne le réseau GSM (global system mobil) apparue en 1991 avec la norme 2G, conçu pour les communications téléphoniques peut fournir un grand nombre de services (la voix, les données, messages écrits, renvoi d'appel et localisation), les spécifications techniques imposent pour le fonctionnement de cette norme une bande de fréquences à 900MHz. Ce réseau GSM permet en plus des communications entre les abonnés mobiles (GSM) et les abonnés du réseau téléphonique commuté (RTC).

Le réseau GSM est composé des ensembles suivants :

- **BSS (Station Sub System) :** Il assure les transmissions radioélectriques et gère la ressource radio. Le BSS comprend des BTS (émetteurs et récepteurs) et les BSC qui contrôlent un ensemble de BTS et permettent une première concentration des circuits.
- **NSS (Network Sub System) :** Il représente un sous-système d'acheminement. Son principal rôle est d'assurer les fonctions de commutation et de routage. Il permet l'accès au réseau public RTCP ou RNIS. Il se compose de plusieurs équipements (HLR, VLR, MSC, AUC..). La figure 1.1 illustre l'architecture d'un réseau GSM[9]

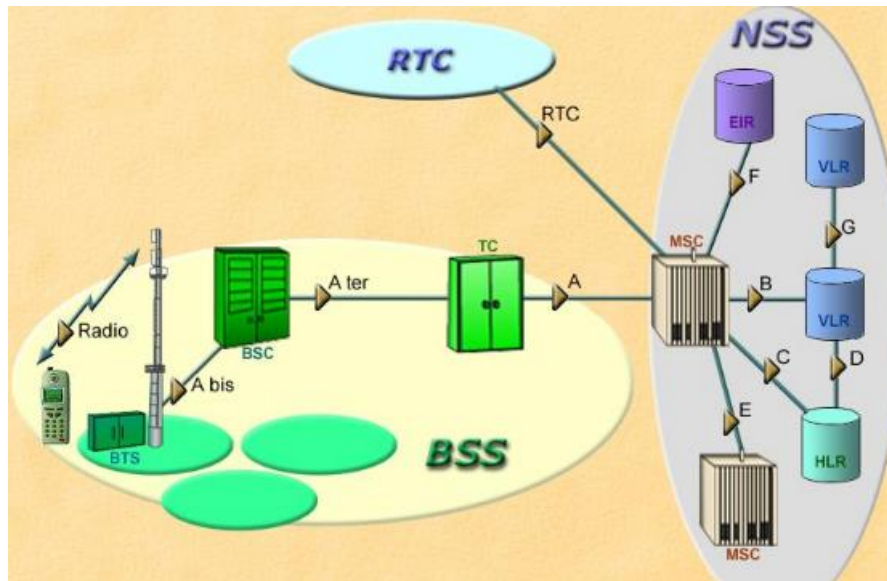


Figure 0-1: Architecture du réseau GSM

- Le réseau GPRS (General Packet Radio Service) : c'est extension directe de la norme 2G (GSM) vers la 2.5G. il travaille en mode de commutation de paquets.
- La troisième génération 3G a été impulsée pour permettre des applications vidéo sur le mobile, la possibilité de regarder YouTube et la visiophonie. En plus de l'augmentation du débit, on passe d'un service de téléphonie à connexion circuit vers un autre à connexion par paquets ou Data. L'UMTS (Universel Mobil Télécommunications System) est une technologie de téléphonie cellulaire dont la partie radio (UTRAN) repose sur une technique d'accès multiple ou à étalement de spectre (WCDMA). Notons que l'accès multiple pour le GSM se fait par une combinaison de multiplexage temporel TDMA et fréquentiel FDMA. Une amélioration importante de l'UMTS par rapport au GSM consiste, grâce à une nouvelle technique de codage, en la possibilité de réutiliser les mêmes fréquences dans les cellules radio adjacentes et en conséquence d'affecter une largeur spectrale plus grande à chaque cellule (5Mhz), alors qu'en GSM, les cellules radio adjacentes

doivent utiliser des bandes de fréquences différentes. La disparition de cette contrainte permet à l'UMTS d'avoir plus de débit ou plus d'abonnés par cellule. L'évolution consécutive de cette évolution de débit permet de consulter Internet sur un terminal mobile mais également de visionner les vidéos.

- La quatrième génération de téléphonie mobile 4G (LTE : Long Term Evolution), succède dans l'ordre chronologique à la troisième génération qui commence à s'installer à partir de l'année 2013. Cette nouvelle norme permet le très haut débit mobil, c'est-à-dire des transmissions de données avec des débits théoriquement supérieurs de plusieurs dizaines de Mb/s, largement supérieures aux technologies 3G. En utilisant la 4G, on se dirige vers la transmission de toutes les informations, voix et données par IP, le même protocole utilisé sur Internet. La technologie LTE permet des vitesses de téléchargements rapides avec des temps de latence très courts. [10] [11]

La quatrième génération 4G vise à augmenter l'efficacité spectrale et augmenter la capacité de gestion du nombre de mobiles dans une même cellule. Elle tente aussi d'offrir des débits élevés en situation de mobilité et à offrir une mobilité totale à l'utilisateur en établissant l'interopérabilité entre les différentes technologies existantes. L'établissement des standards de performances communément admis pour le réseau 4G : 100Mb/s sur le lien radio descendant (antenne relais vers mobile) et 50 Mb/s sur le lien montant (mobile vers antenne relais). La technologie LTE fonctionne dans une variété de fréquences selon la zone géographique couverte : 700 Mhz aux Etats Unis et 2.6GHz et 800 MHz en Europe. Le LTE doit pouvoir opérer sur des porteuses de différentes largeurs afin de s'adapter à des allocations spectrales variées. [12]

1.2.3 Exemple de technologies 4G:

1.2.3.1 Réseau WLAN : IEEE 802.11

IEEE 802.11 ou WIFI est un standard international décrivant les caractéristiques du réseau LAN sans fil (WLAN). Il connecte des ordinateurs portables, des équipements de bureau, des équipements personnels (PDA), en créant un réseau sans fil couvrant un rayon de dizaines de mètres et tolérant une mobilité à très petite vitesse. Le mode infrastructure est divisé en deux architectures :

- **Architecture BSS (Basic Service Set)** : Elle est composée d'une seule cellule couverte par un seul point d'accès (AP) qui est l'intermédiaire permettant l'échange d'informations entre plusieurs stations.

- **Architecture ESS (Extended Service Set) :** Elle est composée de plusieurs points d'accès connectés par un système de distribution, et formant un large réseau composé de plusieurs cellules. Le deuxième mode défini par le WIFI est le mode Ad-Hoc qui permet l'échange direct des informations entre les stations sans obligation de passage par le point d'accès.

L'architecture du mode infrastructure est illustrée dans la figure 1.2 ci-dessous :

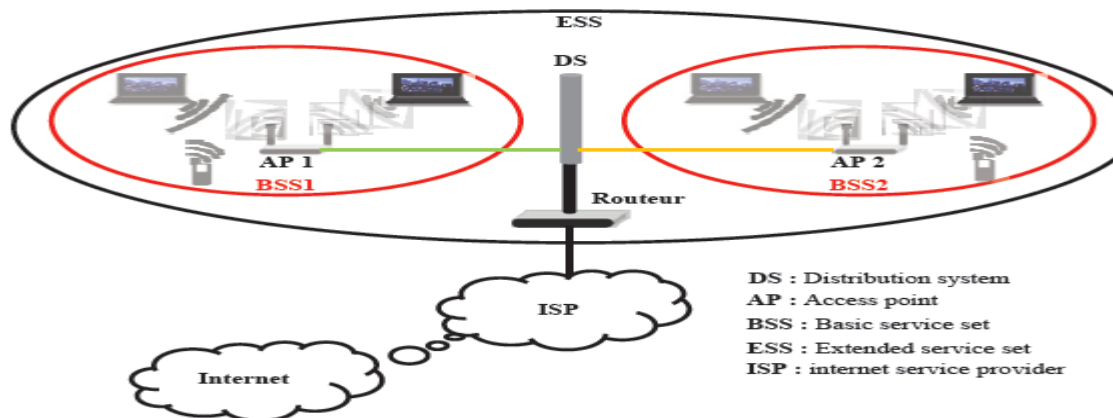


Figure 0-2: Mode infrastructure du WIFI

1.2.3.2 Réseau Wi MAX

Le réseau WiMaX (Worldwide Inter operability for Microwave Access), désigne un ensemble de standards et techniques du monde métropolitain sans fil WMAN. Le WiMaX ou standard IEEE 802.16 permet le raccordement sans fil d'entreprises et de particuliers sur de longues distances. Cette technologie vise donc à introduire une solution complémentaire au DSL (Digital Subscriber Line) et aux réseaux câblés d'une part, et à interconnecter des hotspots WiFi d'autre part. Le WiMAX prend en charge les transferts de type ATM et IP, pour cela il utilise une sous-couche de convergence qui permet la conversion des informations afin de les rendre exploitables par la couche MAC. Le WiMAX couvre des zones géographiques importantes sans la contrainte d'installation d'infrastructures coûteuses pour faire parvenir la connexion jusqu'à l'utilisateur. [12]

Le premier élément de l'architecture WMAN est la station de base (BS) qui couvre une certaine zone géographique où se situent des utilisateurs immobiles ou en mouvement relativement lent qui communiquent avec la BS selon le principe du point à multipoint. Ce réseau peut fournir des débits importants et un passage à l'échelle en raison des capacités de canal flexibles. Il offre une couverture importante, des services avec des exigences de QoS (qualité de service), ainsi qu'une sécurité importante. Le standard IEEE802.16 couvre

Chapitre 1: Bases sur les transmissions sans fil et réseaux mobiles

l'utilisation des bandes de fréquences de 10 à 66 GHz. IEEE802.16e est considéré comme le plus avancé et le plus intéressant d'un point de vue commercial car il apporte la mobilité (permettant à la fois le passage d'un relais à l'autre ainsi qu'un fonctionnement embarqué en véhicule, lors de déplacements. [13]

La cinquième génération (5G) de réseaux mobiles : Il y a une demande croissante des industries, secteur de la santé et le secteur éducatif à utiliser les systèmes de communications sans fil. Dans quelques années la consommation de données et le nombre d'utilisateurs de réseaux mobiles devraient augmenter considérablement et qui ne peuvent pas être supporté par les technologies actuelles telles que la 3G et la 4G. Par conséquent il faut une autre génération de système de communication sans fil. Les opérateurs de télécommunications sont engagés dans la recherche et le développement de la 5G. La cinquième génération des réseaux mobiles est en cours d'étude et de spécification. L'infrastructure technologique peut améliorer le débit de données des réseaux existants pour soutenir le nombre croissant d'utilisateurs et les services accessibles depuis le réseau mobile. Ceci ne doit pas se faire sans garantir une qualité de service QoS raisonnable pour tous les utilisateurs. [14]

La cinquième génération doit répondre aux exigences suivantes :

- Des milliers de fois plus de données mobiles par rapport à la 4G
- Des débits supérieurs à 1Gbps

Le tableau 1.1 résume les caractéristiques et les technologies utilisées pour chaque génération de réseau mobile :[15]

| | 1G | 2G | 3G | 4G | 5G |
|------------------------------|----------------------------------|------------------|---------------------|--|--|
| Années d'utilisation | 1980 - 1990 | 1990 - 2000 | 2000 - 2010 | 2010 - 2020 | 2020 - 2030 |
| Bandes passantes | 150/900MHZ | 900MHZ | 100MHZ | 100MHZ | 1000x BW par unité de surface |
| Fréquences | 30KHz (Analogique) | 1.8GHz (Digital) | 1.6 - 2.0 GHz | 2 - 8 GHz | 3 - 300 GHz |
| Vitesses de connexion | 2kb/s | 64kb/s | 144kb/s-2Mb/s | 100Mb/s - 1Gb/s | 1Gb/s < |
| Caractéristiques | Réseau de communication sans fil | Internet | Internet haut débit | Débit plus rapide et accepte toutes les IP | (mMTC) Machine Type Communication (eMBB) Connexion Haut débit amélioré (uRLLC) Meilleure Fiabilité et diminution des temps de latences |
| Technologies | Analog Cellular | Digital cellular | CDMA, UMTS, EDGE | LTE, WI-FI | WWW : world wild wireless web |

Tableau 0-1: les caractéristiques et les technologies utilisées pour chaque génération de réseau mobile

1.3 Notions de base sur les transmissions sans fil

La transmission des informations peut prendre deux formes, une transmission analogique et une transmission numérique. Ces informations peuvent provenir de sources différentes, sous forme analogique ou numérique (parole, vidéo, fichier électronique.) et doivent être transmises par le biais de supports de transmission divers, bruités et aux capacités généralement limités (air, ligne, fibre optique.). Actuellement la transmission de l'information est réalisée essentiellement à partir des techniques numériques pour les transmissions sans fil car ils garantissent un bon stockage des informations et une meilleure immunité aux bruits.

Les transmissions sans fil ont connu une évolution permanente et sont généralement utilisées dans un contexte mobile. En effet les systèmes embarqués sont basés sur la transmission et la réception des informations ou données numériques et sont soumis à de fortes contraintes : temps d'exécution de la transmission, type de modulation utilisée et énergie mise en jeu.

Les performances du système de transmission pour les systèmes embarqués nécessitent actuellement des compétences multiples : Modulation numérique utilisée, antennes, milieu de propagation, traitement du signal ou égalisation et de l'énergie mise en jeu.

Une grande partie de ce chapitre est dédiée à une étude détaillée sur les différents types de modulations utilisées dans les transmissions sans fil Une comparaison devrait être faite entre ces deux types de transmission sans fil (mono porteuse et multi porteuses) afin d'augmenter l'efficacité spectrale de la transmission et implémenter de façon optimale le type de transmission utilisé afin d'améliorer les performances du système embarqué.

1.4 Chaîne de transmission numérique

Le schéma synoptique d'une chaîne de transmission numérique (partie émission) est illustré par la figure 1.3 ci-dessous :

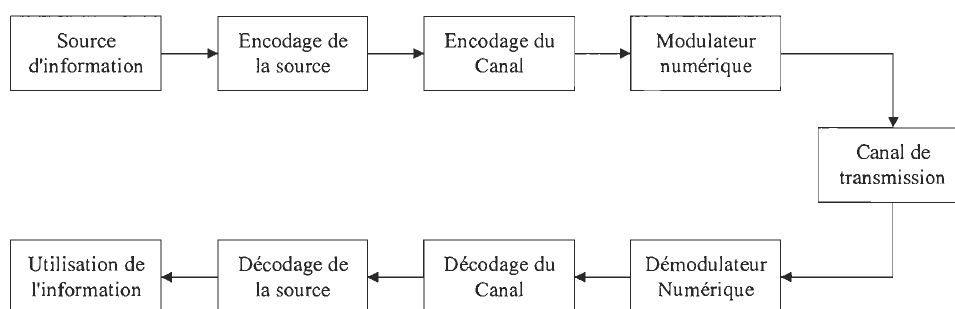


Figure 0-3 : Schéma synoptique d'une chaîne de transmission numérique (Partie émission)

Chapitre 1: Bases sur les transmissions sans fil et réseaux mobiles

Une chaîne de transmission est généralement composée de diverses étapes afin d'acheminer l'information vers le destinataire d'une manière fiable.

Le signal analogique (source d'informations), signal de parole par exemple, subit les opérations suivantes :

1.4.1 Echantillonnage

Cette opération consiste à transformer le signal continu représentant le signal de parole en une série d'impulsions et ce selon certaines conditions. Le théorème de Shannon doit être appliqué pour une bonne restitution du signal d'origine (échantillonnage à une fréquence double du signal continu). L'échantillonnage pour le signal de parole est fixé à 8Khz.

1.4.2 Conversion analogique numérique

Le but de cette opération est de quantifier l'information à transmettre en une suite de niveaux binaires. Cette suite de niveaux binaires représente un mot et donne l'information à transmettre dans une trame.

1.4.3 Quantification

Elle est généralement liée à une opération de compression ou d'expansion. Cette opération permet d'optimiser la dynamique du signal en fonction de la nature du récepteur. La compression logarithmique est très fréquente pour les systèmes de liaisons téléphoniques. Le compresseur est un dispositif non linéaire installé à l'entrée du codeur. Sa fonction est d'amplifier les signaux faibles et de comprimer les niveaux élevés. L'effet résultant est de réduire l'amplitude du quantum en présence de niveaux faibles et de l'augmenter en présence de niveaux élevés.

1.4.4 Codage (source et canal)

Le codage de l'information est utilisé pour adapter le spectre de l'information à émettre aux caractéristiques du canal de transmission. Les différents codes utilisés sont choisis au vu du spectre de leur réponse. Un codage source est généralement utilisé pour la compression des données en éliminant les éléments binaires non significatifs et ce dans le but d'optimiser la chaîne de transmission. Le codage canal est utilisé afin d'augmenter la fiabilité du système de transmission. En effet le codeur canal introduit de la redondance dans l'information. Le codage de canal n'est possible que si le débit de la source binaire est inférieur à la capacité du canal de transmission. La sortie du codeur canal (séquence d'informations binaires) passe par un modulateur numérique.

1.4.5 Embrouilleur

La fonction remplie par un embrouilleur est de remplacer des séquences répétitives de bits, c'est-à-dire de mots se répétant dans le temps, en des séquences pseudo-aléatoires, pour éviter de concentrer la puissance dans des raies discrètes qui provoqueraient un élargissement du spectre.

1.4.6 Modulateur numérique

Il représente l'interface avec le canal de communication. A chaque groupe d'éléments binaires est associée une forme d'onde. Le but de la modulation est d'adapter le signal à transmettre au canal de transmission. Les différents types de modulations numériques utilisées dans les transmissions sans fil sont traités dans le paragraphe suivant.

1.4.7 Canal de transmission

Le canal de propagation représente le support physique utilisé pour transmettre l'information de l'émetteur vers le récepteur. Le signal subit des dégradations d'origines diverses lors de sa propagation dans un canal. La propagation du signal est soit guidée, lorsque les signaux utilisent une ligne de transmission entre l'émetteur et le récepteur (câble pour guider les ondes électriques, fibre optique pour les ondes lumineuses...) ou libre lorsque les ondes peuvent se propager dans toutes les directions offertes par le milieu.

Le récepteur reçoit l'information du canal de transmission, la décode et l'envoie sous forme de signal compréhensible au destinataire. Le détecteur du signal est généralement constitué d'un filtre de réception, d'un module de décision, d'un module de démodulation et d'un module de conversion parallèle-série.

Notons que quel que soit le support employé lors de la propagation du signal, celui-ci subit des dégradations d'origines diverses, comme les évanouissements propres à la propagation, le bruit thermique ou les perturbations dues aux brouilleurs et parasites.

1.5 Techniques de transmission numérique et codage

Ils existent deux types de transmission numérique :

- Transmission en bande de base
- Transmission large bande

La transmission est dite en bande de base si elle ne subit aucune transposition de fréquences. Les fréquences initiales du signal émis sont préservées. Les signaux bande de base sont sujets à une atténuation dont l'importance dépend du support employé et doivent

donc être régénérés périodiquement sur une longue distance. Tandis que la transmission large bande transporte les signaux analogiques sur une large plage de fréquences.

Les principaux codes utilisés en bande de base sont :

- Les codes qui effectuent un codage des 1 et 0 (Manchester...).
- Ceux qui ne codent que les 1 ou les 0 (bipolaire...).
- Les codes qui substituent à un ensemble de n bits un autre ensemble de m bits.

La figure I.4 illustre la forme d'un signal binaire avec sa composante continue.

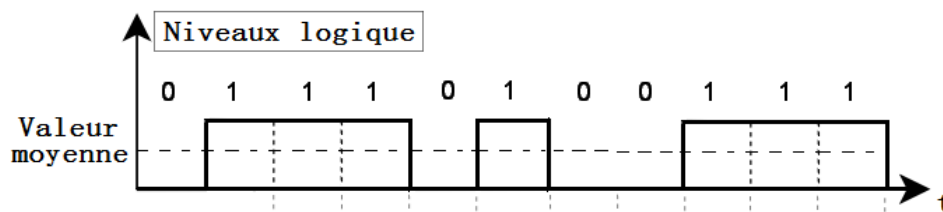


Figure 0-4 : Signal binaire et sa composante continue

Dans ce qui se suit on va présenter quelques codes les plus utilisés en transmission numérique.

1.5.1 Code NRZ (No return to zero)

Le code NRZ est le moyen le plus simple de coder l'information. Il y a une relation directe entre la valeur logique et la grandeur physique. On code le 1 logique par +5V et le 0 logique par 0 Volt.

Il est à la base de tous les codes mais le spectre de ce code est relativement large. Le spectre présente un maximum de puissance à la fréquence zéro, ce qui implique une composante continue importante.

1.5.1.1 Les Caractéristiques principales du code NRZ sont:

- Composante continue : Nulle si les états hauts et bas sont équidistribués
- Bande passante : $B = 1/T_b$ (période binaire)
- Spectre : Centrée autour de la fréquence zéro.

La récupération de l'horloge n'est pas garantie, puisque ce code n'évite pas les longues suites sans transition. Pour remédier à ce problème, il faut faire un embrouillage des données.

1.5.2 Code Manchester

Ce type de code est caractérisé par une transition positive au milieu d'un "1" et négative au milieu d'un "0" (éventuellement l'inverse). La transition est croissante pour les 0, décroissante pour les 1

La figure 1.5 représente l'allure d'un signal codé Manchester. Les caractéristiques principales du code Manchester sont :

- Composante continue : Nulle.
- Bande passante : $B = 2/T_b$.
- Spectre : Il est centré autour de $f = 1/T_b$.

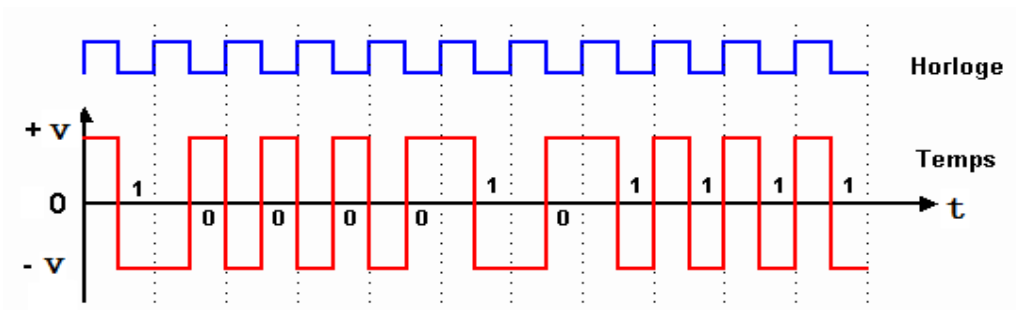


Figure 0-5: Le codage Manchester

La figure 1.6 représente le spectre du code de Manchester

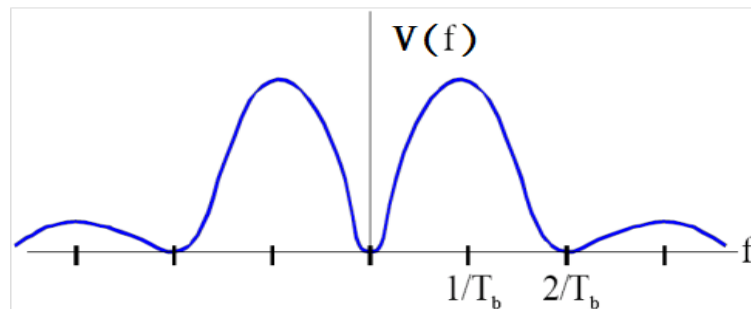


Figure 0-6: Spectre du signal codé Manchester

1.5.3 Code AMI

Dans le code AMI (Altérante Mark Inversion), on alterne les impulsions. Une réduction encore plus significative du spectre peut être obtenue en ne codant qu'un type de bit (par exemple les 1) et en alternant leur polarité pour éliminer la composante continue. Cependant, lors de longues séquences de 0, ou de 1, il n'y a pas de transition (risque de perte de l'horloge).

Les figures (1.7) et (1.8) représentent respectivement la forme du code AMI et son spectre. Les caractéristiques principales du code AMI sont :

- Composante continue : Nulle.
- Bande passante : $B = 1/T_b$.
- DSP : La puissance est concentrée entre 0 et $0,8/T_b$.
- Récupération de l'Horloge : Ce code ne permet pas d'éviter une longue suite de "0".

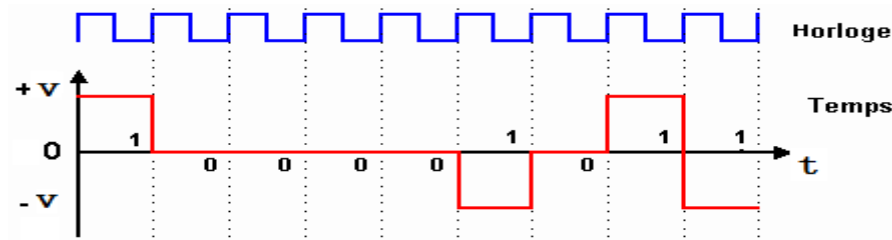


Figure 0-7: Le codage AMI

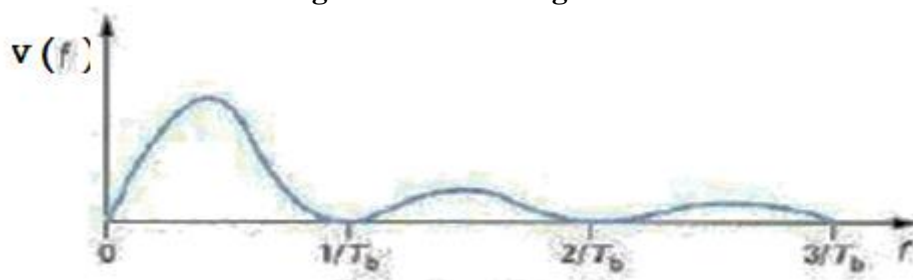


Figure 0-8 : Le spectre du signal codé AMI

1.6 Modulations numériques

Le but de la modulation est d'adapter les informations à émettre au canal de communication par l'intermédiaire d'un signal porteur sinusoïdal dont l'équation générale est :

$$S(A) = (\omega t + \phi) \quad 1.1$$

Les paramètres du signal porteur modifiés par le signal d'information sont :

- L'amplitude du signal A ,
- La phase ϕ ,
- La fréquence f .

La modulation numérique peut être :

- Modulation binaire ($M=2$) : L'information est transmise à l'aide d'un paramètre qui ne prend que deux valeurs possibles 0 et 1.

Chapitre 1: Bases sur les transmissions sans fil et réseaux mobiles

- Modulation M-paire : L'information est transmise à l'aide d'un symbole qui prend sa valeur parmi $M = 2^n$ possibilités ce qui permet d'associer à un état de modulation un mot de n éléments binaires. L'ensemble de ces symboles est appelé alphabet et forme une constellation caractéristique pour chaque modulation.

Le choix du format de modulation dépend des paramètres importants suivants :

- Efficacité spectrale:

$$\eta = \frac{D}{B} \text{(en bits/s.Hz)} \quad 1.2$$

Où :

D : débit binaire en bits/s, défini comme étant le nombre de bits transmis par seconde et

B : largeur spectrale du signal modulé

- La rapidité de modulation exprimée en bauds par :

$$R = \frac{1}{T_s} = \frac{D}{\log_2 M} \quad 1.3$$

- Taux d'erreur binaire étant défini par le rapport :

$$\text{BER} = \text{Nombre de bits erronés/Nombre de bits transmis} \quad 1.4$$

1.6.1 Modulations numériques classiques

Le message transmis est une suite de symboles pris dans un alphabet de taille $M = 2^n$. Le signal modulant, obtenu après codage, est un signal en bande de base, éventuellement complexe, qui s'écrit sous la forme :

$$c(t) = \sum c_k g(t - kT) = \sum c_k(t) \quad 1.5$$

$$c_k(t) = a_k(t) + ib_k(t) \quad 1.6$$

La modulation transforme le signal $c(t)$ en un signal modulé $m(t)$:

$$m(t) = \sum a_k(t) \cos(\omega_0 t + \phi_0) - b_k(t) \sin(\omega_0 t + \phi_0) \quad 1.7$$

La fréquence $f_0 = \omega_0 / 2\pi$ et la phase ϕ_0 caractérisent la sinusoïde porteuse utilisée pour la modulation.

$g(t)$: Elle représente la fonction de mise en forme spectrale.

Les différents types de modulation sont :

1.6.1.1 Modulation par déplacement d'amplitude (ASK: Amplitude Shift Keying)

La porteuse est modulée en amplitude par le signal et il n'y a pas de porteuse en quadrature :

$$b_k = 0,$$

Le signal modulé $m(t)$:

$$m(t) = \sum a_k(t) \cos (w_0t + \phi_0) \tag{1.8}$$

Cette technique est simple mais sensible au bruit.

Un exemple de la modulation d'amplitude très utilisée est la modulation par tout ou rien ou par son abréviation en anglais OOK pour "On Off Keying". Dans ce cas, un seul bit est transmis par période T , et par conséquent $n=1$ et $M=2$. Le symbole a_k prend sa valeur dans l'alphabet $(0, a_0)$. On observe donc sur un chronogramme des extinctions de porteuse quand $a_k=0$.

Les figures 1.9 et 1.10 représentent respectivement la modulation d'amplitude OOK et sa constellation

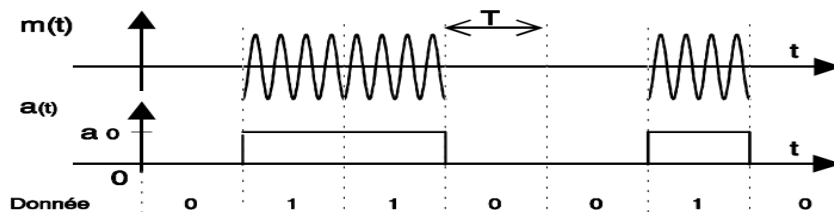


Figure 0-9: Modulation d'amplitude OOK

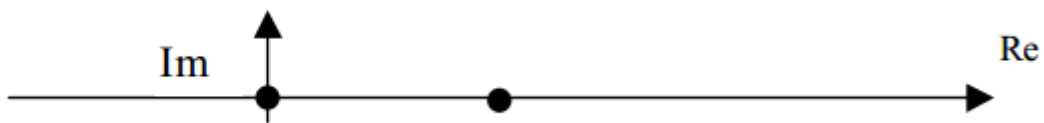


Figure 0-10: Constellation de la modulation OOK

1.6.1.2 Modulation par déplacement de phase (PSK : Phase Shift Keying) [16]

Dans ce procédé, c'est la phase ϕ de la porteuse qui est modulée par les données binaires. Pour représenter un bit ou un ensemble de bits on code la phase ϕ_k de la porteuse.

Avec $k \in [1, M]$ où $M = 2^n$ est le nombre d'états de phase possibles. Le signal modulé $m(t)$:

$$m(t) = A \cos (w_0t + \phi_0) \cos(\phi_k) - A \sin(w_0t + \phi_0) \sin(\phi_k) \tag{1.9}$$

Chapitre 1: Bases sur les transmissions sans fil et réseaux mobiles

La porteuse en phase est modulée par $\cos(\phi_k)$ et la porteuse en quadrature est modulée par $\sin(\phi_k)$.

Les figures 1.11, 1.12 et 1.13 illustrent respectivement le chronogramme la constellation de la modulation BPSK ou PSK-2 et de la modulation QPSK (PSK-4)

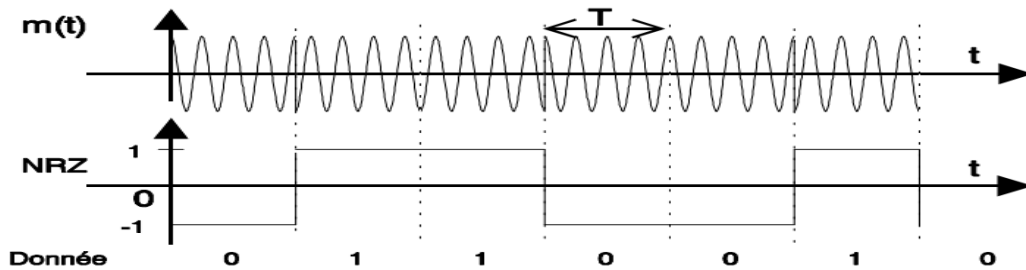


Figure 0-11: Chronogramme de la modulation BPSK

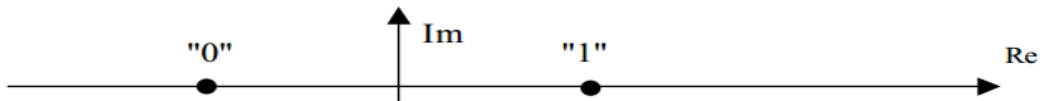


Figure 0-12: Constellation de la modulation BPSK

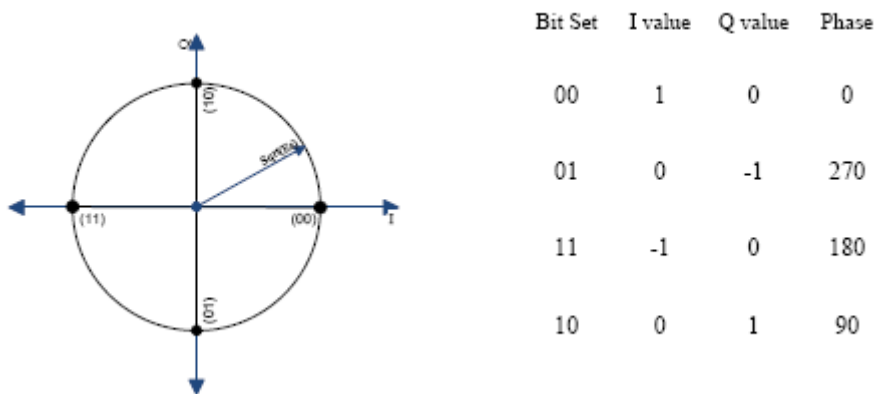


Figure 0-13: Constellation de la modulation QPSK

La modulation BPSK a été implantée sous FPGA dans la partie expérimentale comme système de transmission pour système embarqué. L'avantage de ce type d'implantation pour le système embarqué a été mise en évidence.

1.6.1.3 Modulation par déplacement de fréquence FSK (Frequency Shift Keying):

La fréquence de la porteuse qui est modulée par les données binaires, à un '0' on associe une fréquence $f_2 = f_0 - \Delta f$ et à un '1' on associe la fréquence $f_1 = f_0 + \Delta f$

Le rapport $\Delta f = (f_2 - f_1)/2$ représente l'excursion en fréquence

On a :

$$m(t) = \cos [2\pi (f_0 + \Delta f a_k/2) t + \phi_0] \quad 1.10$$

La modulation se fait en utilisant plusieurs oscillateurs de fréquences différentes Δf

En réception, un filtre permet la restitution de la valeur binaire d'origine. La technique de la modulation de fréquence est particulièrement simple à mettre en œuvre. Elle est très résistante aux bruits, mais la grande largeur du spectre du signal résultant la limite aux faibles débits.

1.6.1.4 Modulation d'Amplitude en Quadrature (QAM)

Un diagramme de constellation est la représentation d'un signal modulé par une [modulation numérique](#), utilisé pour identifier le type des interférences ou de la distorsion dans un signal.

Comme on l'a mentionné plus haut, la constellation de la ASK(MDA) est une droite, l'énergie utilisée n'est pas répartie efficacement lorsque M est grand. Dans la PSK(MDP), les constellations sont des cercles, et la distance minimale n'est pas optimale pour une puissance moyenne donnée.

Un choix plus naturel est une constellation pour laquelle les points sont uniformément répartis dans le plan. La modulation envisagée est donc bidimensionnelle, et module les deux porteuses en phase et en quadrature, d'où sa désignation de modulation d'amplitude sur deux porteuses en quadrature (MAQ). Le signal module s'écrit de manière générale :

$$m(t) = \sum a(t) \cos(\omega_0 t + \phi_0) - b(t) \sin(\omega_0 t + \phi_0) \quad 1.11$$

$$\text{Où : } a(t) = \sum a_k g(t - kT) \quad \text{et} \quad b(t) = \sum b_k g(t - kT) \quad 1.12$$

Le signal modulé $m(t)$ est donc la somme de deux porteuses en quadrature, modulées en amplitude par les deux signaux $a(t)$ et $b(t)$.

Les symboles a_k et b_k prennent leurs valeurs dans deux alphabets à M éléments, donnant ainsi au total M^2 états. En général, les alphabets sont identiques et $M = 2^n$ et donc, $E = 2^{2n}$.

On peut aussi réécrire les symboles suivant :

$$c_k = A_k e^{i\phi_k} \quad \text{avec} \quad A_k = |c_k| = \sqrt{a_k^2 + b_k^2} \quad \text{et} \quad \phi_k = \arg(c_k) \quad 1.13$$

c_k étant le point de constellation

$$m(t) = a_k \cos(\omega_0 t + \phi_0) - b_k \sin(\omega_0 t + \phi_0) = \text{Re}[A_k e^{j(\omega_0 t + \phi_0 + \phi_k)}] \quad 1.14$$

$$m(t) = \text{Re}[A_k e^{j(\omega_0 t + \phi_0 + \phi_k)}] = A_k \cos(\omega_0 t + \phi_0 + \phi_k) \quad 1.15$$

Cette expression permet de considérer la MAQ comme une généralisation de la PSK et ASK, et justifie la désignation de MDAP (Modulation par Déplacement d'Amplitude et de Phase) aussi attribuée à la MAQ et si sa constellation comporte E états, on la note MAQ- E .

En augmentant la valence d'une PSK on rapproche les points de la constellation et on augmente le risque d'erreur, donc une MAQ aux points uniformément répartis dans le plan de Fresnel est préférable.

La figure 1.14 représente le diagramme spatial d'un schéma de modulation MAQ

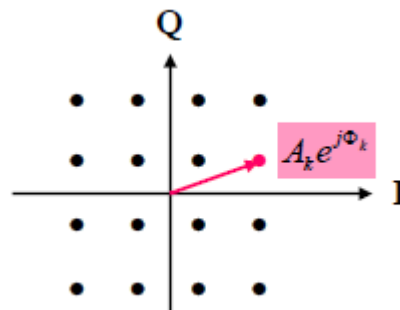


Figure 0-14: Constellations MAQ à 16 états

1.6.1.5 Construction d'un modulateur numérique

Il est basé sur le synoptique de la figure.15 suivante

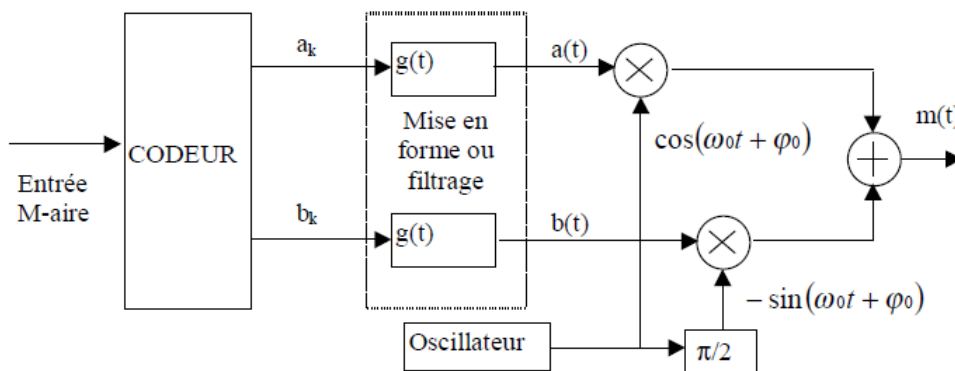


Figure 0-15: Forme d'un modulateur numérique

Les différents types de modulations sont définis par les alphabets et par la fonction $g(t)$. A chaque symbole émis correspond un signal élémentaire de la forme :

$$M_k(t) = \sum_k a_k g(t - kT) \cos(\omega_0 t + \phi_0) - \sum_k b_k g(t - kT) \sin(\omega_0 t + \phi_0)$$

Ce signal peut être représentés comme illustré dans la figure I.16 suivante, dans un espace à deux dimensions dont les vecteurs de base sont :

$$g(t-kT) \cos(\omega_0 t + \varphi_0) \text{ et } -g(t-kT)\sin(\omega_0 t + \varphi_0) \text{ (décomposition de Fresnel).}$$

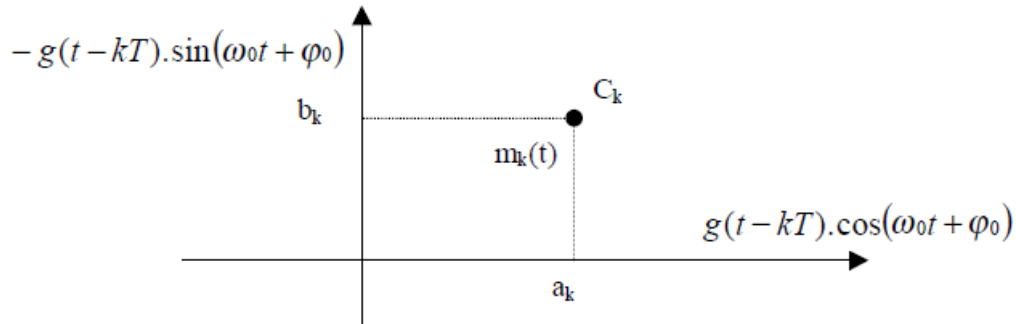


Figure 0-16: La position d'un symbole dans le plan de Fresnel

Il est possible une représentation dans le plan complexe qui fait correspondre à chaque signal élémentaire un point $C_k = a_k + j b_k$ permet de différencier chaque type de modulation. L'ensemble de ces points associés aux symboles porte le nom de constellation

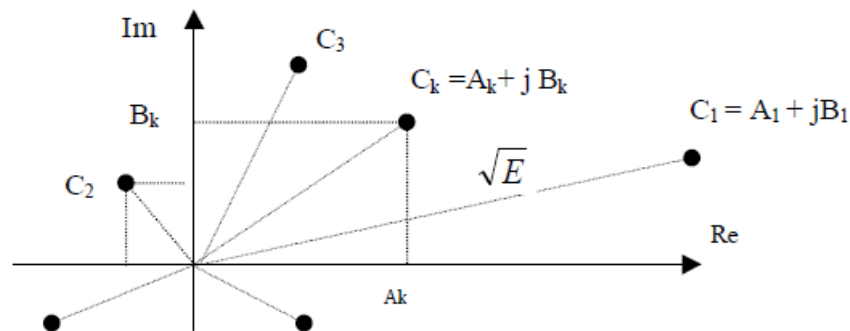


Figure 0-17: La constellation numérique

Le diagramme de constellation est la représentation d'un signal modulé par une modulation numérique comme la modulation d'amplitude en quadrature (QAM) ou la modulation par sauts de phase (PSK). La représentation se situe dans un diagramme bidimensionnel dont les axes délimitent le plan complexe aux instants d'échantillonnage des symboles. Les points dans le plan complexe sont les images des symboles présents à cet instant donné résultant de la modulation. Les diagrammes de constellation peuvent être utilisés pour identifier le type des interférences ou de la distorsion dans un signal.

Le choix de la répartition des points dépend des critères suivants :

- Pour pouvoir distinguer deux symboles, il faut respecter une distance minimale d_{\min} , entre les points représentatifs de ces symboles. Plus cette distance est grande et plus la probabilité d'erreur sera faible. La distance minimale entre tous les symboles est :

$$D_{\min} = \text{Min}(d_{ij}) \text{ avec } d_{ij} = |C_i - C_j|^2 \quad 1.16$$

Ceci est à rapprocher avec la définition de la distance de Hamming.

- A chaque symbole émis correspond un signal élémentaires $m_k(t)$ et par là même une énergie nécessaire à la transmission de ce symbole. Dans la constellation, la distance entre un point et l'origine est proportionnelle à la racine carrée de l'énergie qu'il faut fournir pendant l'intervalle de temps $[kT, (k+1) T]$ [pour émettre ce symbole. La puissance moyenne d'émission des symboles est assimilable à $P_{\text{moy}} = \sum_i |C_i|^2$ et la puissance crête à $P_{\text{crête}} = \text{Max}|C_i|^2$

1.6.1.6 Les critères de choix de modulation

1. La constellation qui suivant les applications mettra en évidence une faible énergie nécessaire à la transmission des symboles d'information ou il faible probabilité d'erreur.
2. L'occupation spectrale du signal modulé.
3. La simplicité de réalisation (avec éventuellement une symétrie entre les points de la constellation)

1.7 Principe de Démodulation numérique

La démodulation est l'ensemble des opérations qui permettent de restituer fidèlement le signal émis $S(t)$.

La démodulation comporte essentiellement deux étapes :

- La détection d'enveloppe qui consiste à extraire l'enveloppe (supérieure par exemple) du signal modulé ;
- La suppression de la tension de décalage, c'est à dire la suppression de la composante continue de l'enveloppe extraite afin obtenir un signal de valeur moyenne nulle analogue à $S(t)$ à un facteur de proportionnalité près.



Figure 0-18: Principe de la démodulation numérique

1.8 Canal de propagation sans fil

Etant donné que le canal de propagation influe sur les performances d'un système de transmission, sa connaissance est d'une grande importance pour concevoir des systèmes de transmission sans fil destinés aux systèmes embarqués mobiles. Par conséquent on présente également dans ce chapitre tous les phénomènes liés et intervenant dans un canal de propagation sans fil ou canal de propagation radio mobile. [17]

Un système de transmission sans fil (radioélectrique) permet de transformer un signal électrique $x(t)$ émis en un signal électrique $y(t)$ reçu, en utilisant les ondes électromagnétique (OEM). Le canal de propagation est le support de transmission qui véhicule les OEM lors de leur propagation. Ce support de transmission a une grande influence sur l'onde électromagnétique émise.

Une des caractéristiques majeures des communications sans fil demeure les environnements dans lesquels se propagent les OEM. Le canal de transmission ou de propagation peut être présenté sous la forme d'un ensemble de plusieurs phénomènes contribuant à la dégradation de la qualité du signal lors de son passage de l'émetteur vers le récepteur.

Dans le contexte des transmissions sans fil et par analogie avec l'optique géométrique, le signal radio est constitué d'une infinité de rayons qui propagent de l'émetteur vers le récepteur en utilisant plusieurs chemins ou trajets multiples.

Notons qu'ils existent deux types de canaux :

- **Canal à bande étroite** : Les signaux arrivent quasiment en même temps, il n'y a pas d'étalement temporel. Par conséquent le canal est plat en fréquences.
- **Canal large bande** : Les retards sont relativement grands entre signaux. Par conséquent le canal est dit sélectif en fréquences.

1.8.1 Canal à trajets multiples

Lors d'une transmission à travers un canal sans fil entre un émetteur et un récepteur, le signal émis se propage dans plusieurs directions du milieu radio et parvient au récepteur sur des chemins différents. En effet, au moment de la propagation du signal, des phénomènes impliquant la multiplicité des chemins interviennent généralement sous trois formes :[18]

1.8.1.1 La réflexion

Lorsque l'onde électromagnétique du signal rencontre dans sa direction une surface lisse dont les dimensions sont grandes par rapport à la longueur d'onde du signal.

1.8.1.2 La diffusion

Lorsque l'onde électromagnétique du signal entre en collision avec une surface dont les dimensions sont de l'ordre de la longueur d'onde du signal. Ce phénomène engendre la diffusion de l'onde dans plusieurs directions.

1.8.1.3 La diffraction

Lorsque l'onde électromagnétique heurte une arête d'un corps volumineux dont les dimensions sont grandes par rapport à la longueur d'onde du signal. Ce phénomène cause l'apparition d'ondes secondaires.

La figure I.19 ci-dessous illustre les différents mécanismes de propagation.

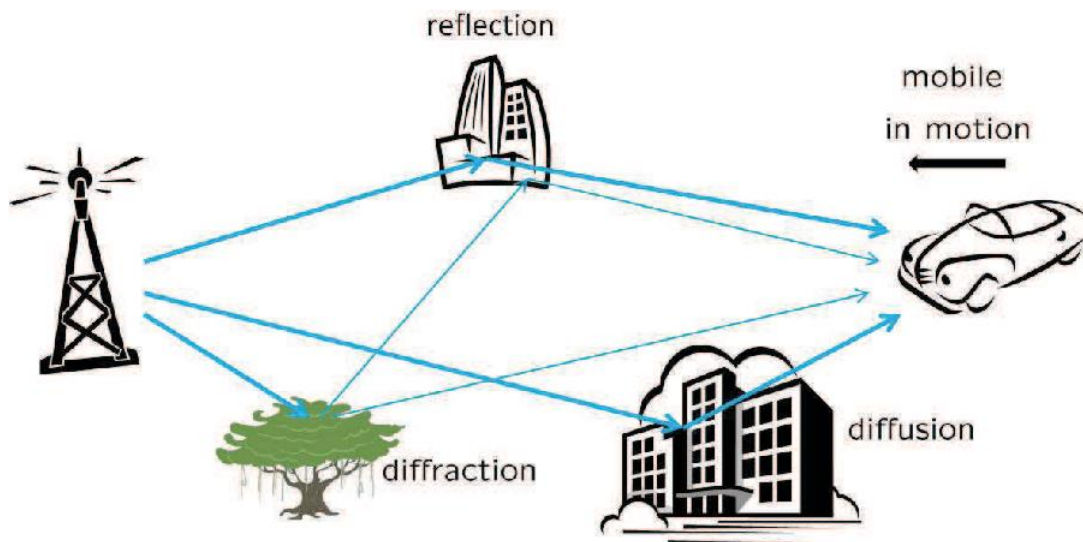


Figure 0-19: Les différents mécanismes de la propagation sans fil

L'avantage primordial de ce phénomène de propagation multi-trajets est qu'il assure une certaine continuité de la couverture radio en permettant la communication dans le cas où l'émetteur et le récepteur ne sont pas en vue directe. Néanmoins, cette multiplicité de trajets

engendre des difficultés au niveau du récepteur qui reçoit la somme des combinaisons de tous les trajets multiples. En effet, le signal reçu est une combinaison de plusieurs répliques du signal émis avec des amplitudes, des phases et des temps d'arrivées différents.

Le canal de transmission à trajets multiples est caractérisé par :

- T_m son retard maximum (ou étalement des retards). Si la durée d'un symbole est grand devant T_m , le canal est non sélectif en fréquence (ou dit plat dans le domaine fréquentiel) mais il peut être atténué ou amplifié.
- T_c le temps de cohérence ou B_d appelée spectre Doppler. Si $B \ll B_d$ le signal ne subit pas de distorsion dans le temps.
- Sa fonction de transfert $H(t)$

Ces différents trajets pourront alors générer des interférences constructives ou destructives, suivant la localisation du récepteur relativement à l'émetteur et suivant les caractéristiques des obstacles rencontrés. Des interférences destructives peuvent mener à la perte totale du signal. En effet l'environnement du récepteur n'étant pas figé, la phase des trajets multiples évolue modifiant ainsi l'amplitude du signal reçu.

Les différents temps de propagations dus aux différents trajets engendrent des distorsions qualifiés d'étalements. Dans ce qui suit on va détailler ces différents étalements temporel et fréquentiel.

1.8.1.4 Etalement temporel

On a vu que dans un système radio-mobile, le récepteur reçoit le signal émis sur plusieurs répliques avec des retards différents. L'étalement temporel T_m est défini comme étant le temps qui sépare l'arrivée du premier trajet de l'arrivée du dernier trajet et permet de caractériser par une seule variable la dispersion temporelle du canal. La bande de cohérence du canal, notée B_c , correspond à la gamme de fréquence sur laquelle les amplitudes des composantes fréquentielles du signal, fortement corrélées, subissent des atténuations semblables. En dehors de cette bande de fréquence en revanche, les distorsions du signal deviennent non négligeables. En général, la bande de cohérence d'un canal est du même ordre de grandeur que l'inverse de son étalement temporel. On a : $B_c \sim \frac{1}{T_m}$

Notons B_s la largeur de bande du signal transmis, la valeur de B_c est généralement fonction de la corrélation fréquentielle, tant que $B_s \ll B_c$, toutes les composantes

fréquentielles du signal subissent des atténuations semblables, et le canal est dit non sélectif en fréquence. Dans le cas contraire, au moins deux composantes fréquentielles subissent des atténuations indépendantes, et le canal est dit sélectif en fréquence, traduisant ainsi ce manque de corrélation. Pour éviter ce phénomène générateur d'interférences entre symboles (IES), on essaie en pratique de rendre la largeur de bande du signal très petite par rapport à la bande de cohérence du canal.

La bande du canal est donc très importante et nécessaire car elle impose une limitation de la largeur de bande du signal transmis.

On peut dire qu'on a un évanouissement plat (Flat Fading) lorsque le signal transmis est plus petit que la bande de cohérence (signaux à faible largeur de bande) sinon on a des évanouissements sélectifs en fréquence (Frequency Selective Fading).

Notons que les effets dus aux évanouissements sélectifs a permis l'utilisation de plusieurs méthodes à savoir : Codes de correction d'erreur, l'entrelacement, la modulation codée, la diversité temporelle, fréquentielle et spatiale.

1.8.1.5 L'effet Doppler (Distorsion de fréquence)

L'effet Doppler représente le décalage constant entre la fréquence de l'onde émise et celle de l'onde reçue lorsque l'émetteur et le récepteur sont en mouvement l'un par rapport à l'autre avec une vitesse radiale constante.

Dans la propagation à un seul trajet où une porteuse f_c est transmise et où le signal en réception consiste en une onde arrivant avec un angle d'incidence θ par rapport à la direction de déplacement du mobile, l'effet Doppler du signal reçu, f_d est défini par l'équation :

$$f_d = \frac{V f_c \cos \theta}{c} \quad 1.17$$

V étant la vitesse du mobile et c la célérité de la lumière.

Dans un environnement multi-trajets, un signal transmis avec fréquence unique subit une dispersion fréquentielle due à l'inconstance des caractéristiques du canal durant la propagation, résultant en un signal reçu avec spectre non nul.

L'effet Doppler entraîne alors un étalement de la bande de fréquence occupée par le signal dans un intervalle compris entre $f_c - f_{dmax}$ et $f_c + f_{dmax}$.

f_{dmax} représente la fréquence maximale de l'effet Doppler appelée taux d'évanouissement maximal, définie par l'équation :

$$f_{dmax} = \frac{Vfc}{c} 1.18$$

On peut alors définir l'étalement fréquentiel B_m correspondant à la différence entre le plus grand et le plus petit décalage en fréquence inhérent aux multiples trajets et le temps de cohérence du canal

Si on note T_s la période symbole, il faut respecter la contrainte $T_m \ll T_s \ll T_c$ pour garantir la non sélectivité à la fois en fréquence et en temps.

La figure 1.20 illustre le temps de cohérence T_c , défini par la durée pendant laquelle le canal est considéré comme invariant. Si deux signaux arrivent avec une séparation supérieure à T_c , ils sont donc affectés différemment.

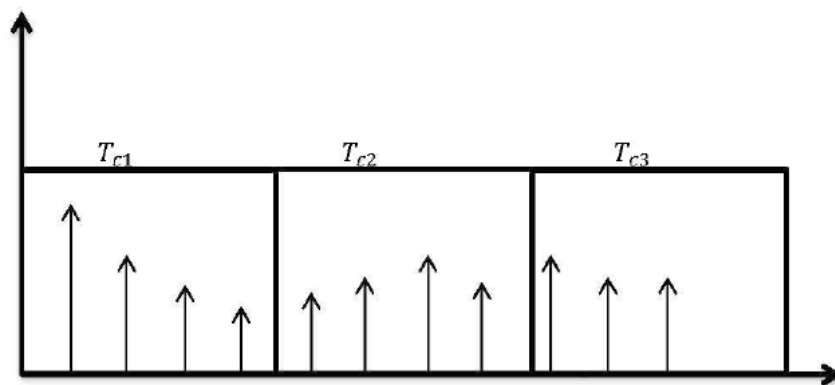


Figure 0-20: Temps de cohérence T_c

1.8.1.6 Variations lentes ou rapides du signal

Dans un environnement radio mobile, les combinaisons constructives et destructives des différents trajets multiples engendrent des atténuations du signal reçu. Il existe deux échelles de variation du niveau signal reçu en fonction de la distance.

- Variations lentes ou à grandes échelles
- Variations rapides ou à petites échelles

La figure 1.21 ci-dessous illustre ces deux types de variations

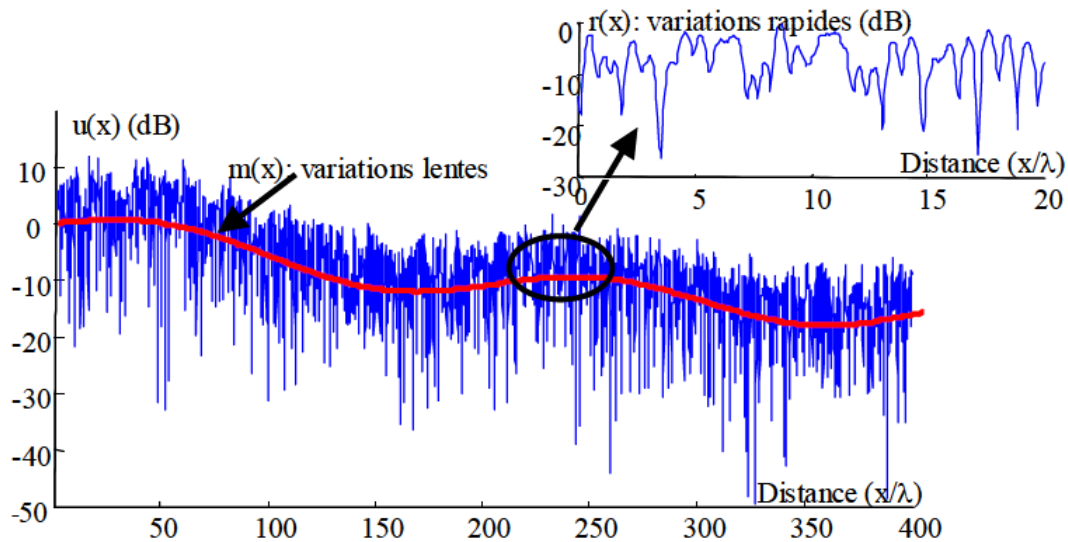


Figure 0-21: Variations lentes et rapides

Le canal à évanouissements est un canal sans fil qui se caractérise par les variations en temps et en fréquence. La propagation du signal à travers le canal sans fil engendre des variations de l'amplitude du signal ainsi que de sa phase. Le signal reçu est donc la résultante de plusieurs composantes caractérisées par des amplitudes, des angles de phase et des directions d'arrivée différentes.

Ces canaux constituent un modèle mathématique solide pour la plupart des canaux réels. On peut citer :

- Canaux radio mobiles terrestre (GSM)
- Canaux de transmission par ondes acoustiques (sous-marins)
- Canaux de transmission entre mobiles et satellites

La propagation des ondes radio est soumise à plusieurs phénomènes (réflexion, réfraction, diffraction, dispersion) qui peuvent causer des évanouissements. On peut alors distinguer trois formes d'évanouissements.

- **Les évanouissements à grande échelle ou lents:** Ils traduisent l'atténuation de la puissance du signal en fonction de la distance qui sépare l'émetteur du récepteur. Les pertes en espace libre augmentent avec la fréquence et avec la distance. L'effet de masquage est dû à la présence d'obstacle (bâtiment, forêt...) entre l'émetteur et le récepteur. Aux fréquences auxquelles opèrent les systèmes de télécommunication, l'onde électromagnétique traverse ces obstacles, mais subit une atténuation de puissance en fonction de la nature du matériau traversé.

- **Les évanouissements à moyenne échelle:** Ils sont causés par des zones d'ombres dues à des immeubles ou des éléments du relief.
- **Les évanouissements à petite échelle ou rapides:** L'origine de ces pertes à petite échelle est la présence d'obstacles dans la région de propagation qui atténuent, réfléchissent, diffractent ou diffusent les ondes électromagnétiques. La superposition constructive ou destructive d'un nombre d'ondes arrivant au niveau des antennes de réception traduit le changement rapide de l'amplitude et de la phase du signal reçu

La propagation à petite échelle est généralement causée par la propagation multi chemins qui provoque une atténuation du signal et des distorsions d'amplitude et de phase du signal. Ces distorsions sont dues aux variations de Doppler qu'on verra par la suite.

1.8.2 Diversité

En présence de multi-trajets, l'évanouissement à petite échelle dégrade la performance des systèmes de transmission. Pour lutter contre cet évanouissement, il est nécessaire de répéter la même information sur différentes liaisons de transmission en supposant qu'il existe une forte probabilité d'avoir au moins l'une de ces liaisons qui ne subisse pas de forte atténuation.

Le récepteur est capable de recevoir plusieurs versions du signal émis à travers différents canaux. Pour avoir un bon gain de diversité, l'évanouissement dans un canal devrait être non corrélé par rapport aux autres canaux et la puissance moyenne disponible dans chaque canal devient être quasi identique. En réception, les signaux traversant ces canaux sont combinés d'une certaine manière afin de réduire l'évanouissement. De ce fait, les techniques de diversité se révèlent comme un outil très important pour combattre les évanouissements.

1.8.2.1 Diversité temporelle

L'information est répétée dans le temps à intervalle plus grand que le temps de cohérence du canal (durée minimale séparant deux évanouissements selon un certain degré de dé-corrélation).

Le désavantage de la diversité temporelle est évidemment le retard induit par la diversité, ce qui réduit le débit de transmission.

1.8.2.2 Diversité de fréquence

Le même signal est retransmis sur plusieurs fréquences porteuses. L'écart fréquentiel est supérieur à la bande de cohérence du canal (ou l'espace fréquentiel minimal entre deux fréquences affectées d'évanouissements indépendants). On a le même désavantage de la

diversité de fréquence que celui de la diversité temporelle. On perd l'efficacité spectrale qui est liée au débit de transmission.

1.8.2.3 Diversité spatiale

Elle s'utilise généralement dans le cas de plusieurs antennes en émission et réception dans ce cas, le récepteur traite des versions indépendantes du signal, obtenues à partir de capteurs judicieusement disposés. La distance minimale à respecter entre capteurs est de l'ordre d'une fois la longueur d'onde du signal pour le mobile. Elle peut atteindre plus de dix fois la longueur d'onde pour une station de base de façon à garantir un évanouissement indépendant. Contrairement à la diversité temporelle et de fréquence, la diversité spatiale ne réduit pas le débit de transmission mais elle requiert plus de complexité et d'espace. Il est possible d'utiliser des antennes multiples à l'émission, à la réception ou à la fois à l'émetteur et au récepteur. Les systèmes exploitant la diversité spatiale en réception sont appelés système SIMO "Single-Input Multiple-Output". Les systèmes exploitant la diversité spatiale en émission sont appelés système MISO "Multiple-Input Single-Output". La troisième structure est l'utilisation de la diversité spatiale à la fois à l'émission et la réception, elle est nommée système MIMO "Multiple-Input Multiple-Output".

1.8.3 Modélisation du canal de propagation

La modélisation du canal de propagation est une étape primordiale pour l'implantation des systèmes (indoor, radio mobile, radar.). C'est une étape essentielle dans la chaîne global Emission / Réception. La modélisation du canal se fait généralement de trois manières différentes : déterministe, empirique (par l'expérience) et statistiques.

1.8.3.1 Canal gaussien

Le modèle du canal gaussien est le canal statistique le plus simple d'utilisation. Il modélise le bruit thermique du récepteur comme une variable aléatoire gaussienne de densité de probabilité $P_x(x)$ s'ajoutant au signal utile.

La densité de probabilité est donnée par la formule 1.19 ci-dessous :

$$P_x(x) = \frac{1}{\sqrt{2\pi\sigma_b^2}} \cdot \exp\left[-\frac{(x-\mu_b)^2}{2\sigma_b^2}\right] \quad 1.19$$

Avec : μ_b et σ_b respectivement la moyenne et la variance de sa distribution

La figure 1.22 illustre l'allure de la densité de probabilité pour une distribution gaussienne.



Figure 0-22: Densité de probabilité pour un canal gaussien.

La variable aléatoire est appelée (BBAG) Bruit Blanc Additif Gaussien. Ce bruit perturbe de façon identique tout le spectre avec une densité de probabilité constante.

La représentation d'un canal à BBAG(AWGN) est illustrée par la figure 1.23

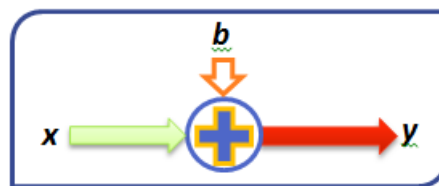


Figure 0-23: Canal AWGN

1.8.3.2 Canal de Rayleigh

Le modèle du canal de Rayleigh est constitué d'un bruit multiplicatif représenté par des coefficients de fading (Rayleigh) et d'un bruit additif. Dans ce canal il n'y a pas de chemin LOS (plusieurs chemins issus de réflexions multiples). Le signal résultant est la somme de composantes à phase et module aléatoires. Il tend vers une loi normale complexe. La partie réelle et la partie imaginaire suivent une loi normale. La figure 1.24 illustre le modèle du canal de Rayleigh

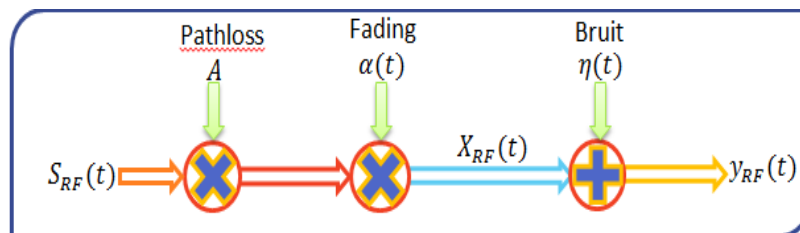


Figure 0-24: Modèle du canal de Rayleigh

$$\alpha(t) = \alpha(t) \cdot e^{j\varphi(t)} \quad 1.20$$

La sortie y du signal radio fréquence est donnée par l'expression 1.21 ci-dessous :

$$y_{RF}(t) = A \underline{\alpha}(t) \cdot S_{RF}(t) + \underline{\eta}(t) \quad 1.21$$

Le bruit blanc gaussien AWGN de sa part s'ajoute au signal émis ; il modélise de manière simple l'ensemble des bruits perturbant le signal ; ceux-ci peuvent provenir de l'émission, de la transmission ou de la détection. Le bruit total est caractérisé par sa variance qui est la somme des variances des différents bruits supposés tous gaussiens et indépendants.

La variable décisionnelle $Y = n + e$

Où e est le signal utile et n correspond à la variable de bruit, suit la loi normale, de variance σ^2 et de moyenne $m_Y = e$.

Statistiquement la loi de Rayleigh en amplitude est donnée par la formule 1.22

$$P(\alpha) = \begin{cases} \frac{\alpha}{\sigma^2} \cdot \exp\left(\frac{-\alpha^2}{2\sigma^2}\right) & \alpha \geq 0 \\ 0 & \alpha < 0 \end{cases} \quad 1.22$$

La courbe représentative est illustrée par la figure 1.25

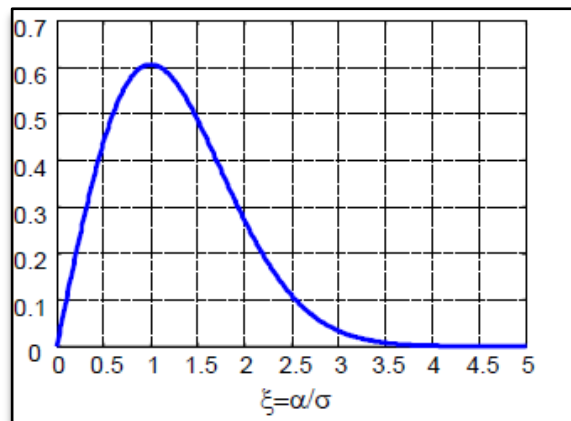


Figure 0-25: Distribution de Rayleigh normalisée

Le modèle du canal de Rayleigh représente généralement la distribution que l'on utilise pour modéliser les évanouissements dus aux multi-trajets incohérents lorsque l'émetteur et le récepteur ne sont pas en vue directe. C'est un des canaux de propagation les plus difficiles, mais assez courant en milieux urbains denses.

L'une des conséquences de la propagation par trajets multiples est le phénomène Fading de Rayleigh qui peut être considéré comme une modulation d'amplitude de l'onde reçue dans un environnement à trajets multiples. Pour une amplitude émise, l'amplitude reçue est une variable aléatoire caractérisée par des évanouissements profonds.

1.8.3.3 Canal de Rice

Le modèle de Rice est particulièrement utilisé pour caractériser un environnement de propagation comprenant une composante spéculaire forte due à une vue directe entre l'émetteur et le récepteur, et une multitude de trajets incohérents dus aux diffuseurs de l'environnement

La densité de probabilité de l'amplitude du coefficient complexe du canal suit une loi de Rice.

K étant le paramètre de Rice qui représente le rapport entre la puissance de la composante spéculaire et la puissance moyenne des multi trajets de la composante diffuse.

1.9 Concept cellulaire

Dans le but de couvrir une large zone, les planificateurs des réseaux mobiles divisent le territoire en des zones géographiques appelées cellules. La communication avec chaque cellule est assurée par une station de base (BS) située au centre et en utilisant des groupes de canaux fréquentiels (F_i). La figure 1.26 illustre la répartition cellulaire avec des antennes omnidirectionnelles au centre de chaque cellule. La taille et la forme d'une cellule joue un rôle très important dans les performances du système.

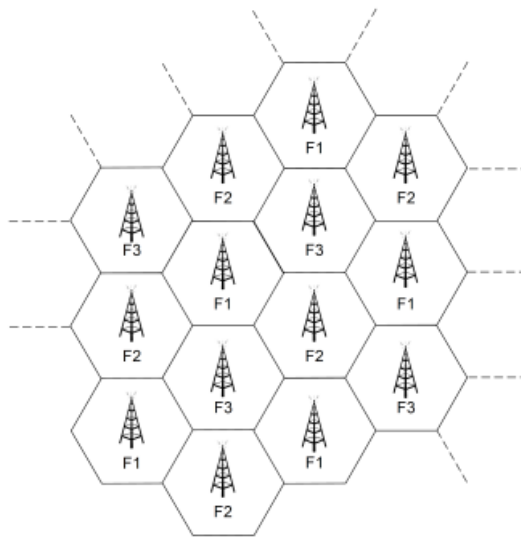


Figure 0-26: Réseau cellulaire

1.10 Conclusion

On a présenté dans ce chapitre, les concepts de base des communications numériques. Nous avons revu les différents types de codage et de modulation utilisés en communication numérique.

Chapitre 1: Bases sur les transmissions sans fil et réseaux mobiles

Dans les systèmes de télécommunications cellulaires, la qualité d'une communication radio est étroitement liée au canal de propagation. Les évanouissements rapides, dus aux trajets multiples dans l'environnement de propagation, engendrent des fluctuations de la puissance instantanée au récepteur, affectant directement la qualité de la transmission et la capacité du lien. Pour améliorer la liaison, le récepteur peut mettre en œuvre des techniques de traitement du signal comme l'égalisation ou utiliser des antennes multiples (Technique MIMO) afin de s'affranchir des fluctuations de la puissance instantanée du signal.

Le mécanisme de propagation multi trajets avec les types d'évanouissements ont été présentés. On a ainsi introduit les différents paramètres caractéristiques des canaux sans fil (Bande de cohérence, temps de cohérence, étalement du retard de propagation et on a mis en évidence l'intérêt des techniques de diversité pour lutter contre l'évanouissement.

Tous ces éléments revus nous serviront de base pour aborder la transmission multi porteuses OFDM qui représente une technique de transmission sans fil pour système embarqué, possédant une grande efficacité dans un canal sans fil multi trajets et l'utilisation optimale de la bande passante.

Une étude détaillée de cette technique multi porteuses OFDM (Multiplexage orthogonal par divisions de fréquences) sera implantée sous FPGA pour le système embarqué. Une étude de la minimisation de l'énergie mise en jeu (réduction du PAPR) dans une telle transmission sera détaillée afin d'optimiser les performances de notre système embarqué.

Chapitre 2

**Technique de transmission sans fil multi
porteuses pour système embarqué :
Etude préliminaire**

2 Chapitre 2 : Technique de transmission sans fil multi porteuses pour système embarqué : Etude préliminaire

2.1 Introduction

Les concepteurs des systèmes embarqués n'ignorent plus les avantages de la transmission sans fil. Généralement les solutions proposées s'accompagnent souvent de contraintes dans la fiabilité de la transmission, la limitation de la portée et la consommation d'énergie mise en jeu. Dans le domaine du sans-fil embarqué la diminution de la consommation d'énergie reste toujours un des objectifs majeurs. Le problème se situe au niveau de l'amplificateur de puissance RF(AP).

Les signaux émis par les différents modules du système embarqué de transmission, sont généralement soumis à différents phénomènes qu'il faut considérer. En effet le contexte de la liaison sans fil entre émetteur et récepteur et la complexité du milieu de propagation génèrent plusieurs trajets pour atteindre l'antenne réceptrice. Les différents phénomènes observés dans les différents trajets créent des interférences engendrant des évanouissements du signal. Une bonne connaissance du canal de propagation et la nature du signal à transmettre (couche physique) sont indispensables pour adopter des solutions adaptées pour le système embarqué sans fil avec implémentation sous FPGA.

Notre choix s'est fixé sur une technique de transmission sans fil multi porteuses en l'occurrence l'OFDM comme technique appliquée aux systèmes embarqués. Ce choix est justifié par le fait que l'OFDM (orthogonal Frequency Division Multiplexing) est une technique sophistiquée qui a fait ces preuves dans le domaine des transmissions sans fil et permettant aux technologies actuelles d'atteindre des débits de transmission très élevé.

Les débits visés par la quatrième génération (4G) des terminaux mobiles peuvent atteindre jusqu'à 100Mbps. Afin de répondre à l'exigence de plus en plus croissante des réseaux sans fils la technique OFDM doit être combinée avec d'autres techniques :

- Modulation multi porteuses OFDM
- Technique d'étalement du spectre
- Technique de transmission multi antennes(MIMO).

2.2 Systèmes Multi porteuses

La technique OFDM a été introduite afin de remplacer les modulations mono porteuses qui sont fortement influencées par les distorsions introduites par le canal de transmission. En

Chapitre 2 : Technique de transmission sans fil multi porteuses pour système embarqué : Etude préliminaire

effet, l'augmentation du débit de transmissions avec ces techniques classiques nécessite de mettre en œuvre des techniques d'égalisation complexes et coûteuses.

Une solution serait d'augmenter la largeur du spectre fréquentiel. Cela a pour effet de rendre le canal sélectif en fréquence. Ce phénomène est d'autant plus accentué que le temps symbole du système est faible. Dans ce cas, dans le domaine temporel, le canal est caractérisé par une réponse impulsionnelle non plate et par conséquent, la puissance du signal émis va subir de fortes atténuations qui varient selon la fréquence le temps et la position de l'utilisateur. Cette technique est certes très simple à mettre en œuvre mais présentent des inconvénients majeurs en cas de présence de canaux multi-trajets très sélectifs. En effet les multiples trajets du canal introduisent une interférence entre symboles (ISI) qui affecte la qualité de transmission. Pour combattre cette dégradation, des techniques qu'on appelle multi porteuses sont utilisées.

Avant d'entamer la modulation multi-porteuse, il serait indispensable de poser les principaux problèmes liés à la modulation mono porteuse.

Dans une modulation mono-porteuse pour un canal ayant les paramètres suivants :

- Dispersion temporelle maximum τ_{\max} ,
- Débit symbole R_s ,
- Durée de symbole T_s égale à : $\frac{1}{R_s}$

Les problèmes les plus reconnus dans le canal à la réception sont :

- La durée de symbole qui est relativement petite en haut débit.
- La bande cohérence w_c , dépasse la largeur de la bande passante nécessaire pour transmettre les signaux hauts débit.
- L'effet d'interférence inter symbole ISI sera plus présent, ce qui augmente la difficulté de l'égalisateur dans la partie réception.

En effet pour minimiser l'effet d'interférence inter symbole et la complexité de l'opération d'égalisation en réception, il faut trouver une nouvelle technique en haute débits, cette technique est représentée en modulation multi-porteuse, et son principe est basée sur la technique de multiplexage par division en fréquence FDM (Frequency Division Multiplexing).

Dans le système FDM, les signaux de plusieurs émetteurs sont transmis simultanément dans le même intervalle de temps sur des fréquences multiples. Chaque gamme de fréquence

Chapitre 2 : Technique de transmission sans fil multi porteuses pour système embarqué : Etude préliminaire

(sous-porteuse) est modulée séparément par différents flux de données, un espacement (bande de garde) est placé entre les sous-porteuses pour éviter un chevauchement des signaux.

Le FDM transmet les données en haut débit sur K voies à bas débit qui seront modulées en sous porteuses de fréquences f_k multiples d'une fréquence de base f_0 , ce qui réduit la bande passante d'un bloc symbole par un facteur de $\frac{1}{K}$ et permet d'augmenter la durée symbole par K ce qui fait augmenter la résistance aux ISI

On a :

$$\frac{R_s}{K} \ll w_c \quad \text{et} \quad K \cdot T_s \gg \tau_{\max} \quad 2.1$$

L'utilisation d'une modulation multi-porteuses pour des données à hauts débits est plus adaptée à un canal multi trajets sélectif en fréquence à bande de cohérence w_c étroite, mais l'efficacité spectrale est réduite à cause de l'ajout des bandes de garde entre chaque deux porteuses adjacentes comme l'illustre la figure 2.1.

Pour une meilleure efficacité spectrale le choix OFDM sera une solution.

L'OFDM utilise également plusieurs sous-porteuses espacées les unes par rapport aux autres afin de ne pas provoquer d'interférences ; Dans ce cas tous les transporteurs sont orthogonaux les uns aux autres ; Ainsi pour éliminer les bandes de garde entre sous-porteuse adjacentes, les deux signaux périodiques sont orthogonaux lorsque l'intégrale de leur produit, sur une période, est égale à zéro.

L'utilisation des résultats de l'OFDM permet d'économiser la bande passante comme on l'illustre la figure 2.1.

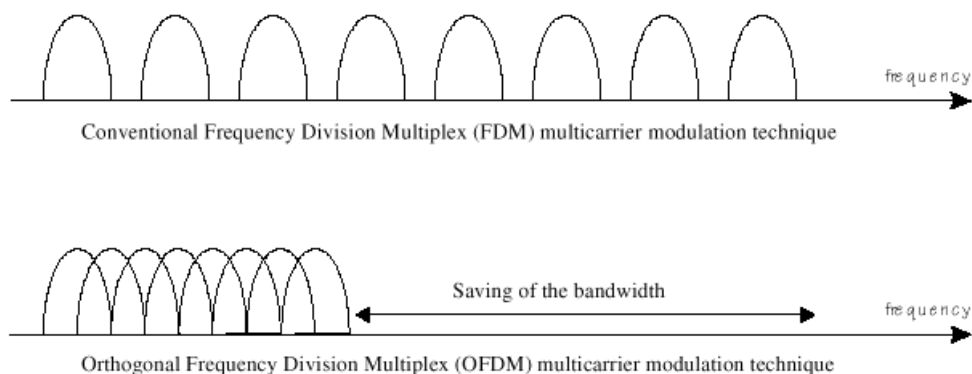


Figure 2-1: Spectre de sous porteuses OFDM et FDM

2.3 Principe de la modulation multi porteuses OFDM

L'idée principale de la modulation OFDM réside dans le parallélisme de la transmission des symboles afin d'utiliser plus efficacement la largeur de bande disponible. En effet, la technique OFDM découpe le canal en cellules selon les axes du temps et des fréquences. Le canal est alors constitué d'une suite de sous bandes de fréquences et d'une suite de segments temporels. A chaque cellule, fréquence/temps, est attribuée une sous porteuse dédiée. [19] L'information à transporter est donc répartie sur l'ensemble de ces sous porteuses, modulée chacune à faible débit comme l'illustre le schéma de la figure 2.2.

Le but principal dans l'utilisation de plusieurs sous porteuses est d'obtenir un canal qui soit presque constant ou plat sur chaque sous bande donnée, ce qui rend l'égalisation plus simple au niveau du récepteur. En outre, l'OFDM permet une utilisation flexible de la bande de fréquence et on peut réaliser des débits de données très élevés.

L'OFDM repose sur la fameuse technique de multiplexage à division de fréquence FDM (Frequency Division Multiplexing). Dans la FDM, les différents flux d'informations sont mappés à des canaux de fréquences séparés et parallèles.

L'OFDM diffère de la traditionnelle FDM par :

- Le même flux d'informations est mappé à un grand nombre de sous porteuses étroites, ce qui induit une augmentation de la période du symbole en comparaison aux techniques à un seul canal.
- Les sous porteuses sont orthogonales mutuellement en vue de réduire l'interférence inter-porteuses (ICI). De plus, l'entrelacement entre les sous porteuses est toléré afin de réaliser une haute efficacité spectrale.
- Un intervalle de garde, souvent appelé préfixe cyclique (CP), est ajouté au début de chaque symbole OFDM pour préserver l'orthogonalité entre les sous porteuse et éliminer l'interférence entre symbole (IES).

La figure 2.2 illustre la représentation temporelle et fréquentielle d'un signal OFDM

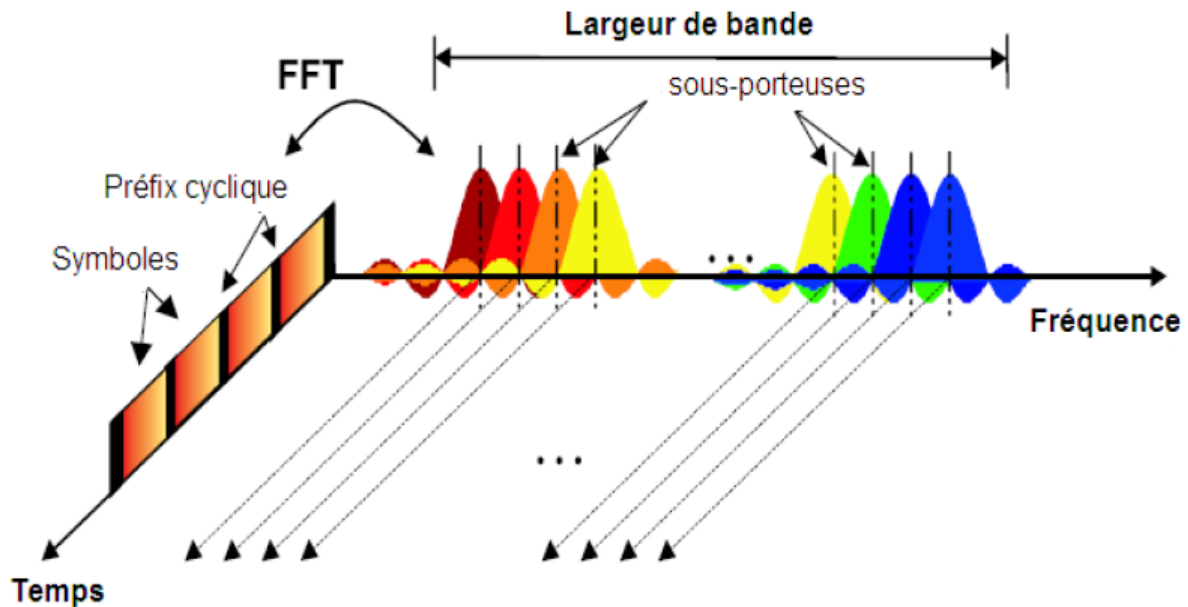


Figure 2-2: Représentation fréquentielle et temporelle d'un signal OFDM

Ils existent plusieurs variantes de l'OFDM :

- Le DMT (Discrete Multi Tone) fait référence à un système de transmission OFDM en bande de base.
- Le COFDM (Coded Orthogonal Frequency Division Multiplexing) introduit un code correcteur d'erreurs. Cette technique sera revue plus en détail au chapitre trois (03)
- Le WCP-OFDM (Weighted Cyclic Préfix Orthogonal Frequency-Division Multiplexing) prévoit l'ajout d'un préfixe cyclique et la pondération du signal en sortie de l'émetteur afin de s'adapter aux canaux mobiles à trajets multiples.

2.3.1 Notion d'orthogonalité

On définit l'orthogonalité de deux fonctions $f(t)$ et $g(t)$ dans l'intervalle $[a, b]$ par la relation 2.2 ci-dessous :

$$\int f(t).g(t)dt = 0 \quad 2.2$$

Ce qui signifie que les deux fonctions sont disjointes dans l'intervalle $[a, b]$. Pour réaliser une base orthogonale à N dimensions il suffit donc de trouver N fonctions orthogonales deux à deux. La figure II.3 illustre la notion d'orthogonalité. Les fenêtres rectangulaires prises sont régulièrement espacées d'un intervalle de temps δ . Ceci nous donne une base orthogonale. L'orthogonalité représente la propriété fondamentale qui permet de transmettre des signaux d'informations multiples dans un même canal et de les détecter sans interférence.

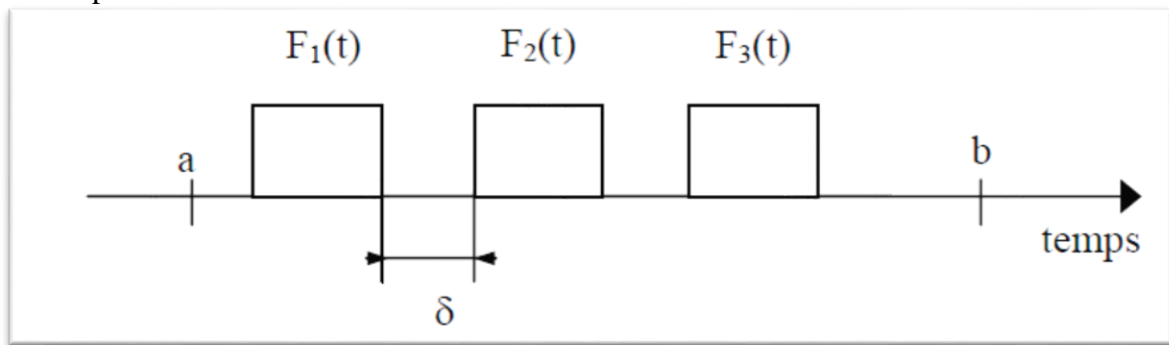


Figure 2-3: Base orthogonale

Les signaux sont donc orthogonaux s'ils sont mutuellement indépendants l'un de l'autre. La perte d'orthogonalité a comme conséquence un brouillage (ISI) entre les signaux représentant l'information et on a une dégradation du système de transmission.

Le multiplexage de fréquence dont se base l'OFDM, consiste à répartir l'information à transmettre à fort débit sur un grand nombre de sous bandes élémentaires modulées à bas débit. Il existe deux façons de répartir l'information. La première consiste à ce que chaque sous bande ait sa propre bande de fréquence et n'interfère pas avec les autres. Cette méthode est illustrée par la figure 2.4. Cette répartition n'est cependant pas optimale du point de vue de l'occupation spectrale, d'où l'idée de la deuxième solution qui est de recouvrir les spectres des sous porteuses, de sorte qu'à la fréquence centrale de chacune des sous bandes toutes les autres sont à zéro. C'est ce qu'on appellera la condition d'orthogonalité. Cette méthode est illustrée par la figure 2.5

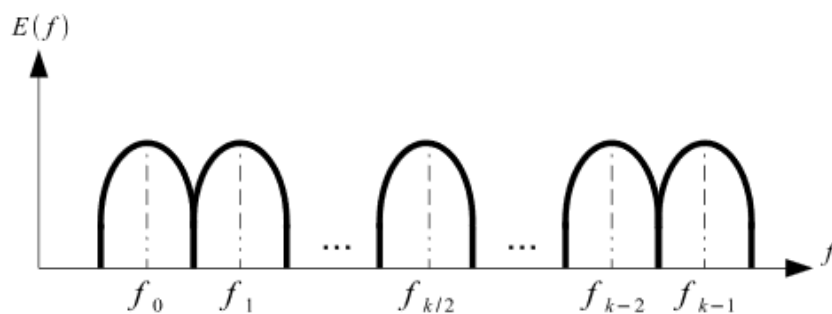


Figure 2-4: Multiplexage fréquentiel conventionnel

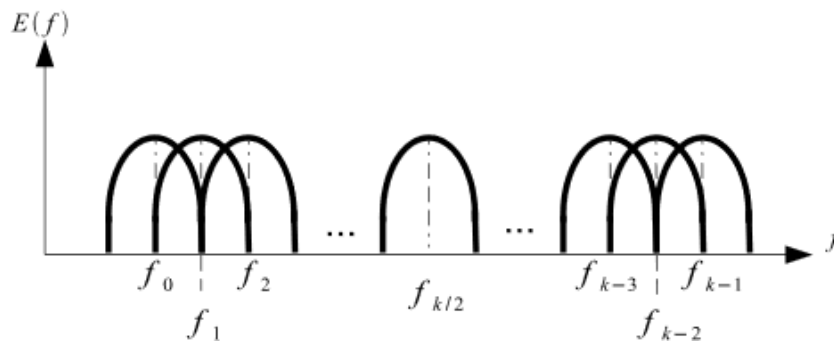


Figure 2-5: Multiplexage fréquentiel optimal

2.3.2 Préservation de l'orthogonalité (Intervalle de garde)

Il peut subsister une légère interférence entre deux symboles OFDM transmis successivement. Pour s'en affranchir, il est possible d'ajouter un intervalle de garde entre ces deux symboles. Pour que cet intervalle de garde soit efficace, sa durée doit être au moins égale à la durée supérieure de l'étalement des retards non négligeable du canal.

La durée T_u pendant laquelle est émise l'information diffère de la période symbole T_s car il faut tenir compte entre deux périodes utiles d'un temps de garde T_g qui a pour but d'éliminer l'IES (interférences entre symboles) qui subsiste malgré l'orthogonalité des porteuses. Pour que cet intervalle de garde soit efficace, sa durée doit être au moins égale à l'écho non négligeable le plus long (celui qui a le retard maximal).

Entre la période symbole, la période utile et l'intervalle de garde s'instaure donc la relation :

$$T_s = T_u + T_g \quad 2.3$$

Si dans un intervalle de temps on n'émet rien (intervalle de garde blanc), Le temps de garde, est plus généralement une copie de la fin de la trame OFDM. Si cette méthode est efficace pour lutter contre l'IES, elle pénalise cependant sensiblement le débit de transmission, et certains systèmes OFDM profitent des progrès dans le domaine de l'égalisation pour s'en affranchir. L'adjonction de l'intervalle de garde est illustrée par la figure 2.6

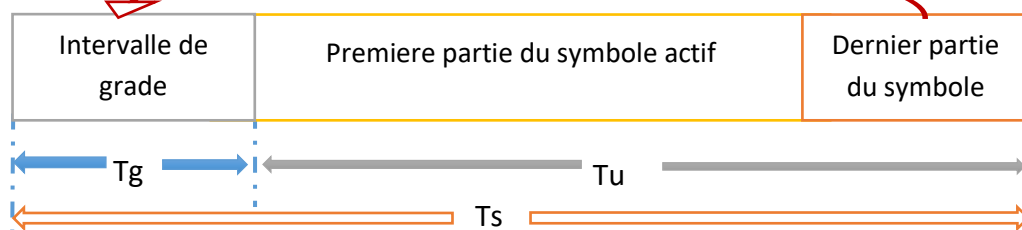


Figure 2-6: Intervalle de garde (Préfixe cyclique)

Chapitre 2 : Technique de transmission sans fil multi porteuses pour système embarqué :
Etude préliminaire

La période du symbole est prolongée de manière à être supérieure à la période d'intégration T_u .

Toutes les porteuses étant cycliques à l'intérieur de T_u , Il en va de même pour l'ensemble du signal modulé.

Notons que L'utilisation d'un préfixe cyclique a l'inconvénient d'exiger de transmettre plus d'énergie, cette perte peut être minimisée en choisissant une durée utile de symbole T_u beaucoup plus longue que la durée du préfixe cyclique T_g .

2.3.3 Modulation OFDM (Génération des symboles)

Pour répartir les données à transmettre sur les N porteuses, on groupe les symboles C_k par paquets de N. Les symboles C_k sont représentées en notation complexe par :

$$C_k = a_k + jb_k \quad 2.4$$

Ils sont définis à partir des éléments binaires par une constellation souvent de modulation MAQ à 4, 16, 64, 2^q états. Ils sont mis en parallèle afin de moduler simultanément les N sous-porteuses f_k .

La séquence de N symboles C_0, C_1, \dots, C_{N-1} constitue un symbole OFDM. T_s représente la durée symbole c'est-à-dire le temps qui sépare deux séquences de N données. Chaque donnée C_k module un signal à la fréquence f_k .

Le signal individuel s'écrit sous forme complexe : $C_k e^{2j\pi f_k t}$.

Le signal $S(t)$ total correspondant à toutes les données d'un symbole OFDM est la somme des signaux individuels et il est régi par la formule 2.5 ci-dessous:

$$S(t) = \sum_{k=0}^{N-1} C_k e^{2j\pi f_k t} \quad 2.5$$

La figure 2.7 illustre le principe de la modulation OFDM.

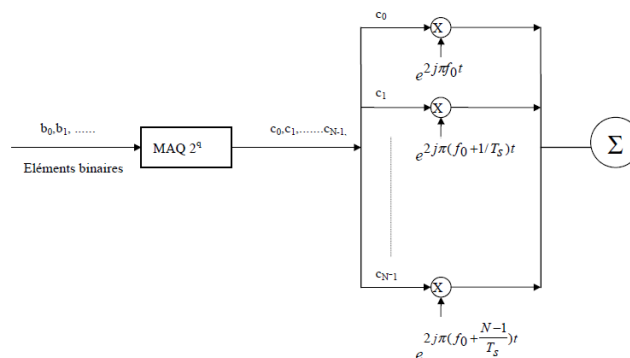


Figure 2-7: Schéma de principe du modulateur OFDM

Les fréquences sont orthogonales si l'espace entre deux fréquences adjacentes f_k et f_{k+1} est $\frac{1}{T_s}$.
. On a donc :

$$f_k = f_0 + \frac{k}{T_s} \quad 2.6$$

$$S(t) = e^{j2\pi f_0 t} \sum_{k=0}^{N-1} e^{2\pi \frac{kt}{T_s}} \quad 2.7$$

La figure 2.8 représente le spectre du signal OFDM à la sortie du modulateur pour quatre sous porteuses.

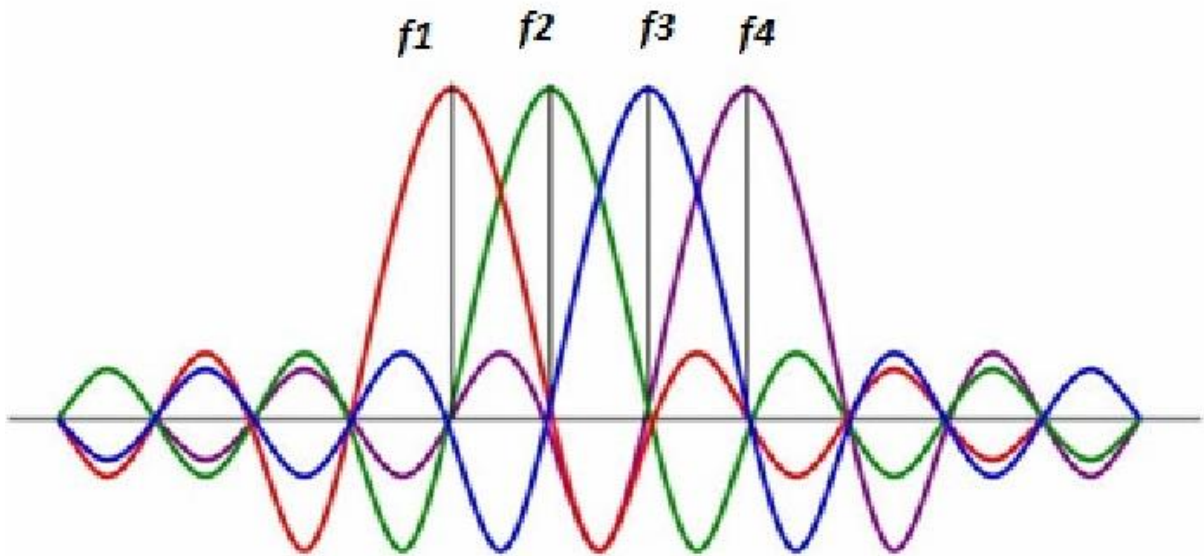


Figure 2-8: Spectre en sortie du modulateur OFDM

La figure 2.8 nous montre que l'espace entre chaque sous-porteuse $\frac{1}{T_s}$ permet, lorsque le spectre d'une sous-porteuse est maximal, d'annuler le spectre de toutes les autres; C'est la vérification de la condition d'orthogonalité. Cette condition d'orthogonalité permet d'avoir un recouvrement entre les spectres des différentes sous-porteuses, et d'éviter les interférences entre sous-porteuse (ICI). Le nombre de sous-porteuses N est choisi de manière à remplir les deux conditions primordiales :

- $T_s \gg T_m$ afin de pouvoir considérer le canal plat,
- $T_s \ll \frac{1}{B_d}$ (B_d étant la bande disponible)

2.3.4 Démodulation OFDM

Le signal parvenu au récepteur s'écrit sur une durée symbole T_s :

$$Y(t) = \sum_{k=0}^{N-1} C_k H_k(t) e^{2j\pi(f_0 + \frac{k}{T_s})t} \quad 2.8$$

Où : $H_k(t)$ représente la fonction de transfert du canal de transmission autour de la fréquence f_k et à l'instant t . Cette fonction varie lentement et on peut la supposer constante sur la période T_s ($T_s \ll \frac{1}{B_d}$). La démodulation classique consisterait à démoduler le signal suivant les N sous-porteuses suivant le schéma classique de la figure 2.9

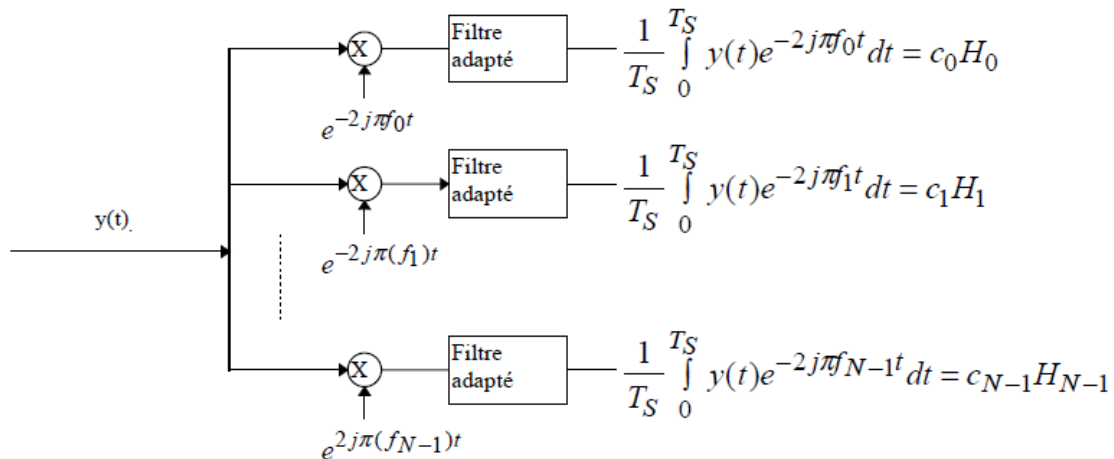


Figure 2-9: Schéma de principe du démodulateur OFDM

L'inconvénient majeur à la réalisation de ces systèmes parallèles réside dans la complexité des équipements nécessaires à la modulation et à la démodulation des différentes porteuses.

Il a été montré que ces fonctions de modulation peuvent être réalisées par des transformations de Fourier discrètes. On a par conséquent une simplicité d'utilisation en utilisant les transformées et transformées inverse de Fourier rapide (IFFT et FFT) pour répartir l'information entre un grand nombre important de sous porteuses orthogonales aussi proche que possible les uns des autres. Afin d'implanter numériquement la modulation et démodulation OFDM, ces transformées seront les blocs de base dans cette implantation.

2.4 Implantation numérique

Les premiers émetteurs utilisant la technique OFDM faisant usage d'une rangée de générateurs Sinusoïdaux. L'augmentation du nombre de sous porteuses implique une augmentation du nombre de générateurs sinusoïdaux et de démodulateurs cohérents à la réception requis par le système où ils sont placés en parallèle. Celui-ci devient donc de plus en plus complexe et coûteux à réaliser.

Les techniques de traitement numérique des signaux ont permis de concevoir un système de communication OFDM en utilisant la TFDI et la TFD pour la génération des sous-porteuses et la démodulation cohérente.

2.4.1 Implantation numérique du modulateur OFDM

Le signal de sorties (t) est sous la forme :

$$S(t) = e^{j2\pi f_0 t} \sum_{k=0}^{N-1} e^{2\pi \frac{kt}{T_s}} \quad 2.9$$

En discrétisant ce signal t en le ramenant en bande de base pour l'étude numérique on obtient

Une sortie S(n) sous la forme :

$$S(n) = \sum_{k=0}^{N-1} e^{2\pi \frac{kn}{N}} \quad 2.10$$

Les S(n) sont donc obtenus par une transformée de Fourier renversé discrète des C(k). En choisissant le nombre de porteuses N tel que $N = 2^n$, le calcul de la transformée de Fourier inverses simplifie et peut se calculer par une simple IFFT nous conduisant au schéma numérique de la figure 2.10 ci-dessous.

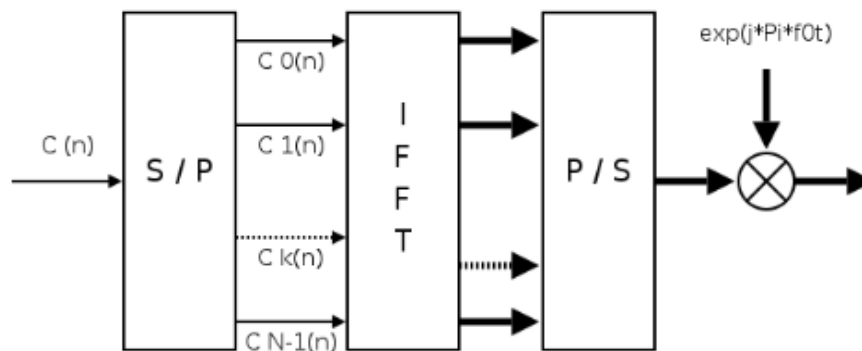


Figure 2-10: Modulateur OFDM numérique

S/P et P/S sont respectivement les convertisseurs série /parallèle et parallèle/série.

2.4.2 Implantation numérique du démodulateur OFDM

L'analyse théorique définit le signal discrétisé reçu au niveau du démodulateurs ou s la forme:

$$z(tn) = z\left(\frac{nT_s}{N}\right) = z_n = \sum_{k=0}^{N-1} C_k H_k e^{2j\pi \frac{kn}{N}} \quad 2.11$$

Ou z_n représente la transformée de Fourier discrète inverse de $C_k H_k$; La démodulation consiste donc à effectuer une transformée de Fourier directe discrète. Le nombre de porteuse savant été choisi tel que $N = 2^n$, on peut donc réaliser ce calcul à l'aide d'une FFT. On obtient alors le schéma de principe illustré par la figure 2.11 ci-dessous :

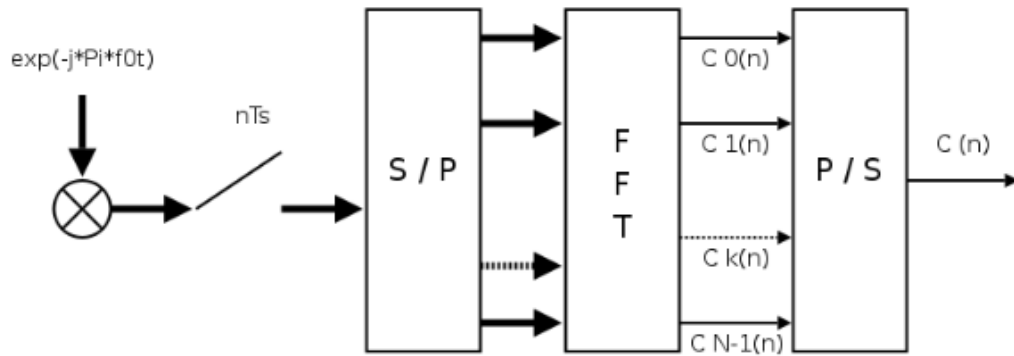


Figure 2-11: Démodulateur OFDM numérique

2.5 Codage OFDM

Les perturbations existant dans un canal lors d'une transmission sans fil induisent beaucoup d'erreurs que le codage de canal s'efforce de combattre.

Actuellement les systèmes OFDM utilisent un codage correcteur d'erreur pour diminuer le taux d'erreur du signal transmis. Un codage correcteur d'erreur permet de corriger une ou plusieurs erreurs dans un code en ajoutant aux informations des symboles redondants.

Le choix des techniques de codage du canal, mais aussi de décodage, constitue une étape essentielle dans l'optimisation du système. Ils existent plusieurs codes parmi lesquels on cite :

2.5.1 Les codes convolutionnels

Chaque bloc de n éléments binaires en sortie dépend non seulement des k éléments binaires présents en entrée mais aussi des m blocs de k éléments précédents. Le codage se fait avec des registres à décalage formés par des XOR. Le schéma de principe du code convolutionnel est illustré par la figure 2.12 ci-dessous.

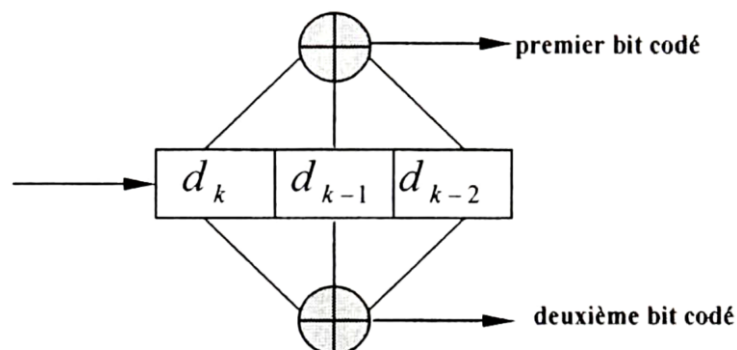


Figure 2-12: Code convolutionnel

La figure 2.12 représente un code convolutionnel de taux de codage $R=1/2$ et de longueur de contrainte $k=3$

2.5.2 Code en bloc

Un code en bloc encode un bloc formé de k bits d'information en N symboles ($N > k$). Le but dans l'ajout de $N-k$ bits de parité est d'augmenter la distance minimale de Hamming qui mesure la différence entre les deux mots de code les plus similaires. Un code bloc permet aussi de corriger une ou plusieurs erreurs dans un mot-code en ajoutant aux informations des symboles redondants ou symboles de control.

2.5.3 Code de Reed - Solomon

Il représente un meilleur compromis entre le nombre de symboles de parité ajoutés aux informations et la difficulté du codage. Les codes de Reed - Solomon sont les codes en bloc les plus utilisés. Ils sont définis pour des blocs de symboles avec m bis par symbole ou la longueur de code est définie comme suit :

$$N = 2^m - 1 \quad 2.12$$

Le mot de code de N symboles est formé de k bits d'information et $N-k$ bits de parité. Les codes de Reed-Solomon permettent de corriger des erreurs et des effacements grâce à des symboles de control ajoutés à l'information.

Le décodeur traite chaque bloc et corrige les éventuelles erreurs. Dans un système OFDM qui présente un grand nombre de porteuses les processus de codage et décodage deviennent une tâche difficile.

2.6 Entrelacement

Les techniques d'entrelacement ou dés entrelacement permettent de répartir d'une manière aléatoire les erreurs afin de faciliter la correction des erreurs au décodage et ce à la réception.

Afin d'éviter les erreurs dus aux trajets multiples, on effectue après le codage un entrelacement des symboles. L'entrelacement consiste à placer dans un ordre différent et selon une règle prédéfinie les bits d'entrée. Le désentrelacer s'assurera que les bits reçus seront introduits colonne par colonne et lus ligne par ligne afin de récupérer les symboles de la séquence transmise et ce dans le bon ordre.

L'entrelacement permet de changer l'ordre des symboles à l'émission alors que le dés entrelacement permet de le remettre en ordre à la réception.

La figure 2.13 ci-dessous illustre le principe du codage et d'entrelacement

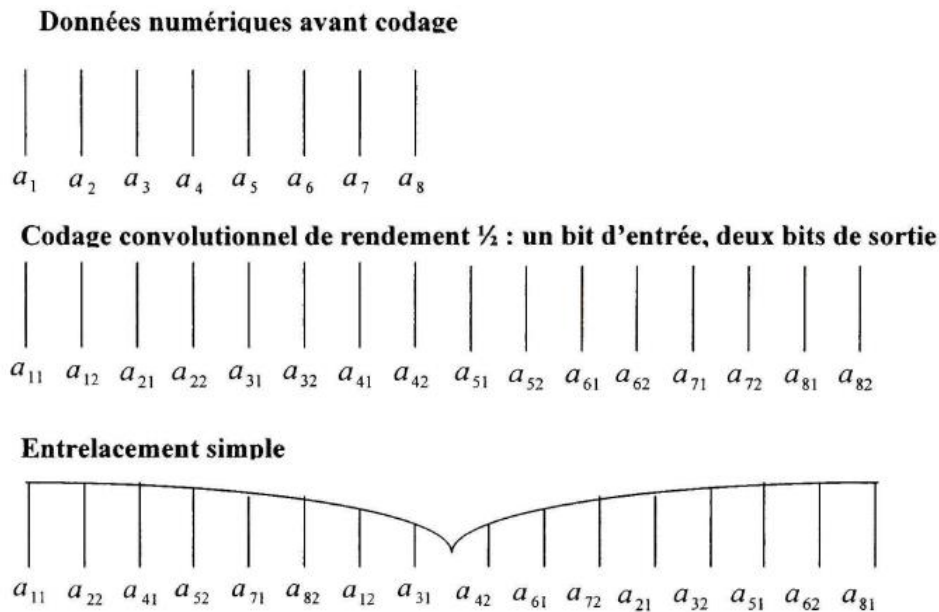


Figure 2-13: Codage et Entrelacement

2.7 Avantages et inconvénients de la technique OFDM

Contrairement aux transmissions mono porteuses, un des grands avantages de la modulation OFDM consiste en la simplicité de l'égalisation des distorsions à la réception. Ceci permet d'avoir des récepteurs simples et peu coûteux. Les principaux avantages de la modulation l'OFDM sont nombreux, on peut en citer :

- Une utilisation efficace des ressources fréquentielles en comparaison avec les solutions classiques de multiplexage fréquentiel. Ceci est principalement dû au fait que dans l'OFDM, les canaux se chevauchent tout en gardant une orthogonalité parfaite.
- Les techniques multi porteuses sont robustes au bruit impulsif puisque chaque sous porteuse est affectée d'un bruit indépendant des autres porteuses contrairement aux modulations mono porteuse, où le bruit peut affecter un certain nombre de symboles transmis, la perte d'un symbole dû à un bruit important n'affecte pas les autres symboles.
- Les techniques OFDM ont une très grande flexibilité dans l'allocation du débit dans un contexte multi utilisateurs. En effet, en fonction de la valeur du gain instantané du canal, chaque sous porteuse peut être codée indépendamment des autres porteuses.
- Efficacité dans un canal multi trajets et efficacité optimale de la bande passante.

L'OFDM possède néanmoins des inconvénients qu'il est important de noter :

- Le rapport entre la puissance maximum et la puissance moyenne du signal PAPR, (Peak to Average Power Ratio) est élevé dans ce type de modulation.
- L'orthogonalité des sous-porteuses est l'élément clef de la modulation OFDM. Par conséquent le bruit de phase ou le désaccord en fréquence entre les oscillateurs locaux de l'émetteur et du récepteur (appelé offset fréquentiel) impliquent une perte d'orthogonalité entre sous porteuses et une forte dégradation des performances du système.
- Si le récepteur OFDM est mal synchronisé temporellement, un phénomène d'inter symboles OFDM peut intervenir dégradant considérablement les performances du système global.

2.8 Applications courantes de la technique OFDM

Plusieurs standards ont adopté l'OFDM. Il est utilisé dans :

- Le projet européen pour la diffusion de Radio numérique (Digital Audio Broad casting DAB),
- La diffusion de télévision numérique (Digital Video Broad casting DVB).
- Le réseau local sans fil à haut débit (High Performance Radio Local Area Network type 2 HiperLAN2).
- Dans les xDSL,
- IEEE 802.15.3a
- Système d'accès sans fil à large bande IEEE 802.16.

Nous présentons plus en détail les deux standards le DAB et le DVB-T

Le DAB (Digital Audio Broad casting) est une norme de transmission numérique de signaux radio. Cette norme est déployée en Europe et dans le monde entier comme première norme utilisant la modulation OFDM. L'objectif primordial est de garantir la réception dans les conditions de propagation les plus difficiles (réception embarquée en zone urbaine dense, résistance à l'effet Doppler). Les modes de diffusions ont été définis, utilisant les différentes bandes de fréquence pour diffuser le signal (VHF, bande 1,5 GHz, bande 2,3 GHz). Le système DAB est basé sur l'utilisation de trois étapes de transmission.

Chapitre 2 : Technique de transmission sans fil multi porteuses pour système embarqué : Etude préliminaire

- Le DAB utilise les normes de compression MPEG Audio. MPEG 1 correspond à une fréquence d'échantillonnage de 48 kHz, tandis que MPEG 2 correspondant à une fréquence d'échantillonnage de 24 kHz.
- La deuxième étape consiste en un codage de canal (COFDM : codage du canal).
- La troisième étape est le multiplexage. Le DAB transporte un canal de signalisation, un canal d'information rapide FIC (Fast Information Channel) destiné au récepteur, qui indique la structure du multiplex (programmes, position dans le multiplex) et le nom des programmes radio, et un canal de service principal (MSC) qui contient la charge utile.

Le système terrestre DVB a été normalisé en 1997. Les plates-formes DVB-T offrent au public une meilleure qualité de l'image et du son, utilisant des canaux TV d'une largeur de bande de 6 - 8 MHz, par rapport au 1,5 MHz pour la DAB. DVB-T est actuellement utilisé pour une réception fixe, grâce à des adaptateurs intégrant directement les circuits de décodage. De même que le DAB, le DVB-T est basée sur un codage de canal (COFDM) et un codage de source avec deux possibilités, MPEG 2 ou MPEG 4.

On doit noter cependant que la technique OFDM présente certains inconvénients à savoir :

- Fortes sensibilités aux erreurs de synchronisation porteuses.
- La technique est plus complexe en émission (ajout de l'IFFT).
- L'inconvénient majeur du système OFDM réside dans sa sensibilité au décalage fréquentiel qui a pour conséquence la dégradation du rapport signal sur bruit(S/B)
- Le PAPR (facteur de crête) très élevé en OFDM (N sous porteuses).

Deux solutions sont proposées pour résoudre les deux principaux problèmes

- Interférences entre symboles (Filtrage de Nyquist)
- Diminution du PAPR (algorithme approprié) pour satisfaire les contraintes du système embarqué.

2.9 Filtrage de Nyquist

Le filtrage de Nyquist est une méthode utilisée pour diminuer l'effet des interférences entre symboles liées à la bande passante limitée du canal. Il possède une réponse impulsionnelle qui permet de supprimer ces interférences. Le filtre de Nyquist (ou filtre en cosinus surélevé : raised cosine filter) est un filtre qui a des propriétés intéressantes. Il possède une réponse

Chapitre 2 : Technique de transmission sans fil multi porteuses pour système embarqué :
Etude préliminaire

temporelle particulière présentant des zéros aux instants de décision précédant et après le bit courant.

Le filtrage en cosinus est caractérisé par un facteur de mise en forme (roll-off α), qui détermine la raideur du filtre. Le spectre du signal numérique est modifié de façon assez importante puisque la fréquence de coupure du filtre de Nyquist est inférieure à $1/2T$. Dans la pratique la bande passante du signal est limitée à un peu plus de la moitié du lobe principal du spectre initial. [20]

On a :

$$B = (1 + \alpha)1/2T \quad 2.13$$

Avec :

- α est le facteur de mise en forme : $0 < \alpha < 1$
- B est la bande passante du signal après filtrage
- T représente la période symbole

Pratiquement on utilise un filtre dont la valeur de α comprise entre 0.35 et 0.5. La réponse fréquentielle du filtre de Nyquist est donnée par la formule II.14 suivante.

$$F_e(f) = \begin{cases} 1, & 0 \leq |f| \leq \frac{(1-\alpha)}{2T} \\ \frac{1}{2} \left[1 + \sin \left(\frac{\pi T}{\alpha} \left(\frac{1}{2T} - |f| \right) \right) \right], & \frac{(1-\alpha)}{2T} \leq |f| \leq \frac{(1+\alpha)}{2T} \\ 0, & |f| \geq \frac{(1+\alpha)}{2T} \end{cases} \quad 2.14$$

L'allure de la courbe de la réponse spectrale est illustrée par la figure 2.14 ci-dessous :

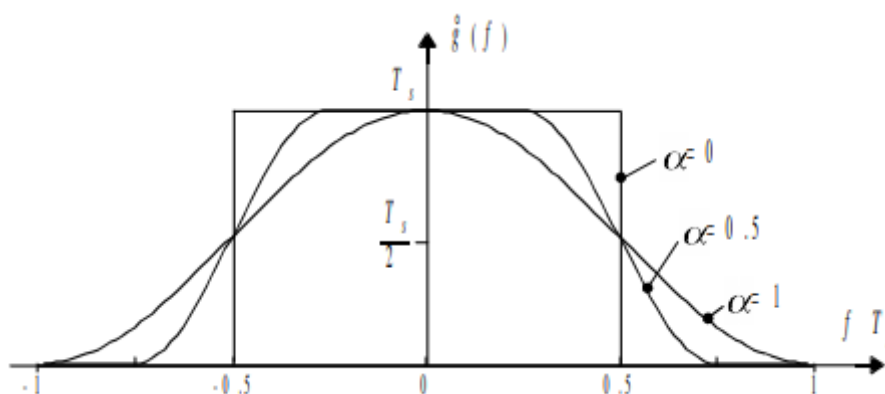


Figure 2-14: Filtre de Nyquist dans le domaine fréquentiel

La réponse temporelle du filtre de Nyquist est donnée par la formule 2.15

$$f_e(t) = \frac{1}{T} \frac{\sin\left(\frac{\pi t}{T}\right) \cos\left(\frac{\pi \alpha t}{T}\right)}{\frac{\pi t}{T} \left(1 - 4\alpha^2 \frac{t^2}{T^2}\right)} \quad 2.15$$

L'allure de la courbe de la réponse temporelle est illustrée par la figure 2.15 ci-dessous :

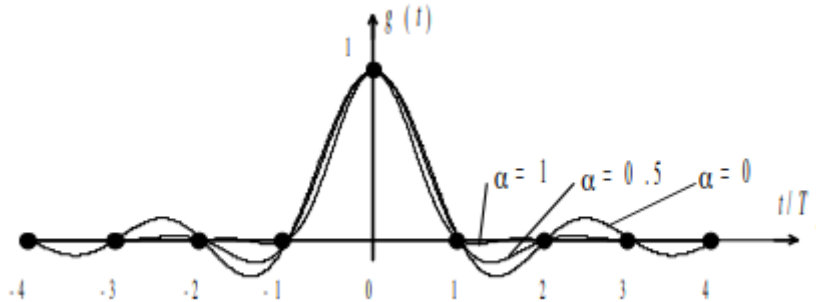


Figure 2-15: Filtre de Nyquist dans le domaine temporel

La réponse temporelle fait bien apparaître des zéros situés à des multiples de la période de symbole. Pour réduire l'interférence inter symbole à son minimum, il conviendra d'échantillonner le signal à ces instants.

2.10 Réduction du PAPR (Peak to Average Power Ratio) du système OFDM

L'inconvénient majeur de la technique de transmission OFDM est qu'elle engendre des signaux temporels à fortes variations d'amplitude du signal d'origine caractérisés par un PAPR élevé. Cette caractéristique rend les signaux OFDM sensible aux non linéarités des composants analogiques, en particulier celles de l'amplificateur de puissance.

Le paramètre PAPR nous donne une idée sur le comportement du signal, plus précisément sur les pics d'amplitude et donc de puissance. Si nous considérons une fenêtre d'observation T du signal x(t), le PAPR représente le rapport entre la puissance maximale et la puissance moyenne du signal S(t) sur l'intervalle T.

. Dans la littérature nous retrouvons différentes définitions du PAPR. L'expression du PAPR classique est illustrée par la formule 2.16

$$PAPR(x(t)) = \frac{\max_{0 \leq t \leq T} |x(t)|^2}{E \left[\frac{1}{T} \int_0^T |x(t)|^2 dt \right]} \quad 2.16$$

Chapitre 2 : Technique de transmission sans fil multi porteuses pour système embarqué : Etude préliminaire

À chaque fois qu'on aura un pic du signal, l'Amplificateur de puissance AP, doit consommer plus d'énergie pour le transmettre. Or il est nécessaire d'optimiser la consommation d'énergie surtout dans les transmissions sans fil et par conséquent réduire la consommation d'énergie du système embarqué.

La figure 2.16 illustre le PAPR signal OFDM dans le domaine temporel. Nous voyons clairement qu'une des caractéristiques principales du signal OFDM est l'existence des pics très élevés ce qui augmente considérablement le PAPR, c'est l'inconvénient majeur des signaux OFDM. Il faut surmonter ce problème afin que la forme d'onde du signal OFDM puisse être utilisée pour la 5G.

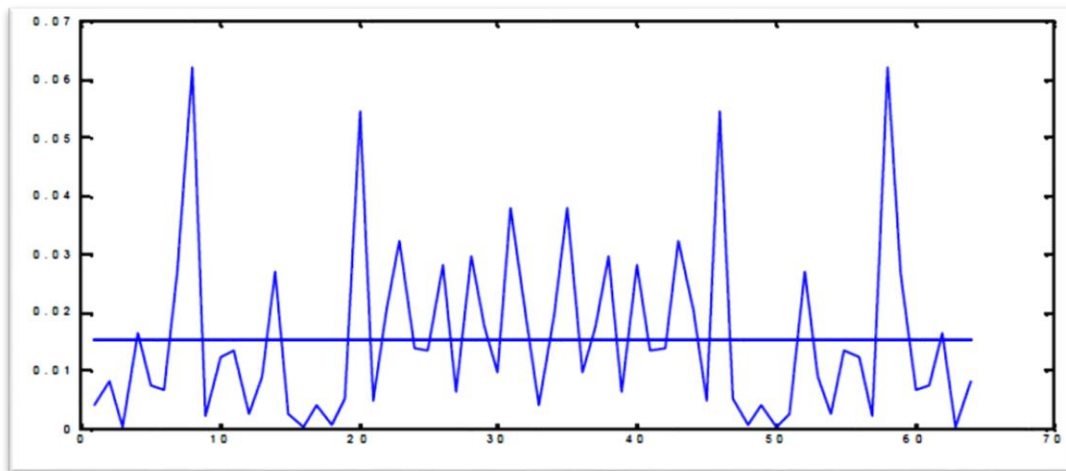


Figure 2-16: Exemple du PAPR d'un signal OFDM.

Le CCDF (Complementary Cumulative Distribution) est un autre paramètre très utilisé dans l'évaluation de la méthode de réduction du PAPR. Il représente la probabilité pour que le PAPR d'un certain bloc de données soit supérieur à un PAPR seuil fixé appelé $PAPR_0$.

$$CCDF = \Pr (PAPR \geq PAPR_0) \quad 2.17$$

La figure II.17 illustre l'évolution de la fonction de répartition CCDF en fonction du $PAPR_0$.

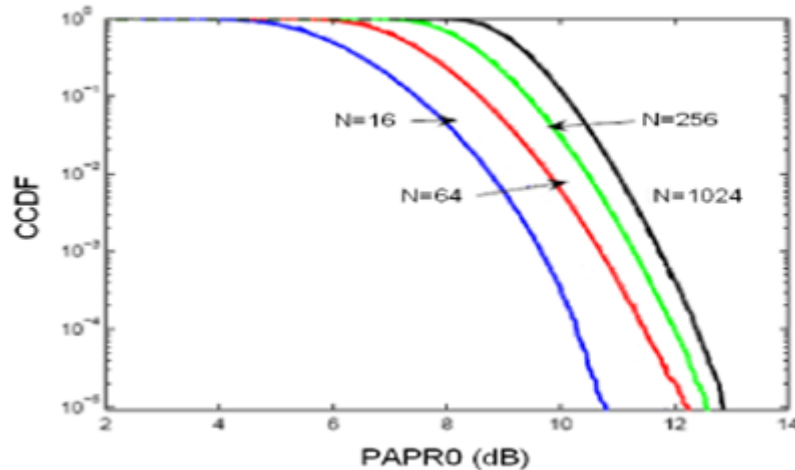


Figure 2-17: Evolution du CCDF en fonction du PAPR₀

Lorsque PAPR₀ vaut 0, la probabilité que le PAPR soit supérieur au PAPR₀ est toujours égale à 1. En effet pour un signal quelconque la dynamique sera toujours supérieure ou égale à 0dB donc le PAPR aura une probabilité certaine d'être supérieure ou égale à 0 dB. Plus le CCDF est faible et plus la probabilité d'avoir un PAPR élevé est faible.

Généralement la fonction de répartition cumulative et complémentaire (CCDF) est donnée par la formule 2.18 ci-dessous.

$$\text{CCDF} = 1 - (1 - e^{-\text{PAPR}_0})^N \quad 2.18$$

Où :

- N représente le nombre de sous porteuses.

Le SNR est aussi un paramètre très utilisé dans l'évaluation des performances d'une transmission numérique ou des systèmes de réduction du PAPR. Il est défini comme étant le rapport de la puissance du signal sur la puissance du bruit. On a:

$$\text{SNR} = \left(\frac{F_s}{B}\right) \left(\frac{E_s}{N_0}\right) = N_b \left(\frac{F_s}{B}\right) \left(\frac{E_b}{N_0}\right) \quad 2.19$$

- $F_s = \frac{1}{T_s}$: Fréquence d'échantillonnage (1/sec = Hz)
- B : La bande passante (1/sec = Hz) $\geq F_s$
- $N_0 = KT$: La densité spectrale du bruit (K : Constant de Boltzmann, T : Température ambiante)
- E_s : Energie par symboles
- E_b : Energie par Bits
- N_b : Bits par symboles

Ils existent plusieurs techniques ou solutions pour la réduction du PAPR.

2.10.1 Limitation de la puissance maximale de signal OFDM et fenêtrage.

La manière la plus simple de réduire le PAPR est de couper ou de limiter la puissance maximale du signal de sortie mais ceci augmente de manière significative le rayonnement hors bande qui peut être réduit par un filtrage approprié.

Une approche différente est de multiplier les crêtes du signal par une fenêtre. Le signal OFDM étant multiplié par une fenêtre, le spectre résultant est une convolution du spectre initial de signal OFDM avec le spectre de la fenêtre appliquée. La fenêtre devrait être à bande étroite et limitée dans le domaine temporel pour ne pas augmenter le niveau de taux d'erreur de bit. Cette approche BERC (Bandwidth Efficient Réduction of the Crest Factor) est proposée par Pauli et Kuchenbecker.

2.10.2 Techniques de codage

Différentes techniques de codage ont été suggérées dans la littérature et qui ont pour but la réduction au minimum de la puissance maximale de signal OFDM. Par exemple, un codage de bloc qui permet réduire le PAPR en évitant de transmettre certains mots de code qui ont comme conséquence des valeurs excessives de PAPR

Les codes blocs sont formés à partir d'un bloc de bits auquel on ajoute des bits de parité. Le mot de code de n symboles est formé de k bits d'information et de $n-k$ bits de parité La figure 2.18 illustre ce type de code utilisé dans la réduction du PAPR.

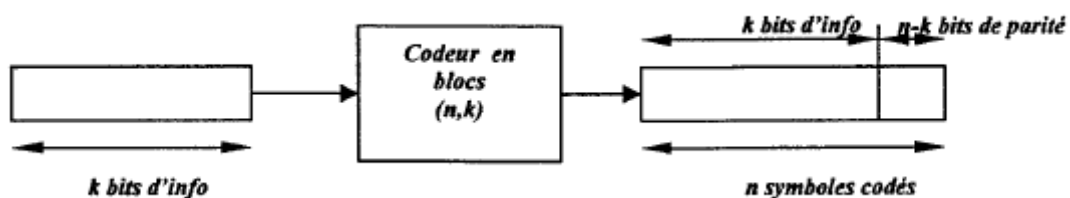


Figure 2-18: Réduction du PAPR par codage par bloc

2.10.3 Méthode SLM (Selected Mapping)

La méthode SLM est une méthode probabiliste. Elle est basée sur la l'utilisation du PAPR optimal parmi plusieurs. La simplicité de cette idée consiste à faire multiplier le signal par La différents vecteurs P et ensuite les faire passer par l'IFFT. On envoie le résultat qui a le plus faible PAPR. Cette méthode nécessite que le récepteur identifie le vecteur P. Pour cela on doit envoyer une information qui donne au récepteur la valeur de P. La figure 2.19 représente le fonctionnement de la méthode SLM

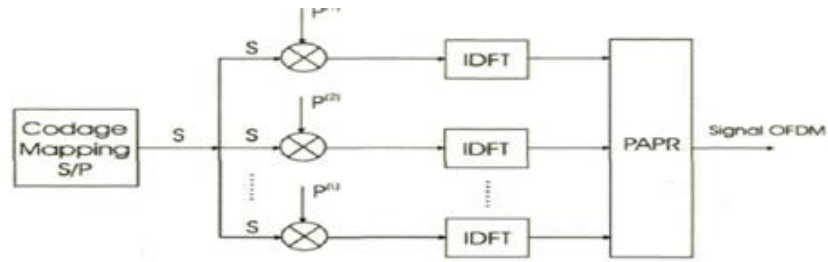


Figure 2-19. Réduction du PAPR par la méthode SLM

Parmi les avantages de cette méthode, on note la réduction importante du PAPR. Il n'y a pas de contrainte pour le nombre des sous-porteuses et elle est applicable quel que soit la modulation numérique utilisée. Cependant cette méthode a une complexité au niveau de l'utilisation de l'opérations d'IFFT. De plus on doit bien transmettre l'indice envoyé pour que le récepteur puisse reconstruire correctement le signal émis.

2.10.4 Méthode PTS

La technique PTS (Partial Transmit Séquence) a été proposée par Müller et Huber en 1997.

Le principe de cette méthode consiste à diviser le vecteur de données X du modulateur à N sous porteuses en M sous blocs disjoints notés X_m ($m = \{1, \dots, M\}$). Les données numériques X sont des nombres complexes définis à partir d'éléments par une constellation de modulation QPSK. Ces données sont des symboles formés par groupement d'un ensemble de $n = \log_2(M)$ bits. M est le nombre de signaux à transmettre. Le débit binaire est déterminé comme suit :

$$R_b = nR_s \quad 2.20$$

Où : R_s représente le taux de symbole

A chaque sous bloc un vecteur de rotation est appliqué. On calcule ensuite le PAPR pour chaque sous bloc en le multipliant par un facteur b_m et ceci selon le nombre W de facteurs de phase. Par la suite, on peut calculer toutes les probabilités pour avoir le PAPR minimum. Par conséquent la complexité de la méthode augmente exponentiellement avec le nombre M de sous-blocs à envoyer et le nombre W de facteurs de phase. Plus le nombre de blocs (les partitions du vecteur X) est important plus la recherche exhaustive des coefficients de pondération est coûteuse.

On a W^M possibilités pour avoir un PAPR minimum. A titre d'exemple, si on prend $W=2$ et $M=8$ on a 256 possibilités. L'émetteur OFDM doit envoyer au récepteur l'information concernant la combinaison utilisée afin de réduire le PAPR.

La méthode PTS nécessite l'envoi d'une SI (Si d'Information) pour le décodage des informations en réception. Le principe de la méthode PTS peut être illustré graphiquement par la figure 2.20

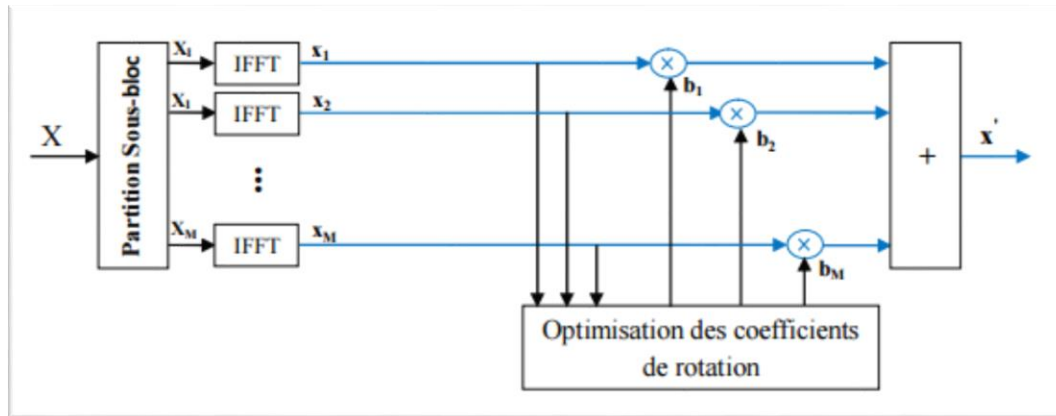


Figure 2-20: Schéma du principe de la méthode PTS

2.11 Conclusion

Le but primordial recherché dans ce chapitre est d'étudier les différents concepts de la technique de transmission sans fil OFDM. Le principe de base de la modulation multi porteuses à fréquences orthogonales a été expliqué. Le problème d'interférences entre symboles a été également posé. Les deux grandes parties représentant les transformées de Fourier inverse et Direct pour la modulation et démodulation OFDM ont été mises en évidence. La technique OFDM présente un énorme intérêt dans les canaux multi trajets. On a aussi vu que l'OFDM est bien utile dans la transmission sans fil à haut débit binaire, puisqu'il est efficace en largeur de bande en plus d'être simple à implémenter grâce à la transformée de Fourier.

On a exposé également dans ce chapitre les principales méthodes de réduction du PAPR du signal OFDM. La réduction du PAPR permet ainsi la minimisation de l'énergie mise en jeu du système embarqué (FPGA).

Chapitre 3

Les FPGA

3 Chapitre 3 Les FPGA

3.1 Introduction

Il y a quelques années, la construction d'un assemblage en électronique numérique impliquait l'utilisation d'un grand nombre de circuits logiques intégrés. Actuellement, la logique programmable est la plus utilisée par les microcontrôleurs (μc) et microprocesseurs (μp) mais l'inconvénient de ces circuits est qu'on peut seulement les programmer selon le programme existant dans une mémoire, l'architecture interne est celle proposée par le fabricant, tout comme les entrées/sorties, et aussi sans oublier le nombre de ces circuits nécessaire qui peut être important, ce qui avait pour conséquence un prix important, une mise en œuvre complexe et un circuit imprimé de taille [21].

De nombreuses familles de circuits sont apparues depuis les années 70 avec des noms très divers suivant les constructeurs : des circuits très voisins pouvaient être appelés différemment par deux constructeurs concurrents, pour des raisons de brevets et de stratégies commerciales. De même une certaine inertie dans l'évolution du vocabulaire a fait que certains circuits technologiquement différents ont le même nom. Le terme même de circuit programmable est ambigu, la programmation d'un FPGA ne faisant pas appel aux mêmes opérations que celle d'un microprocesseur. Il serait plus juste de parler pour les PLD, CPLD et FPGA de circuits à architecture programmable ou encore de circuits à réseaux logiques programmables.

Le développement des mémoires utilisées en informatique est à l'origine des premiers circuits logiques programmables (FPGA). (Field-Programmable Gate Array). Ce type de produit peut intégrer plus d'un million de portes logiques programmables par l'utilisateur dans un seul circuit et sont capables de réaliser plusieurs fonctions logiques complexes avec la souplesse et la flexibilité apportée par la logique programmable est ça dans un seul circuit, et ils sont les circuits logiques programmables les plus performants qui existent en ce moment. [22] Sa mise en œuvre est très simple à l'aide de méthodes CAO (Conception Assistée par Ordinateur), En cas d'erreur, ils sont reprogrammables électriquement sans avoir à extraire le composant de son environnement. Le rôle des FPGA est donc d'intégrer des circuits logiques complexes. Ces circuits sont susceptibles d'être partiellement ou totalement reconfigurés (architecture programmable) en fonction de l'application [23].

Ce domaine de l'électronique est aussi celui qui certainement a vu la plus forte évolution technologique ces dernières années :

- En moins de 15 ans la densité d'intégration à été multipliée par 200 (2000 à 20 000 portes en 85 pour 72 000 à 4 000 000 en 2000).
- En moins de 10 ans la vitesse de fonctionnement par 6 (40 MHz en 91 pour 240 MHz en 2000).
- La taille d'un transistor est passée de 1,2 μm en 91 à 0,18 μm en 2000.
- Les technologies de conception ont fortement évolué, tel constructeur initiateur d'un procédé l'abandonne pour un autre, alors que le concurrent le reprend à son compte.
- La tension d'alimentation est passée de 5 V à 1,8 V diminuant ainsi la consommation.
- Le prix d'une porte logique a été divisé par 200 d'où l'intérêt économique du numérique. A cet effet, le prix d'une porte logique se réduit de 40% par an

Le tableau suivant montre que l'évolution des circuits numériques est le fruit d'un ensemble de facteurs :

| Besoins croissants en circuits spécialisés | Evolution rapide de la Technologie | Evolution des outils de conception "haut-niveau" |
|--|---|--|
| <ul style="list-style-type: none"> • Produits de plus en plus complexes. • Contraintes:(performances, coût). | <ul style="list-style-type: none"> • Généralisation des « Systèmes sur Puce ». • Espace de conception trop grand. | <ul style="list-style-type: none"> • Produire une architecture à partir d'un algorithme. • Exploration automatique de l'espace de conception. • Outils d'estimations (performances, surface, etc.). |

Tableau 3-1 les facteurs d'évolution des circuits numériques.

Aussi est-il très difficile de s'y retrouver et de donner des ordres de grandeurs qui puissent être comparés. Nous tenterons dans cet exposé une clarification des choses dont la volonté de simplification pourra être facilement prise en défaut. Parallèlement à ces circuits, on trouvera les ASIC (Application Specific Integrated Circuits) qui sont des composants où le concepteur intervient au niveau du dessin de la pastille de silicium en fournissant des masques à un fondeur. On ne peut plus franchement parler de circuits programmables. Les temps de développement long ne justifient l'utilisation que pour des grandes séries. Les PLD, CPLD et FPGA sont parfois considérés comme des ASIC par certains auteurs.

3.2 Classification des circuits logiques programmables

La diversité de constructeurs de circuits logiques programmables est à l'origine de plusieurs produits équivalents mais d'appellation différente. En effet, il est difficile d'établir

une classification générale de ces circuits. La figure ci-dessous présente l'une des classifications adoptées.

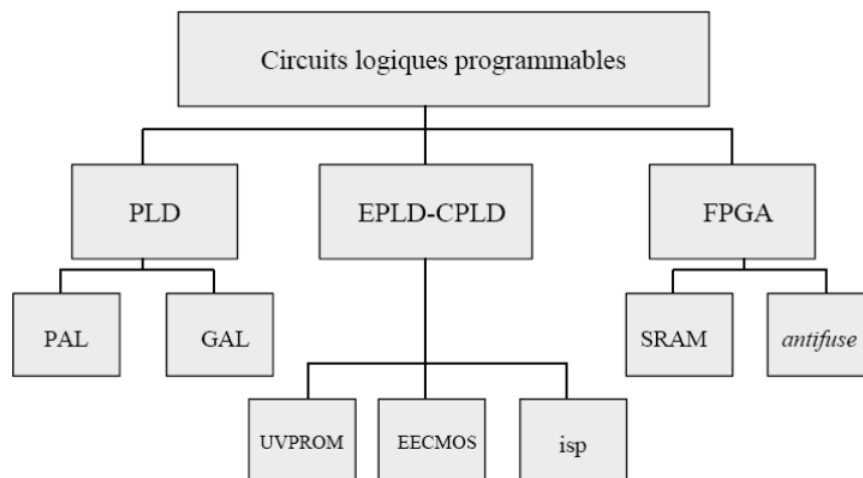


Figure 3-1 Classification des circuits logiques programmables

- PAL: signifie Programmable Array Logic, c'est-à-dire réseau logique programmable. La programmation de ces circuits s'effectue par destruction de fusibles. Une fois programmés on ne peut pas les effacer. On distingue deux sous familles :
- Les PAL combinatoires ou PAL simples qui sont constitués de fonctions de logique combinatoire.
- Les PAL à registres ou F.P.L.S. Field Programmable Logic Sequencer pour séquenceur logique programmable qui sont constitués de logique combinatoire et séquentielle (Registres).
- Les GAL : signifie Generic Array Logic ou encore réseau logique générique. L'appellation GAL est une marque déposée de LATTICE SEMICONDUCTOR qui a été la première société à proposer sur le marché ce type de produits. D'autres marques proposent des équivalents (compatibles) commercialisés sous le nom de PAL CMOS, E2PAL ou encore, PAL EECMOS. Les GAL sont des PAL effaçables électriquement, qui utilisent la technologie CMOS.
- Les EPLD : (Erasable Programmable Logic Device), PAL effaçables. Ce sont des circuits programmables et effaçables électriquement ou par ultraviolet (UV). Ils sont encore appelés PAL CMOS. Ces circuits ont une capacité en nombre de portes et en possibilités de configuration supérieure à celle des GAL.
- Les CPLD : signifie Complex Programmable Logic Device. Ces circuits sont composés de plusieurs PALs élémentaires reliés entre eux par une zone

d'interconnexion. Grace à cette architecture ils permettent d'atteindre des vitesses élevées (plusieurs centaines de Mhz).

- Les LCA et FPGA à anti-fusible
- Les LCA ce qui signifie Logic CellArray ou encore réseau de cellules logiques sont composés de blocs logiques élémentaires de 2000 à 10000 portes que l'utilisateur peut interconnecter.
- Les FPGA à anti-fusibles sont identiques aux LCA sauf qu'ils permettent une plus grande intégration de portes et ils ne sont pas effaçables électriquement. Le nom anti-fusible vient de la programmation des connexions qui s'effectue par fermeture de circuits, comparé aux fusibles où l'on ouvre les circuits. [24]

D'où un tableau récapitulatif :

| Type | Nombre de portes intégrés | Matrice ET | Matrice OU | Effaçable |
|-------------|---------------------------|--------------|--------------|----------------|
| PAL | 10 à 100 | Programmable | Fixe | Nom |
| GAL | 10 à 100 | Programmable | Fixe | Electriquement |
| EPLD | 100 à 300 | Programmable | Fixe | Aux U-V |
| FPGA | 2000 à 3000 | Programmable | Programmable | Electriquement |

Tableau 3-2 Classification des circuits logiques programmables

3.2.1 Comparaison entre les FPGA et les autres circuits spécifiques

La comparaison et donc le choix entre les différentes technologies est une étape délicate car elle conditionne la conception mais aussi toute l'évolution du produit à concevoir. De plus, elle détermine le coût de la réalisation et donc la rentabilité économique du produit.[25]

Généralement, les quantités à produire imposent leurs conditions de rentabilité, dans le domaine du grand public par exemple. Par contre, dans le matériel professionnel, toutes les options sont ouvertes. Il faut établir un rapport coût / souplesse d'utilisation le plus souvent avec des données partielles (pour les quantités à produire par exemple). Nous allons nous contenter dans ce paragraphe de comparer ce qui est comparable (PLD / ASIC, EPLD / FPGA) et de donner une méthode de calcul des coûts des familles ASIC et PLD.

3.2.2 Comparaison entre les PLD et les ASIC.

Un premier choix doit être fait entre les ASIC et les PLD. Les avantages des PLD par rapport aux ASIC sont les suivants :

- Ils sont entièrement programmables par l'utilisateur,
- Ils sont généralement reprogrammables dans l'application, ce qui facilite la mise au point et garantit la possibilité d'évolution,
- Les délais de conception sont réduits, il n'y a pas de passage chez le fondeur.

En revanche, les inconvénients des PLD par rapport aux ASIC sont les suivants :

- Ils sont moins performants en terme de vitesse de fonctionnement (d'un facteur 3),
- Le taux d'intégration est moins élevé (d'un facteur 10 environ),
- La programmation coûte les 2/3 de la surface de silicium.

De plus, le coût de l'ASIC est beaucoup plus faible que le coût du PLD (quoique les choses évoluent très rapidement dans ce domaine, notamment dans la compétition entre FPGA et pré-diffusés). Au-delà d'une certaine quantité, l'ASIC est forcément plus rentable que le PLD. Toute la question est donc de savoir quelle est cette quantité ?

3.2.3 Comparaison entre les FPGA et les EPLD

Si un PLD est choisi, il faut savoir si on doit utiliser un EPLD ou un FPGA. En réalité, le choix est assez facile à faire. Le domaine d'utilisation des FPGA est celui des pré-diffusés, par exemple les fonctions logiques ou arithmétiques complexes ou le traitement du signal. Le domaine d'utilisation des EPLD est plutôt celui des PAL, par exemple les machines d'état complexes. Il est à noter qu'un marché important des PAL et des EPLD est la correction des erreurs de conception dans les ASIC afin d'éviter un aller-retour coûteux chez le fondeur.

3.2.4 Seuil de rentabilité entre un FPGA et un ASIC

Avec un taux d'intégration de plus en plus important, les FPGA deviennent très intéressants pour des productions en série par rapport aux ASIC. La question qui se pose au concepteur est la suivante: combien d'unités doit-on produire, pour que l'ASIC soit plus rentable que le FPGA ?

Le facteur principal qui détermine le coût d'un circuit intégré est la surface de la puce ou encore le nombre de puces que l'on peut fabriquer sur une tranche de silicium. On travaille aujourd'hui avec des tranches de 300 mm de diamètre et les plus grosses puces sont de dimension 25x20 mm Deux éléments peuvent fixer la taille de la puce : le nombre de portes

Chapitre 3 Les FPGA

utilisées pour réaliser la fonction logique et le nombre d'entrées-sorties. Jusqu'à la technologie 0.5 mm, c'est la fonction logique qui détermine la taille de la puce et donc son prix. C'est la raison pour laquelle, à fonctionnalité identique, le circuit full-custom est le moins cher alors que le PLD est le plus coûteux à produire. Mais avec des circuits de plusieurs centaines de broches, la taille de la puce tend à être fixée de plus en plus par les E/S et les différences de prix s'estompent (notamment entre les FPGA et les pré-diffusés).

Sans entrer dans les détails, une analyse rapide peut donner un ordre de grandeur du seuil de rentabilité entre un FPGA et un ASIC. Prenons comme exemple un boîtier de 10 000 portes. L'étude se base sur des données fournies par la société d'études de marché DATAQUEST en 1995. La formule de base du seuil de rentabilité est la suivante :

Seuil de rentabilité = NRE + (développement et outils) + (X unités * prix à l'unité)

Les NRE (Non Recurring Expenses) sont les frais fixes de mise en œuvre. On obtient pour les ASIC et les FPGA les deux formules suivantes :

- ASIC = \$25 000 (NRE) + \$79 000 (développement et outils) + (X unités * \$13)
- FPGA = 0 NRE + \$25 000 (développement et outils) + (X unités * \$79)

Il n'y a pas de NRE pour un FPGA. Les NRE sont imputés à chaque fois que l'on fait appel à un fondeur. A partir des 2 équations ci-dessus, le seuil de rentabilité est atteint pour 1 196 unités. Le FPGA devient plus cher à produire qu'un ASIC au-delà de 1 196 unités. En fait, il existe d'autres facteurs qui influent grandement sur le seuil de rentabilité :

- Le « time to market » (temps de mise sur le marché). C'est le temps écoulé entre le début de l'étude et la phase de production. Prendre du retard sur le lancement d'un produit sur le marché, en raison d'un cycle de développement et de mise au point trop long, a des effets négatifs en termes de rentabilité. Le cycle moyen de développement d'un FPGA est de 11 semaines, il passe à 32 semaines pour un ASIC.
- La correction des erreurs. Environ 30 % des ASIC retournent chez le fondeur pour des modifications (11 % sont des erreurs du fondeur et 19 % sont des modifications du design). Ce nouveau cycle de développement introduit un délai supplémentaire de 12 semaines. Pour un FPGA, une modification du design est très rapide, et n'apporte pratiquement pas de surcoût.
- Les FPGA masqués. Les interconnexions programmables de ces FPGA sont remplacés par des interconnexions fixes chez le fabricant (séries Hard Copy chez Altera par exemple). Le circuit n'est alors plus reprogrammable. Ils sont compatibles, broche à

broche, avec les FPGA programmables du même fabricant mais ils sont moins chers, les NRE étant beaucoup moins élevés que pour les ASIC. La méthode consiste à développer le prototype avec un FPGA programmable puis à envoyer le fichier de configuration final chez le fondeur. Celui-ci produit les FPGA Hard Copy avec la configuration souhaitée mais il y a une quantité minimum d'unités à commander.

Les chiffres permettant de quantifier les seuils de rentabilité entre les familles de circuits sont difficiles à obtenir et parfois hautement subjectifs. Les ordres de grandeur des seuils de rentabilité sont les suivants :

| jusqu'à 5000 pièces | entre 5000 et 50000 | entre 50000 et 500000 | plus de 500000 |
|---------------------|---------------------|-----------------------|----------------|
| PLD | Pré-diffusé | Pré-caractérisé | full-custom |

Il est important de noter qu'il existe une nette tendance visant à remplacer le pré-diffusé par le FPGA, certains fabricants (comme Xilinx) prétendant commercialiser des FPGA moins cher que des pré-diffusés pour des quantités de 100000 pièces. Il est difficile d'avoir une opinion tranchée car les deux familles évoluent très rapidement.

3.3 Histoire des FPGA

Les FPGA sont apparus pour la première fois au début des années 1960 après la publication des travaux de Gerald Estrin qui ont été connus par "fixed plus variable structure computer" [26].

A cette époque, l'idée de confirmabilité était d'utiliser la régularité structurelle et la flexibilité fonctionnelle. Les réseaux cellulaires consistaient généralement en un tableau bidimensionnel de cellules logiques simples avec une communication point à point fixe. La programmation des cellules logiques de ces réseaux, comme les «Maitra Falls», a été réalisée par métallisation en cours de production pour mettre en œuvre une série de fonctions logiques à deux entrées. Cependant, après l'introduction de la technique «Cutpoint» à la fin des années 1960, la possibilité de modifier la fonction logique d'une puce après le processus de fabrication a été atteinte. Bien que la communication entre les différentes cellules logiques ait toujours été fixe, la fonctionnalité de chaque cellule logique du réseau peut être déterminée par l'état des fusibles programmables. Ces fusibles peuvent être programmés en utilisant un ampérage bien défini ou par la propriété de photoconductivité [27].

En 1970, une nouvelle technologie de projet FPGA basée sur le principe ROM (Read Only Memory) est apparue. Une série de ROM programmables (PROM) à N entrées sont capables de mettre en œuvre certaines fonctions logiques complexes. Comme leur nom l'indique, cette catégorie de mémoires à lecture seule se caractérise par le fait qu'elle n'est programmable qu'une seule fois après fabrication. Il existe plusieurs types de PROM qui diffèrent principalement par la manière dont elles sont programmées [27]. Cette technologie basée sur les PROM a été combinée en 1977 avec les technologies utilisées jusqu'à ce moment pour rajouter aux nombreux avantages la flexibilité vue que les PROM une fois programmées sont des mémoires mortes. Le concept moderne du FPGA est connu depuis 1985 avec la commercialisation de deux plateformes qui ont profité des progrès spectaculaires dans le domaine des semi-conducteurs. La première est la famille XC2064TM FPGA de Xilinx, qui était basée sur SRAM (static Random-access memory). La deuxième, EP1200 d'Altera, avait une très haute densité (3µm CMOS) et utilisait des PROM effaçables (EPROM) [28]. Ces deux produits ont été le véritable lancement de la technologie FPGA à l'échelle de prototypage rapide et de nos jours, elle rivalise avec l'ASIC à l'échelle de produit final. Au courant des deux dernières décennies plusieurs familles de FPGA ont été commercialisées par les différents fabricants, Xilinx, Altera, Actel, Lattice, Crosspoint, etc.

Les FPGA sont des circuits numériques matériels configurables dédiés à l'électronique numériques [29]. A l'état initial ils ne peuvent rien faire mais disposent d'une importante quantité (dépendant de la technologie utilisée) de ressources matérielles opérationnelles dont on peut configurer la fonction. Ces ressources sont, principalement, des blocs élémentaires logiques (pour réaliser des fonctions booléennes), des mémoires RAM, des opérateurs arithmétiques (qui travaillent en virgule fixe), des ressources de routage interne et des entrées/sorties. Ces ressources configurables sont reliées par un réseau dense de lignes de routage et de lignes de transport des horloges. Ces lignes de routage sont aussi configurables. En plus de ces ressources, un FPGA est composé d'une mémoire interne de configuration. Chaque point de cette mémoire correspond à la configuration d'un élément d'une des ressources opérationnelles. Cette mémoire est, dans la plupart des cas, réalisée avec une des trois technologies suivantes : ANTIFUSIBLE (la plus ancienne, configurable une seule fois), FLASH (non-volatile) ou SRAM (volatile, la plus utilisée, représente plus de 80 % du marché). Pour réaliser une application avec un FPGA il faut décrire le circuit électronique à réaliser avec un langage de description matérielle comme le VHDL (Very High Speed Integrated Circuit Hardware Description Language). Puis il faut synthétiser cette description en

circuit électronique. Cette étape et les suivantes peuvent se faire avec des logiciels gratuits fournies par le fabricant de circuit. Enfin après une étape de placement et routage qui prend en compte l'architecture du FPGA, un fichier de configuration appelé bit stream est généré. Celui-ci permet de spécifier au FPGA lors de la configuration la position des points de la mémoire de configuration [29].

La technologie FPGA (Field-Programmable Gate Array) continue de gagner du terrain : selon les prévisions, le marché mondial du FPGA devrait passer d'1,9 milliard de dollars en 2005 à 2,75 milliards d'ici 2010 [30]. Depuis leur invention par Xilinx en 1984, les FPGA sont partis d'un simple rôle d'interfaçage d'appoint pour arriver à véritablement remplacer les ASIC (Circuits intégrés à application spécifique) et les processeurs personnalisés dans des applications de contrôle et de traitement de signaux. Afin d'expliquer ce succès [31].

3.4 Les cinq principaux atouts de la technologie FPGA

1. Performances
2. Temps de mise sur le marché
3. Coût
4. Fiabilité
5. Maintenance à long terme

3.4.1 Performances

Comme ils tirent parti du parallélisme matériel, les FPGA offrent une puissance de calcul supérieure à celle des processeurs de signaux numériques (DSP), car ils s'affranchissent du modèle d'exécution séquentielle et exécutent plus d'opérations par cycle d'horloge. BDTI, une importante société d'analyse et de « benchmarking », a publié des études montrant que les FPGA peuvent offrir une puissance de traitement par dollar plusieurs fois supérieure à celle d'une solution DSP dans certaines applications. Contrôler les entrées et sorties (E/S) au niveau matériel permet d'obtenir des temps de réponse plus courts ainsi que des fonctionnalités spécifiques, qui répondent mieux aux besoins de l'application.

3.4.2 Temps de mise sur le marché

Face à des préoccupations croissantes concernant les temps de mise sur le marché, la technologie FPGA représente une solution souple offrant des capacités de prototypage rapide. Ainsi, vous pouvez tester une idée ou un concept, puis le vérifier sur du matériel sans avoir à passer par le long processus de fabrication d'un ASIC personnalisé [32]. Par la suite, vous pourrez apporter les éventuelles modifications nécessaires à votre FPGA, en quelques heures

au lieu de quelques semaines. Le matériel « sur étagère » actuellement commercialisé propose également différents types d'E/S déjà connectées à un circuit FPGA programmable par l'utilisateur. La multiplication des outils logiciels de haut niveau disponibles sur le marché permet de réduire le temps d'apprentissage avec les couches d'abstraction. Ces outils comprennent souvent des cœurs de propriété intellectuelle (fonctions précompilées) utiles pour le contrôle avancé et le traitement de signaux.

3.4.3 Coût

Les coûts d'ingénierie non récurrents (NRE) des ASIC personnalisés sont bien supérieurs à ceux des solutions matérielles basées sur du FPGA. L'important investissement de départ que requièrent les ASIC se justifie largement pour les OEM, par exemple, qui peuvent livrer des circuits par milliers chaque année. Cependant, la plupart des utilisateurs finaux ont besoin de matériels personnalisés pour quelques dizaines ou quelques centaines de systèmes en développement. Par nature, les circuits programmables n'impliquent ni coût de fabrication, ni longs délais d'assemblage. Les besoins de la plupart des systèmes évoluent avec le temps ; or la modification progressive d'un FPGA représente un coût négligeable comparé à la dépense considérable qu'exige la reconception d'un ASIC.

3.4.4 Fiabilité

Tandis que les outils logiciels fournissent l'environnement de programmation, les circuits FPGA sont une véritable implémentation matérielle de l'exécution logicielle. Les systèmes basés processeur comprennent souvent plusieurs couches d'abstraction, pour aider à la planification des tâches et à la répartition des ressources entre les différents processus. La couche de driver contrôle les ressources matérielles et le système d'exploitation gère la mémoire et la bande passante du processeur. Sur chaque cœur de processeur, une seule instruction peut s'exécuter à la fois ; c'est pourquoi les systèmes basés processeur risquent toujours de voir des tâches prioritaires entrer en conflit. Les FPGA, qui n'utilisent pas de système d'exploitation, minimisent les problèmes de fiabilité car ils assurent une exécution véritablement parallèle et un matériel déterministe dédié à chaque tâche.

3.4.5 Maintenance à long terme

Comme nous l'avons vu, les circuits FPGA sont évolutifs et vous épargnent donc la dépense de temps et d'argent qu'implique la reconception des ASIC. Les spécifications des protocoles de communication numériques, par exemple, évoluent avec le temps. Or les interfaces basées sur ASIC peuvent poser des problèmes de maintenance et de compatibilité.

Comme ils sont reconfigurables, les circuits FPGA sont capables de s'adapter aux modifications éventuellement nécessaires. À mesure qu'un produit ou qu'un système évolue, vous pouvez y intégrer des améliorations fonctionnelles sans perdre de temps à reconcevoir le matériel ou à modifier l'implantation du circuit [33].

3.5 Principe de fonctionnement des FPGA

Un FPGA, comme l'indique son nom, se compose d'une matrice de blocs logiques reprogrammables. La topologie d'interconnexion entre les différents blocs logiques fait distinguer deux structures : la topologie arborescente et la topologie maillée. La première se base sur une structure qui relie les blocs logiques d'une façon hiérarchique et récursive. La deuxième est une structure organisée sur la forme de mailles et les blocs logiques de chaque ligne sont reliés en cascade. La première topologie offre une taille plus miniature pour la plateforme, mais en revanche une simplicité critique pour l'opération de routage. C'est pour cette raison que la plupart des fabricants adoptent la topologie maillée qui est totalement le contraire. La figure 3.2 montre l'architecture d'un FPGA qui adopte la topologie maillée [34].

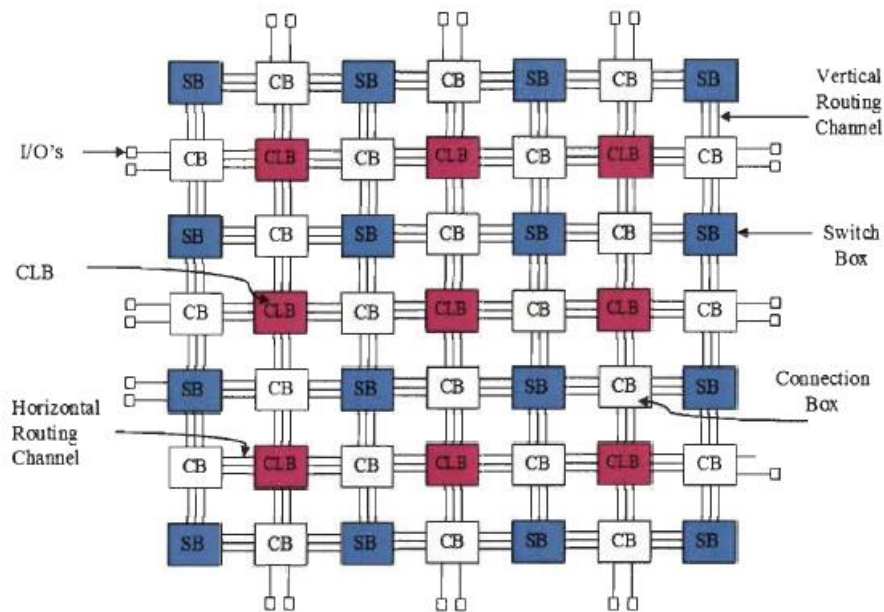


Figure 3-2 Architecture traditionnelle d'une plateforme FPGA à base de mailles

Un FPGA peut contenir différents blocs logiques entre les blocs d'entrée et les blocs de sortie, tout dépend des technologies utilisées et à quelle application il est désigné. En plus, ce que la figure 3.2 montre, un FPGA peut contenir aussi des mémoires, des multiplicateurs et des additionneurs déjà implémentés. Dans la partie suivante nous présenterons une partie des composants qui constituent le mécanisme qui nous permet de configurer (programmer) une puce de silicium.

3.5.1 Une simple fonction programmable

Pour présenter les différents composants, nous commençons par proposer une simple fonction à deux entrées et une sortie.[35]

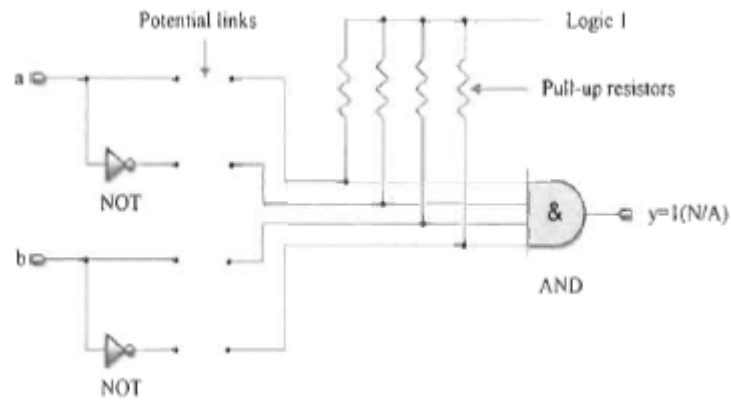


Figure 3-3 Exemple d'une simple fonction programmable

Les inverseurs à l'entrée de la fonction donnent une large plage de fonctionnalités pour cette fonction de base. Les connexions potentielles constituent le mécanisme de programmation de cette fonction. En disposant de deux entrées avec leurs états complémentaires, même une fonction simple comme AND peut être dérivée en $2^2=4$ fonctions. Des résistances de sécurité sont reliées sur l'état 1 pour la sécurité du circuit si cette fonction n'a pas été configurée [35].

3.5.2 Technologie de connexion à base de fusibles

Dans cette technologie, les fonctions logiques reprogrammables sont fabriquées avec toutes les connexions activées. Le dispositif de connexion est un fusible, semblable au fusible électrique utilisé pour sécuriser les montages électriques. L'idée c'est de faire griller volontairement le fusible correspondant à l'entrée indésirable, comme le montre la figure 3.4 [36].

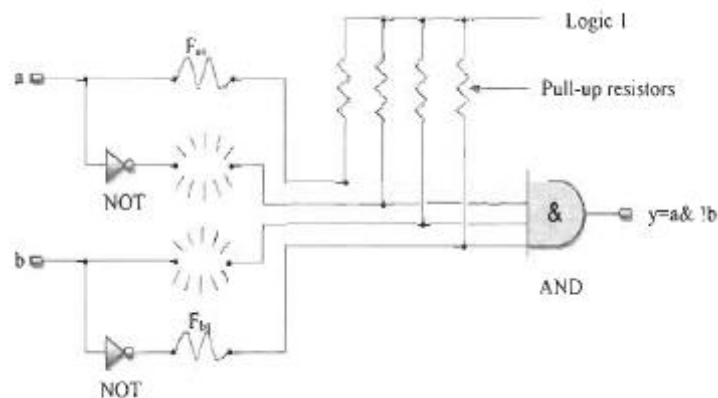


Figure 3-4 Exemple d'une connexion à base de fusibles [35]

3.5.3 Technologie de connexion à base d'anti-fusibles

L'anti-fusible est un dispositif à deux bornes qui a le même principe que le fusible, mais d'une façon inverse. L'anti-fusible dans son état normal est isolant contrairement au fusible et il est conducteur lorsqu'il subit une haute tension sur ses deux bornes [37]

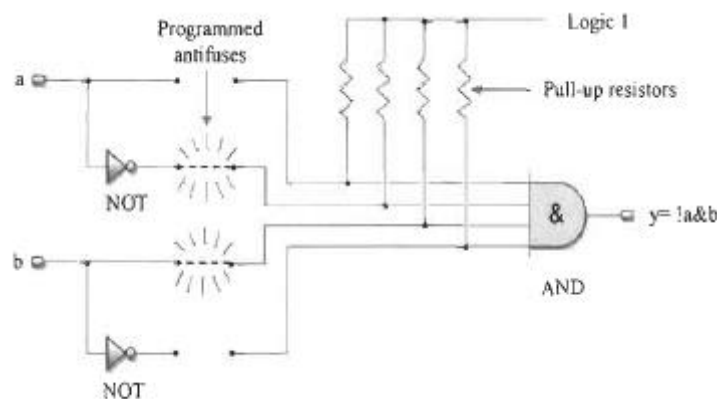


Figure 3-5 Exemple d'une connexion à base d'anti-fusibles [35]

3.5.4 ROM

Dans chaque système électronique, certaines informations doivent être stockées de façon permanente, c'est à dire qu'elles doivent être conservées même lorsque le système est hors tension.

Depuis une longue période, il y avait deux catégories différentes de mémoires non volatiles qui sont programmables électriquement: de l'EPROM et l'EEPROM (PROM effaçable électriquement).

EPROM ont une cellule de mémoire d'un seul transistor donc ils peuvent fournir une haute densité et rentabilité, cependant leur structure ne permet pas d'effacer les données stockées.

De par sa structure l'EEPROM a la capacité d'effacer électriquement des données. Toutefois, en raison de la structure complexe d'une cellule de mémoire, leur cout est assez élevé d'un côté, et de l'autre côté cette technologie offre une densité beaucoup plus faible qu'EPROM.

Avec le développement de la technologie des semi-conducteurs une troisième catégorie de mémoires non volatiles est devenue la ROM la plus demandée du marché. Cette technologie qui s'appelle Flash memory est de plus en plus utilisée ces dernières années sous forme de nouvelles architectures. L'architecture de base est représentée sur la figure 6 [36].

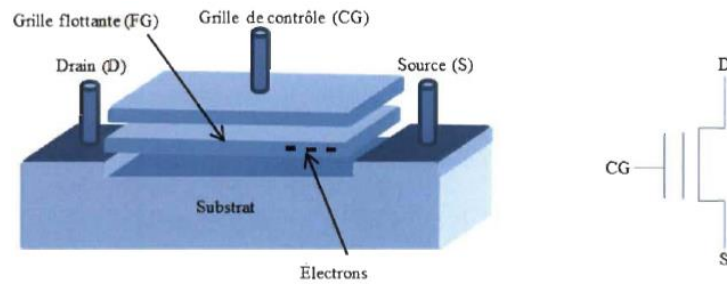


Figure 3-6 Cellule principale d'une mémoire à grille flottante et son schéma symbolique [35]

3.5.5 RAM

Les mémoires vives statiques sont constituées d'éléments statiques (transistors et diodes) d'où vient son appellation. Elles ont toujours joué un rôle essentiel dans la majorité des systèmes VLSI. Cependant, cette catégorie de RAM présente des faiblesses à basse échelle de tension; pour remédier à ce problème les mémoires vives dynamiques ont été proposées. À la base de ces deux catégories, plusieurs variétés ont été proposées au fil du temps.



Figure 3-7 Exemple d'une mémoire RAM statique et dynamique [35]

3.6 Les différentes architectures des FPGAs

Un FPGA est composé d'une matrice d'éléments logiques appelés Configurable Logic Block (CLB) connectés entre eux par des ressources d'interconnexions Figure 3.8.

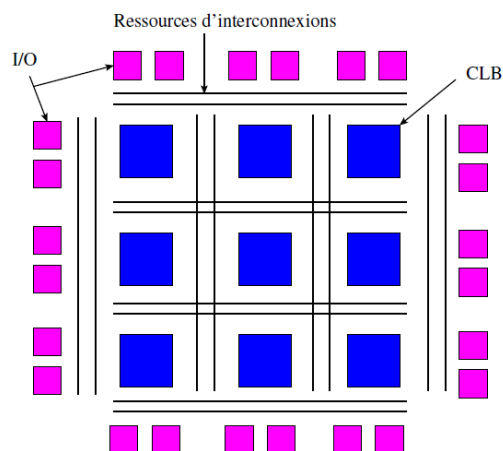


Figure 3-8 Architecture d'un FPGA

Chaque CLB est composé de BLEs (Basic Logic Element) utilisés pour implémenter la partie logique du circuit. Un CLB est donc caractérisé par le nombre de ses entrées I et par le nombre N de BLE qu'il contient. Dans les FPGAs modernes ce nombre de BLE peut varier de 3 à 12 et chaque BLE peut être connecté à n'importe quelle entrée I du CLB ou à un autre BLE comme indiqué par la figure 3.9.a. Un BLE est composé d'un ensemble de tables de transcodage (Look Up Table : (LUT) en anglais) ainsi que d'une bascule D pour implémenter les fonctions de bases grâce au bloc mémoire (SRAM), suivie d'un multiplexeur. Un BLE est composé de k LookUp Table ce qui permet d'implémenter une fonction logique à k entrées et une sortie et nécessite 2^k blocs mémoire pour la configuration. La bascule D quant à elle permet de choisir entre un fonctionnement logique ou séquentiel. Ensemble les LUT et la bascule D forme un Basic Logic élément (BLE illustré figure 3.9.b). Des études ont montré que la meilleure architecture de LUT en termes de performances est une LUT ayant 4 entrées [60] [38].

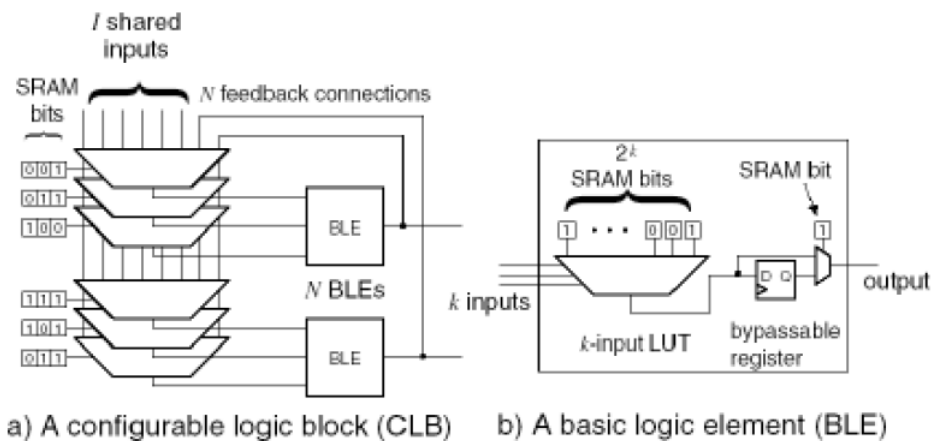


Figure 3-9 Architecture d'un CLB/BLE

Les éléments logiques sont connectés entre eux et aux entrées/sorties grâce au réseau d'interconnexion. Ce réseau est programmé de la même manière que les éléments logiques avec des RAMs statiques. L'ensemble permet de configurer complètement le FPGA. En théorie, il est donc possible de charger n'importe quelle fonction logique sur un FPGA. En la reprogrammation de l'ensemble des SRAM permet de reconfigurer entièrement le circuit et donc de changer l'application ou la fonction du FPGA. Pour finir, lors de la configuration du FPGA, la netlist contenant l'ensemble des connexions est envoyé au FPGA. Le placement des blocs logiques et la manière dont ils sont interconnectés est alors défini par un algorithme de placement et de routage.

3.6.1 Architecture matriciel (Mesh)

L'architecture la plus répandue et utilisée dans le commerce est l'architecture matricielle (Mesh) [39] [40] appelée aussi architecture de type îlot (Island style). Elle est composée d'une matrice de tuiles en deux dimensions, chaque tuile étant composée d'éléments logiques (CLB) et de ressources d'interconnexions avec des blocs de Connexions (C) et des Switch boxes (S comme indiqué sur la figure 3.10). Les blocs de connexions C sont utilisés pour connecter les éléments logiques au réseau d'interconnexion tandis que les Switches boxes permettent de connecter l'ensemble des blocs de connexions C.

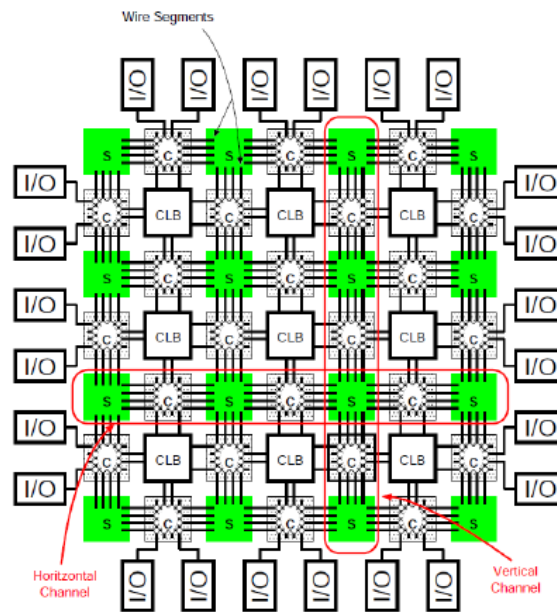


Figure 3-10 Mesh-based FPGA

Ce réseau d'interconnexion en 2 dimensions organisé en lignes et en colonnes est distribué tout autour des éléments logiques et permet de connecter n'importe quels éléments logiques entre eux ou aux entrées/sorties du FPGA. Le nombre de connexions (CW) entre les Switch boxes et les blocs de connexions représente le canal de routage (CR) du FPGA. Ces blocs d'interconnexions diffèrent par leurs topologies et leur flexibilité. Pour les blocs de connexions (C), la flexibilité est définie par le nombre de fils de routage du bloc d'interconnexions auxquels les entrées/sorties d'un bloc logique peuvent être connectées. Elle peut donc être définie par deux paramètres F_{cin} et F_{cout} (F_{cin} représente le nombre de connexions entre le bloc d'interconnexions et les entrées du bloc logique et F_{cout} entre le bloc d'interconnexions et les sorties du bloc logique). Par exemple, dans la figure 3.11.a), chaque CLB peut être connecté à deux fils du bloc de Connexions (C), la flexibilité sera donc $F_{cin}=F_{cout}= 2$.

Les Switches boxes utilisées pour interconnecter les blocs de Connexions au canal de routage (CR) ont plusieurs topologies. En effet, il existe des Switches boxes avec une topologie appelée disjoint [41], ou wilton [42] et pour finir universel [43]. La topologie va définir le nombre de connexions entre le canal de routage et chaque entrée d'un même bloc de Connexions (C). Ce nombre permet de définir la flexibilité des Switch boxes F_s . Par exemple, dans la figure 3.11.b), chaque segment en pointillés représente une connexion possible. Il y a 3 connexions possible, La flexibilité est donc $F_s = 3$.

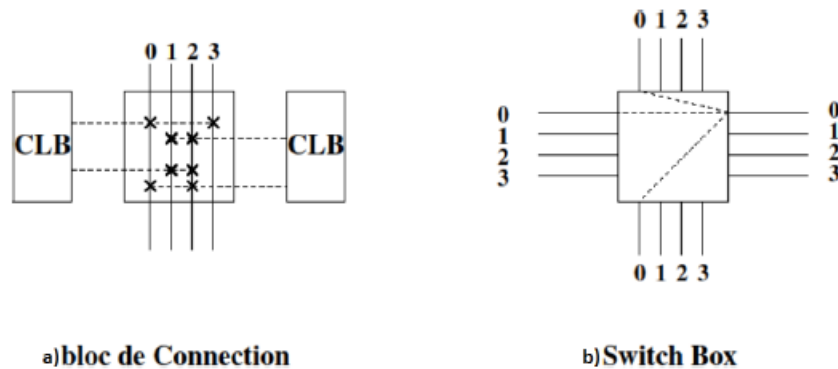


Figure 3-11 Exemple d'architecture d'un bloc de Connexions et d'une Switch box

Le canal de routage est formé de fils de routage permettant de connecter les blocs Connexions et les Switch boxes. Le nombre de fils du canal de routage CW est appelé largeur (ou taille) du canal. Cette taille est la même pour toute l'architecture du FPGA. La taille du canal de routage doit être fixée avant la fabrication du FPGA par le concepteur car c'est l'un des paramètres architecturaux les plus importants dans l'architecture d'un FPGA. En effet, le canal de routage doit permettre de router l'ensemble des signaux de l'application utilisée par le FPGA sinon on dit que l'application est non routable. Un canal de routage contient des fils de différentes longueurs. Cette longueur dépend du nombre de blocs logiques longeant le fil en question. La figure 3.12 montre un canal de routage avec des longueurs de fils allant de 1 à 4. Pour une longueur de fil supérieure à 1, le nombre de commutateurs programmables (switchs) traversés est réduit cela permet donc de réduire la surface ainsi que le délai de routage. Cependant, cette solution diminue la flexibilité du FPGA donc augmente la difficulté de routage de l'application. Dans l'industrie, les FPGAs sont souvent composés de segments de routage de différentes longueurs.

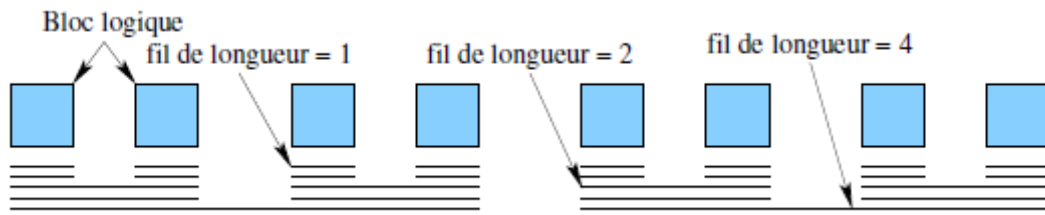


Figure 3-12 Exemple d'un canal de routage

En résumé les avantages et les inconvénients de cette architecture sont :

- **Avantage :** La régularité et la flexibilité de cette architecture.
- **Inconvénient :** Le réseau d'interconnexion utilise 90% de la surface totale, est responsable de 80% du délai de fonctionnement total et de plus de 85% de la consommation globale du FPGA [38] [44].

3.6.2 Architecture arborescent (Tree)

Pour réduire l'influence du réseau d'interconnexion et se rapprocher des performances en terme de surface et de vitesse des ASICs, une deuxième architecture de FPGA a été développée appelée Tree-based FPGA [45] [46]. En effet dans les mesh, 90% de la surface est occupée par le réseau d'interconnexions et le nombre important de commutateurs traversés augmente considérablement le délai de propagation. Une réduction du nombre de commutateurs dans l'architecture devrait donc permettre d'améliorer les performances du FPGA. Dans l'architecture arborescente (Tree), les blocs logiques sont regroupés sous forme de clusters et chaque cluster est composé d'un réseau local d'interconnexion sous forme d'une Switch box (illustré figure 13). Une Switch box est composé d'un réseau descendant pour connecter les entrées du cluster aux blocs logiques appelé Downward Mini Switch box (DMSB) ainsi que d'un réseau montant pour connecter les éléments logiques aux sorties du cluster appelé Up-ward Mini Switch box (UMSB). Pour connecter les UMSB/DMSBaux blocs logiques une interconnexion de type Butterfly-Fat-Tree (BFT) [47] est utilisée. La particularité de cette architecture est que chaque UMSB/DMSB de niveau N est connecté à 4 fois plus d'UMSB/DMSB de niveau N + 1. Par exemple, dans la figure 13, un bloc logique configurable (ici LB) est connecté à un UMSB de même niveau (ici niveau 1). Cet UMSB sera donc connecté à quatre fois plus de UMSB ($4 * 1 = 4$ UMSB) de niveau N + 1 = 2, 16 UMSB de niveau 3... Enfin les entrées/sorties sont regroupées dans un cluster spécifique et sont directement connectées aux UMSB/DMSB comme indiqué par la figure 3.13. Cette

configuration permet donc de connecter ces plots à n'importe quel élément logique de l'architecture.

Grâce à ce type d'architecture, une connexion entre deux blocs logiques nécessite moins de commutateurs comparée à l'architecture matricielle (mesh) car le nombre de commutateurs traversés augmente de façon logarithmique [48] (contrairement à l'architecture matricielle où le nombre de commutateurs augmente linéairement en fonction de la distance de Manhattan entre deux blocs logiques). Xilinx et Altera commercialisent des FPGA avec des architectures hiérarchiques tel que Xilinx Virtex-II [49] et Altera Apex [50]. Au LIP6, une architecture arborescente multiniveaux appelée Multi-level FPGA (MFPGA) [51] a été étudiée et montre un gain en surface de 40% comparé à une architecture matricielle. En résumé les avantages et les inconvénients de ce type d'architecture sont :

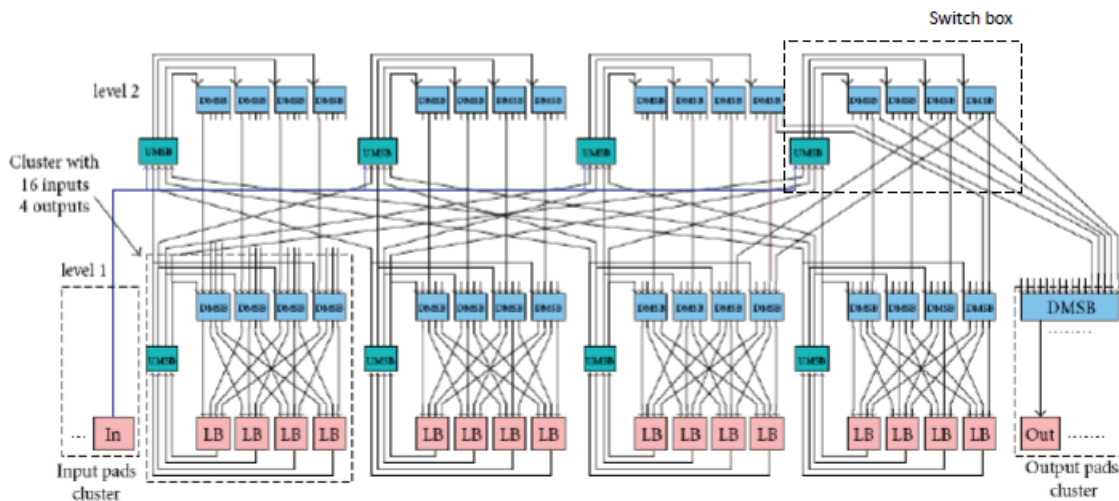


Figure 3-13 Tree-based FPGA

- Avantage : Réduction de l'impact du réseau d'interconnexion par rapport aux éléments logique (56% de switchs utilisés en moins comparé à une architecture de type mesh).
- Inconvénient : La taille du chemin critique est augmentée. De plus, plus le nombre de niveaux dans l'architecture est important, plus il est difficile de générer le layout correspondant car l'architecture souffre de problèmes de scalabilité.

3.7 Les familles de FPGA/EPLD

Le marché mondial des PLD représentait en 2004 3.3 Md\$ dont 85 % pour les FPGA et 15 % pour les CPLD à comparer avec un marché de 14 Md\$ pour les ASIC.

Deux points importants sont à noter pour le concepteur en électronique et concernent particulièrement les PLD: [25]

Chapitre 3 Les FPGA

- Après 2000, la compatibilité 5V des E/S n'est plus obligatoire. Certains circuits le tolèrent (avec une résistance série), d'autres non. Les tensions d'alimentations sont multiples (exemple Spartan-3 : 3.3, 2.5 et 1.2 V).
- Les boîtiers sont tous CMS. Quelques CPLD sont en boîtier PLCC et SOP. Pour les petits FPGA faible coût, on trouve encore des QFP 100, 144 ou 208 broches. Pour les autres circuits, il n'y a plus que des BGA (256 à 1760 broches).

Voyons maintenant les principaux fabricants de PLD ainsi que leur offre.

3.7.1 Xilinx (52 % part de marché)

Le tableau suivant dresse l'historique des PLD chez Xilinx. Les circuits en italique ne sont pas supportés par le synthétiseur interne XST. Xilinx ne commence à fabriquer des CPLD qu'à partir de 1995 pour avoir une offre complète. Dans cette optique, la société rachète la famille de CPLD « Coolrunner » (basse consommation) à Philips en 1999. [25]

Xilinx propose une gamme complète de nœuds multiples pour répondre aux exigences d'un large éventail d'applications. Que vous conceviez une application de réseau à la pointe de la technologie et hautes performances nécessitant la capacité, la bande passante et les performances les plus élevées, ou que vous recherchiez un FPGA à faible coût et à faible encombrement pour faire passer votre technologie définie par logiciel au niveau supérieur, Les FPGA et les circuits intégrés 3D Xilinx vous offrent une intégration système tout en optimisant les performances / watt. [52]



Tableau 3-3 Gamme de produits Xilinx multi-nœuds

- Outil logiciel : ISE.
- Processeurs embarqués soft : Picoblaze, Microblaze.
- Processeurs embarqués hard : PPC405.

3.7.2 Altera (34 % part de marché)

Le tableau suivant dresse l'historique des PLD chez Altera. Altera ne commence vraiment à fabriquer des FPGA SRAM qu'à partir de la FLEX10K. Avant 1995, Altera ne vendait que des CPLD. [25]

| FPGA (SRAM) | FPGA faible coût | CPLD (Flash) |
|----------------------------------|--------------------|--|
| FLEX8000 (1992) | | Classic (EP300 1984) MAX 500 (1988) |
| FLEX10K (1995) | FLEX6000 (1997) | MAX 7000 (1991) |
| APEX20K (1999) | | MAX 9000 (1994) |
| APEX20KE, 20KC | ACEX 1K (2000) | |
| APEX II (2001) | | |
| Stratix (2002) | Cyclone (2002) | |
| Stratix-II (2004) | Cyclone II (2004) | MAX II (2004) |
| Stratix® II GX (2005) | | |
| Stratix® III (2006) | Cyclone III (2007) | MAX IIZ (2007) |
| Stratix® IV (2008) | Cyclone IV (2009) | |
| Stratix® V (2010) | Cyclone V (2011) | MAX V (2010) |
| Intel® Stratix® 10 (2013) | | Intel MAX 10 (2014) |
| | Cyclone 10 (2017) | |

Tableau 3-4 l'historique des PLD chez Altera

- Outil logiciel : Max+plus II, Quartus II.
- Processeur embarqué soft : NIOS.

3.7.3 Les autres fabricants

Les autres fabricants vivent sur des niches du marché des PLD, malgré tous leurs efforts pour en sortir. Lattice (8 % part de marché) a racheté VANTIS à AMD qui avait elle-même racheté MMI, le créateur des PAL. Lattice est le spécialiste des PAL. [25]. Actel (6 % part de marché) est l'inventeur des FPGA à anti-fusibles. Autres fournisseurs : Quicklogic, Atmel et Cypress.

3.8 Exemples des Cartes (FPGA) de développement

3.8.1 Carte de développement DE2(Altera)

Une photographie de la carte DE2 est illustrée à la figure 3.14. Il décrit la disposition de la carte et indique l'emplacement des connecteurs et des composants clés.

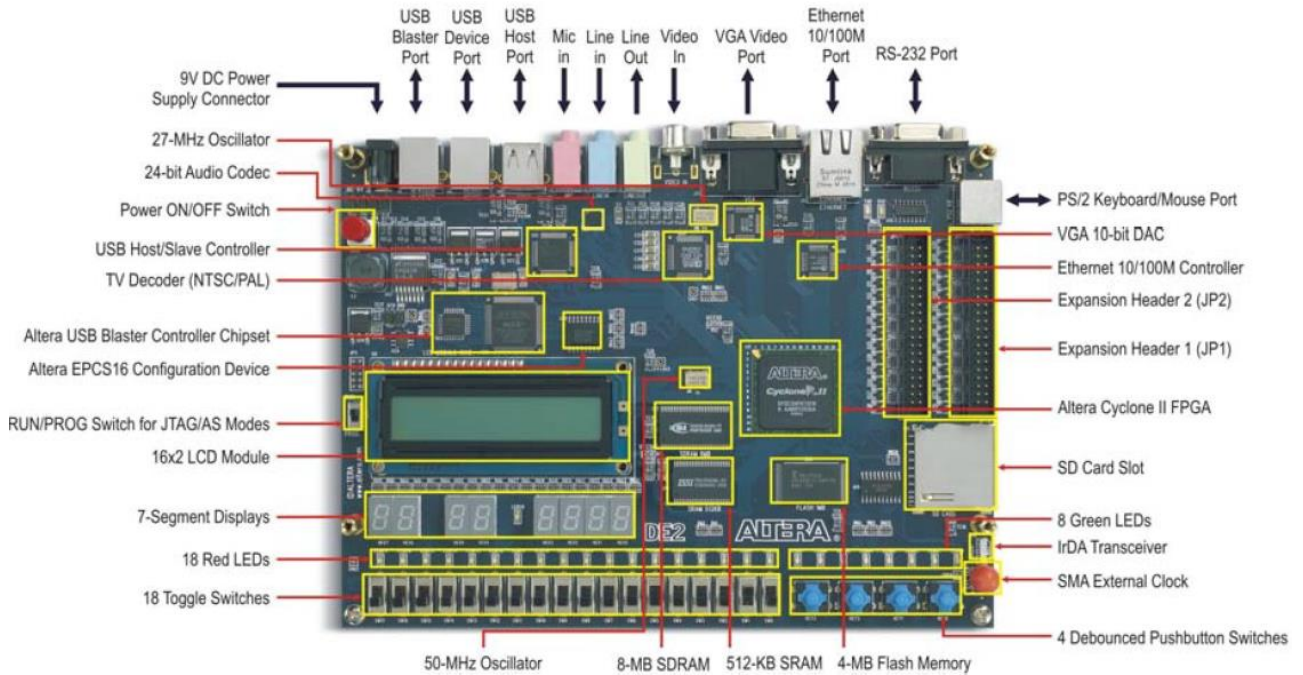


Figure 3-14 La carte de développement DE2

La carte DE2 possède de nombreuses fonctionnalités qui permettent à l'utilisateur de mettre en œuvre une large gamme de circuits, des simples circuits aux divers projets multimédias. [53]

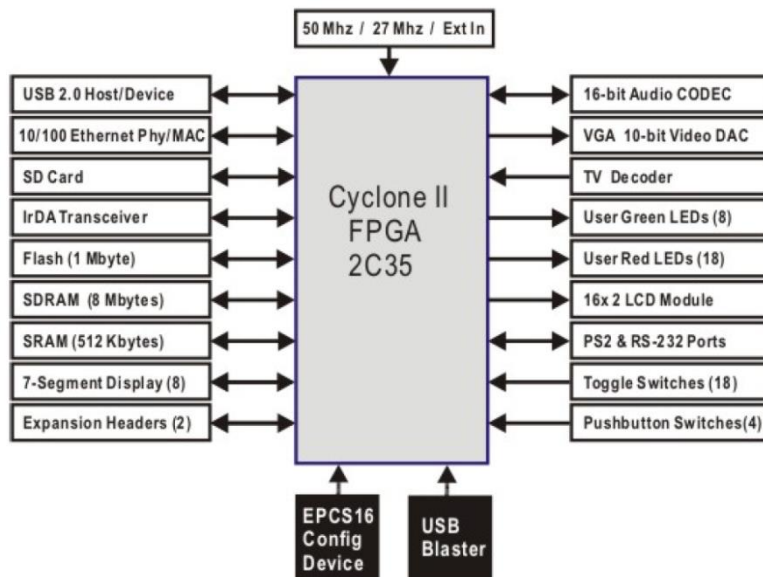


Figure 3-15 Schéma fonctionnel de la carte DE2.

Le matériel suivant est fourni sur la carte DE2:

- Appareil FPGA Altera Cyclone® II 2C35
- Dispositif de configuration série Altera - EPCS16
- USB Blaster (embarqué) pour la programmation et le contrôle de l'API utilisateur; à la fois JTAG et Active Serial Les modes de programmation (AS) sont pris en charge
- SRAM 512 Ko
- SDRAM 8 Mo
- Mémoire flash de 1 à 4 Mo
- Prise pour carte SD
- 4 boutons poussoirs
- 18 interrupteurs à bascule
- 18 LED utilisateur rouges
- 9 LED utilisateur vertes
- Oscillateur 50 MHz et oscillateur 27 MHz pour les sources d'horloge
- CODEC audio de qualité CD 24 bits avec prises d'entrée de ligne, de sortie de ligne et d'entrée de microphone
- VGA DAC (triple DAC haute vitesse 10 bits) avec connecteur de sortie VGA
- Décodeur TV (NTSC / PAL) et connecteur d'entrée TV
- Contrôleur Ethernet 10/100 avec un connecteur
- Contrôleur hôte / esclave USB avec connecteurs USB de type A et de type B
- Émetteur-récepteur RS-232 et connecteur 9 broches
- Connecteur souris / clavier PS / 2
- Émetteur-récepteur IrDA
- Deux connecteurs d'extension à 40 broches avec protection diode

3.8.2 Carte de développement ATLYS– Digilent (Xilinx)

Le circuit imprimé Atlys est une plate-forme de développement de circuits numériques complète et prête à l'emploi basée sur un FPGA Xilinx Spartan-6 LX45, vitesse -3. La grande collection FPGA et embarquée des périphériques haut de gamme dont Gbit Ethernet, Vidéo HDMI, mémoire DDR2 de 128 Mo 16 bits, et les ports USB et audio font de la carte Atlys un hôte idéal pour une large gamme de systèmes, y compris le processeur intégré conceptions basées sur MicroBlaze de Xilinx. Atlys est compatible avec tous les outils de CAO Xilinx, y

compris ChipScope, EDK et l'ISE WebPack™ gratuit, donc les conceptions peuvent être complétées sans frais supplémentaires. [54]

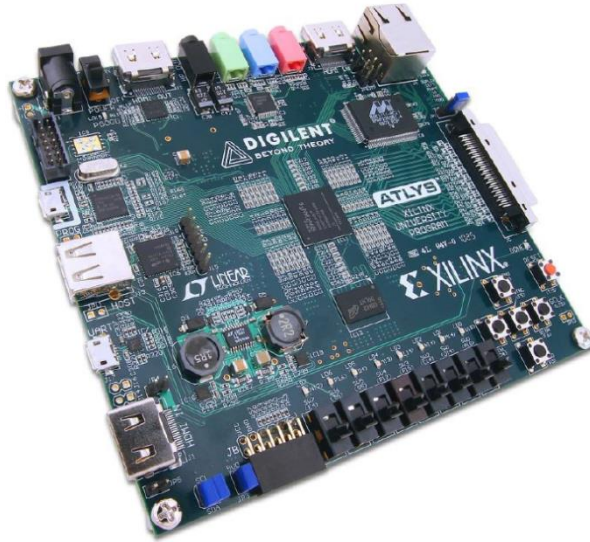


Figure 3-16 La carte de développement ATLYS

Le Spartan-6 LX45 est optimisé pour une logique de haute performance et offre:

- 6 822 tranches, chacune contenant quatre 6-entrées LUT et huit bascules
- 2,1 Mo de RAM de bloc rapide
- Quatre tuiles d'horloge (huit DCM et quatre PLL)
- Six boucles à verrouillage de phase
- 58 tranches DSP
- 500 MHz + vitesses d'horloge

La carte Atlys comprend le plus récent de Digilent Système Adept USB2, qui offre un appareil programmation, alimentation en temps réel surveillance, tests de carte automatisés, virtuel E / S et transfert simplifié des données utilisateur installations. [54]

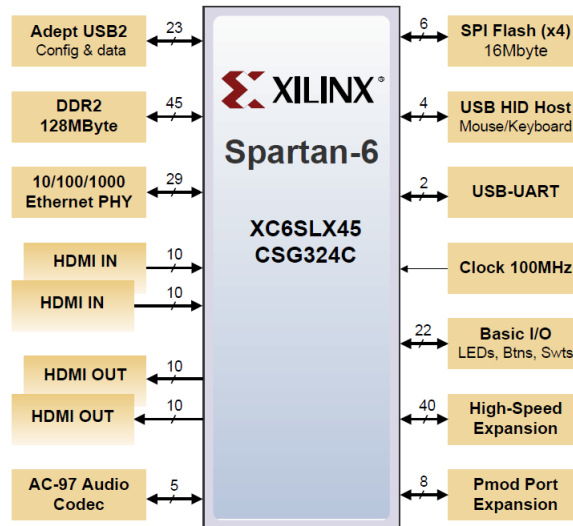


Figure 3-17 Schéma fonctionnel de la carte ATLYS.

3.9 Outils de Développement

L'objectif du processus de développement d'une application utilisant les PLD passe par un certain nombre d'étapes allant de la description de l'application à la programmation du composant. Le développement sur les différents circuits logiques peut être désigné par la Figure 3.18.

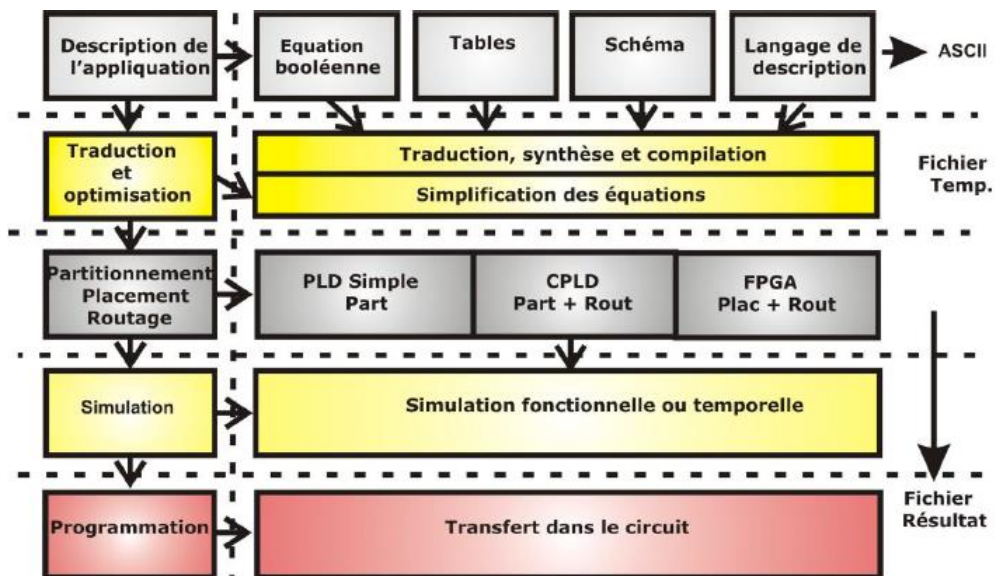


Figure 3-18 Les étapes du développement pour les PLD

3.9.1 La description

3.9.1.1 Description d'un système : Saisie de la description (Edition)

Pour décrire un système, plusieurs approches sont possibles qu'il est parfois possible de combiner. On peut classer ces différentes descriptions en 3 catégories :

3.9.1.2 Description graphique : schéma logique / schéma bloc

La description par schéma bloc est une description graphique. Chaque sous-fonction, considérée comme un composant, est décrite à l'aide d'un schéma logique. C'est une vue structurelle qui est hiérarchique par définition. On peut ainsi faire une description ascendante ou descendante. Puisque les autres langages de description peuvent être transformés en composants ou symboles, on peut donc les combiner. Des fonctions logiques prédéfinies (portes, bascules, compteurs, décodeur, mémoires, additionneurs, ...) sont considérées comme disponibles. La description schématique permet aussi d'utiliser tout autre composant disponible dans une bibliothèque connue.

Remarque : Certains outils offrent les moyens de décrire directement des machines à états et de réaliser leur synthèse.

3.9.1.3 Description textuelle : langages de description

Plusieurs langages HDL sont inclus dans les IDE. Les plus courants sont : VHDL, Verilog, System Verilog et souvent un langage propriétaire comme ABEL de Lattice et AHDL d'Altera.

Une description textuelle peut être transformée en un symbole graphique que l'on peut utiliser lors de la description graphique. De même, on peut transformer un symbole graphique en un composant d'un des langages supportés par l'IDE. Certains outils permettent d'éditer des fichiers de contenu de mémoire qui seront directement programmés dans la ressource mémoire d'un FPGA par exemple. [55]

3.9.1.4 Bibliothèque de composants des fabricants (LPM) et IP

La plupart des fabricants de circuits logiques programmables ou des éditeurs d'outils de développement (EDA = Electronic Development Automation) mettent à disposition des composants génériques complexes stockés dans une librairie appelée LPM (Library of Parameterized Modules). Ces composants vont des fonctions simples aux plus complexes.

Ils sont optimisés pour les architectures de ces fabricants et ils exploitent les spécificités et les fonctions spéciales intégrées (Mémoires, PLL, Multiplieurs, etc.). L'IDE permet de

générer sous forme de composant configurable, l'élément LPM dans un des langages supportés. Par exemple, avec Quartus II d'Altera, on dispose du menu Megawizard pour cet effet.

De même, les composants appelés IP (Intellectual Property) sont développés et mis à disposition avec des autorisations payantes d'utilisation. Ils sont considérés comme des blocs fonctionnels matériels exploités comme tout composant.

3.9.2 La Compilation

La compilation permet d'analyser syntaxiquement les fichiers sources du projet en cours (fichiers de description, fichiers de contraintes, etc.) et de produire un ensemble de fichiers permettant la simulation ainsi que la programmation finale du circuit. La compilation se décompose en 4 étapes principales (le résultat de chaque étape est contenu dans des fichiers distincts). [55]

3.9.2.1 Analyse et Synthèse (Analysis & Synthesis) :

- Vérification des fichiers de description (syntaxe, cohérence, ...).
- Simplifications logiques et synthèse des différentes descriptions en un seul fichier résultat. Vérification de la possibilité d'intégrer la description finale dans le composant choisi (vérification entre autre du nombre de portes nécessaires, bascules, éléments mémoires, nombre de broches, ...).

3.9.2.2 Intégration – placement / routage (Fitter) :

- L'intégration affecte chaque fonction logique à un ensemble de ressources (utilisation optimale des ressources disponibles sur le composant choisi). L'objectif étant de respecter les contraintes fonctionnelles et temporelles du projet. L'intégration recherche à optimiser l'interconnexion entre les ressources.
- Il est possible de contraindre le système à utiliser certaines ressources.
- Lorsque les ressources disponibles sur le composant sélectionné sont insuffisantes, l'étape d'intégration génère un message d'erreur précisant ces ressources manquantes.

3.9.2.3 Assemblage :

- L'assemblage est la dernière étape de la compilation. Elle traduit le fichier résultat de l'intégration en un fichier de programmation du composant.

- Plusieurs formats de fichier de programmation sont envisageables en fonction de la cible choisie : programmation directe du composant, programmation de la mémoire de configuration du composant, ...

3.9.2.4 Analyse temporelle :

L'analyse temporelle est basée sur le résultat de l'intégration. Cette étape vérifie et valide les performances temporelles (horloges, temps de propagation, ...) de la logique synthétisée dans le composant choisi.

3.9.3 La synthèse

A partir des différentes descriptions, l'analyse et la synthèse :

- Construisent une base de données,
- Vérifient dans un premier temps la cohérence du projet (cohérence en termes de fonction logique). Cette base de données sera utilisée pour optimiser les équations logiques.
- Optimisent la logique en utilisant plusieurs algorithmes pour réduire au minimum le nombre de portes et utiliser l'architecture du dispositif programmé aussi efficacement que possible.

3.9.4 La simulation

On distingue deux types de simulations : fonctionnelle et temporelle.

3.9.4.1 Simulation fonctionnelle

Cette simulation basée sur le résultat de l'analyse et de la synthèse des différentes descriptions, permet de vérifier le comportement logique du système décrit. Cette simulation peut s'effectuer sur l'ensemble du système synthétisé ou sur une partie.

3.9.4.2 Simulation temporelle

Cette simulation permet à la fois de vérifier le comportement logique du système (simulation fonctionnelle) mais aussi d'étudier les situations temporelles critiques. Elle n'est possible qu'après la phase de placement - routage. Elle décrit le comportement réel (en tenant compte des différentes contraintes temporelles ou d'espace,) du système synthétisé.

Cette simulation prend davantage de temps que la simulation fonctionnelle. En contrepartie, elle permet de valider complètement le fonctionnement du système décrit.

3.9.4.3 Les fichiers de simulation

Les IDE disposent d'outils de dessin permettant de tracer les chronogrammes des signaux d'entrée des systèmes à simuler. Après calcul, l'outil complète les chronogrammes avec les sorties calculées en fonction de la description.

Fichier Test bench : ce fichier contient

- Une instance du système à simuler,
- La liste des entrées commandées avec des valeurs choisies,
- La liste des sorties attendues.

Ce fichier peut être décrit notamment en Verilog et en VHDL.

L'outil IDE utilise ce fichier et après calcul génère les résultats de la simulation sous forme de chronogrammes. [55]

3.9.5 Configuration (programmation) :

Enfin, la dernière étape avant la programmation effective du FPGA consiste à générer un bitstream. Ce bitstream est en fait un fichier contenant tous les bits de configuration du FPGA, construit pour correspondre parfaitement au circuit décrit lors du placement/routage.

Une fois le bitstream créé, il ne reste plus qu'à le télécharger sur le FPGA grâce à une interface dédiée. Le FPGA restera ainsi configuré tant qu'il sera sous tension, ou bien lorsqu'un autre circuit y sera programmé suivant le même procédé.

ISE, est l'environnement de développement fourni par Xilinx. Cette suite logicielle inclut notamment le synthétiseur XST, ainsi que tous les outils évoqués précédemment. Par contre Altera fourni l'environnement de développement Quartus. [56]

3.10 Conclusion

L'adoption de la technologie FPGA continue d'augmenter à mesure que des outils de plus haut niveau tels que le langage VHDL rend les FPGA plus accessibles. Cependant, il est toujours important de regarder à l'intérieur du FPGA et d'apprécier tout ce qui se passe réellement lorsque les schémas de principe sont compilés pour s'exécuter en silicium. La comparaison et la sélection de cibles matérielles basées sur des bascules, des LUT, des multiplicateurs et des blocs de RAM est le meilleur moyen de choisir la bonne puce FPGA pour votre application. Comprendre l'utilisation des ressources est extrêmement utile pendant le développement, en particulier lors de l'optimisation de la taille et de la vitesse.

Chapitre 3 Les FPGA

La conception assistée par ordinateur est maintenant reconnue dans tous les domaines. Toutefois, il est nécessaire de continuer à la promouvoir, pour que la CAO ne soit plus uniquement utilisée comme un simple outil de dessin. Les systèmes actuels permettent la gestion des connaissances et des maquettes numériques qui doivent être utilisées afin de valoriser le système.

Le VHDL est un langage qui peut déconcerter, au premier abord, le concepteur de systèmes numériques, plus habitué aux raisonnements traditionnels sur des schémas peu familiers des langages de description abstraite. Il est vrai que le langage est complexe. Mais ce type d'approche est d'une très grande souplesse, et d'une efficacité redoutable. Des problèmes de synthèse qui pouvaient prendre des heures de calcul, dans une démarche traditionnelle, sont traités en quelques lignes de programme.

Dans ce chapitre, nous avons présenté les circuits logiques programmables de type FPGA et le langage VHDL dont nous précisons ici les principaux avantages :

- Le premier argument est évidemment la nouvelle possibilité de reconfiguration dynamique partielle ou totale d'un circuit, ce qui permet d'une part, une meilleure exploitation du composant, une réduction de surface de silicium employé et donc du coût, et d'autre part, une évolutivité assurant la possibilité de couvrir à terme des besoins nouveaux sans nécessairement revoir l'architecture dans sa totalité. L'un des points forts de la reconfiguration dynamique est effectivement de permettre de reconfigurer en temps réel en quelques microsecondes l'ensemble ou une partie du circuit, c'est à dire de permettre de modifier la fonctionnalité d'un circuit en temps quasi réel. Ainsi le même CLB pourra à un instant donné être intégré dans un processus de filtrage numérique d'un signal et l'instant d'après être utilisé pour gérer une alarme. On dispose donc quasiment de la souplesse et la flexibilité d'un système informatique, avec la différence fondamentale d'avoir une configuration matérielle, ce qui est infiniment plus puissante.
- Le second argument est que ces circuits n'ont pas la vocation à concurrencer les supercalculateurs, mais plutôt à offrir une alternative en fonction de critères comme l'encombrement, les performances et le prix, et sont de ce fait bien adaptés à des applications de qualité dans le domaine des systèmes ambulatoires.
- Enfin, il semble que de plus en plus fréquent, les concepteurs de circuits ASIC préfèrent passer par l'étape intermédiaire d'un FPGA ce qui est moins risqué économiquement, puis une fois que le modèle FPGA est mis au point, il est alors

aisé de le retranscrire dans une architecture de type pré-diffusé ou pré-caractérisé. Ce que tous les fondeurs de silicium savent pour en faire un circuit réellement personnalisé et confidentiel. Le FPGA n'étant évidemment pas un circuit très sécurisé sur le plan de la confidentialité puisqu'il suffit d'analyser le contenu de la ROM associée pour remonter à la schématique imaginée.

- Le principal avantage du VHDL, lorsqu'il est utilisé pour la conception de systèmes, est qu'il permet de décrire (modéliser) et de vérifier (simuler) le comportement du système requis avant que les outils de synthèse ne traduisent la conception en matériel réel (portes et fils).
- Un autre avantage est que VHDL permet la description d'un système concurrent. VHDL est un langage de flux de données dans lequel chaque instruction est considérée pour une exécution simultanée, contrairement aux langages de calcul procédural tels que BASIC, C et le code d'assemblage, où une séquence d'instructions est exécutée séquentiellement, une instruction à la fois.
- Un programme en VHDL est polyvalent. Étant créé une fois, un bloc de calcul peut être utilisé dans de nombreux autres projets. Cependant, de nombreux paramètres de blocs de formation et fonctionnels peuvent être ajustés (paramètres de capacité, taille de la mémoire, base de l'élément, composition de bloc et structure d'interconnexion).
- Un programme en VHDL est portable. Étant créé pour une base d'éléments, un projet de dispositif informatique peut être porté sur une autre base d'éléments, par exemple VLSI avec diverses technologies.

Chapitre 4
**Conception et simulation des
principes de base du système
OFDM**

4 Chapitre 4 Conception et simulation des principes de base du système OFDM

4.1 Introduction

Afin de concevoir et de mettre en œuvre un système OFDM, quatre étapes sont suivies selon le flux de conception illustré à la Figure 4-1. À chaque étape, le système OFDM est modélisé et simulé pour obtenir des résultats de simulation qui atteignent des performances élevées avant de passer à l'étape suivante. Dans ce chapitre, le flux de conception d'un système OFDM est proposé. Les deux premières étapes du processus de conception, à savoir la modélisation et la simulation MATLAB et Simulink, sont abordées dans ce chapitre.

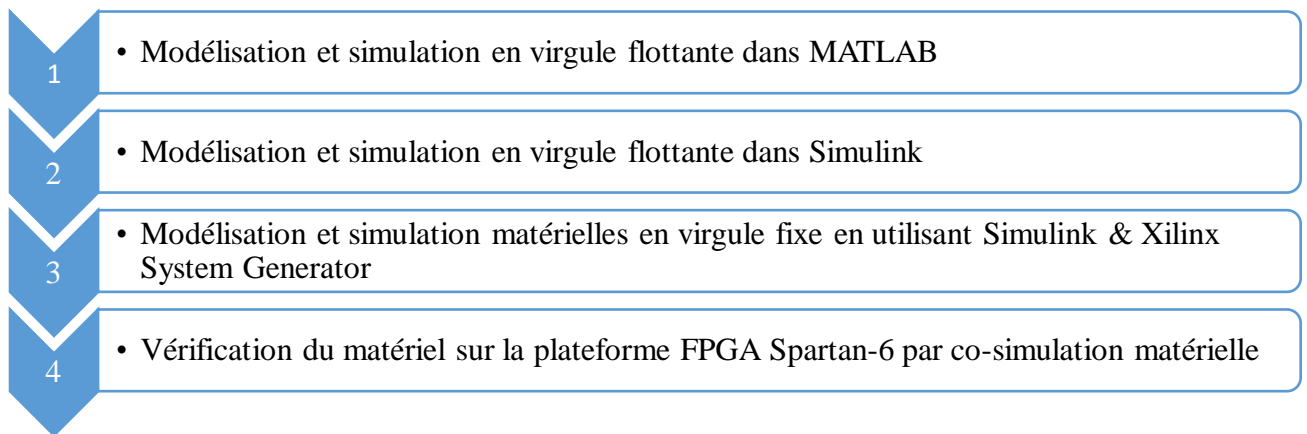


Figure 4-1 Flux de conception de l'implémentation OFDM

Pour évaluer les performances des systèmes de communication, le taux d'erreur binaire en fonction de l'énergie binaire et de la densité spectrale du bruit (E_b/N_0) est trouvée en utilisant la simulation de Monte Carlo. En comparant la courbe BER des résultats de simulation pour les systèmes QPSK-OFDM avec le BER QPSK théorique courbe, les performances de chaque système OFDM sont évaluées et analysées.

Dans un second temps, le système OFDM avec préfixe cyclique étendu est modélisé sur la base paramètres de liaison descendante LTE et simulés dans l'environnement Simulink. Contrairement à MATLAB, de nombreux paramètres de l'environnement Simulink tels que la période d'échantillonnage doit être déterminés. Comme le modèle OFDM a différents taux d'échantillonnage, la conception basée sur le modèle OFDM est divisée en sous-systèmes.

En fait, Simulink est une extension graphique de MATLAB pour la modélisation et la simulation de système multi-débits avec différents pas de temps de simulation. À l'aide de la bibliothèque de communication Simulink, le système OFDM est modélisé sur la base du

modèle de MATLAB. Chaque bloc Simulink représente une formulation mathématique qui a déjà été implémentée dans MATLAB. La conception basée sur un modèle est simulée à l'aide d'une représentation en virgule flottante. Afin de dessiner la courbe BER de la conception OFDM, les données d'entrée et de sortie du Simulink sont stockées dans l'espace de travail MATLAB pour l'analyse et la visualisation. Ce modèle Simulink OFDM est considéré comme la base de l'implémentation basée sur Xilinx en remplaçant les blocs Simulink par des blocs Xilinx. Cependant, certains blocs Simulink tels que la source de données et les récepteurs sont toujours nécessaires pour la co-simulation matérielle.

La conception d'un système OFDM à l'aide de blocs Xilinx est la troisième étape du processus de conception. Dans cette étape, les blocs Simulink à virgule flottante sont remplacés si possible par des blocs Xilinx à virgule fixe. Certains sous-systèmes Xilinx sont conçus pour avoir les mêmes fonctionnalités que les blocs Simulink. L'utilisation de la représentation en virgule fixe conduit à un compromis entre les performances du système et la taille de la conception OFDM Xilinx puisque le nombre de bits attribués dans la représentation en virgule fixe affecte les performances du système. Le plus grand nombre de bits attribués, la conception matérielle plus complexe. Le nombre de bits attribués est choisi pour rendre la taille de la conception matérielle adaptée à la mise en œuvre FPGA Xilinx Virtex-5 avec des performances élevées.

La dernière étape du processus de conception consiste à vérifier la conception basée sur Xilinx dans le matériel réel. Tout d'abord, la conception est compilée en un bloc de co-simulation matérielle à l'aide du générateur de système Xilinx qui couvre les conceptions Xilinx en flux de bits prêts à être téléchargés sur un FPGA. Le bloc de co-simulation matérielle est ensuite testé dans l'environnement Simulink bien que la conception soit en fait exécutée sur Xilinx Spartan-6 FPGA. En d'autres termes, la conception matérielle est intégrée dans la conception Simulink. En conséquence, la conception Xilinx OFDM est testée et vérifiée sur Xilinx Spartan-6 FPGA par co-simulation matérielle. L'évaluation des performances du système se fait en comparant le BER de la co-simulation matérielle et la modulation QPSK théorique sous évanouissement sélectif en fréquence.

4.2 Modélisation et simulation en virgule flottante dans MATLAB (travaux de la conférence)

Afin d'effectuer des tâches dans les communications numériques et le traitement du signal numérique, le logiciel MATLAB a été utilisé efficacement pour la simulation, le test et l'évaluation des performances du système. La conception du système OFDM doit être testée

avant de pouvoir être mise en œuvre pour éviter toute erreur de conception. Par conséquent, notre système OFDM est modélisé et simulé dans MATLAB et Simulink, avant que le code VHDL ne soit généré et téléchargé sur la carte Atlys Spartan-6 pour l'implémentation. Pour une meilleure compréhension des processus de modulation du signal, chaque étape de la modulation OFDM est décrite et développée dans ce chapitre. Étant donné que le récepteur effectue les processus inverses de l'émetteur, seuls les blocs d'émetteur sont détaillés.

Le schéma de transmission de liaison descendante LTE est basé sur la modulation OFDM. Pour modéliser un système OFDM basé sur des paramètres 3GPP LTE, les spécifications OFDM doivent être définies en fonction de la bande passante de transmission. En utilisant les paramètres de liaison descendante de bande passante LTE 5MHz, deux systèmes OFDM avec CP normal et étendu sont modélisés dans MATLAB avec une représentation en virgule fixe. Comme expliqué dans le **Tableau 4-1**, la taille IFFT de la largeur de bande de transmission de 5 MHz est de 512, ce qui représente le nombre de sous-porteuses OFDM. Les échantillons CP normal et étendu sont respectivement de 36 et 128 échantillons.

| BW Transmission | | 1.4 MHz | 3 MHz | 5 MHz | 10 MHz | 15 MHz | 20 MHz |
|-------------------------|----------|----------------|--------------|--------------|---------------|---------------|---------------|
| DFT SIZE | | 128 | 256 | 512 | 1024 | 1536 | 2048 |
| No of CP samples | Normal | 9 | 18 | 36 | 72 | 108 | 144 |
| | Extended | 32 | 64 | 128 | 256 | 384 | 512 |

Tableau 4-1. Paramètres typiques pour la transmission descendante

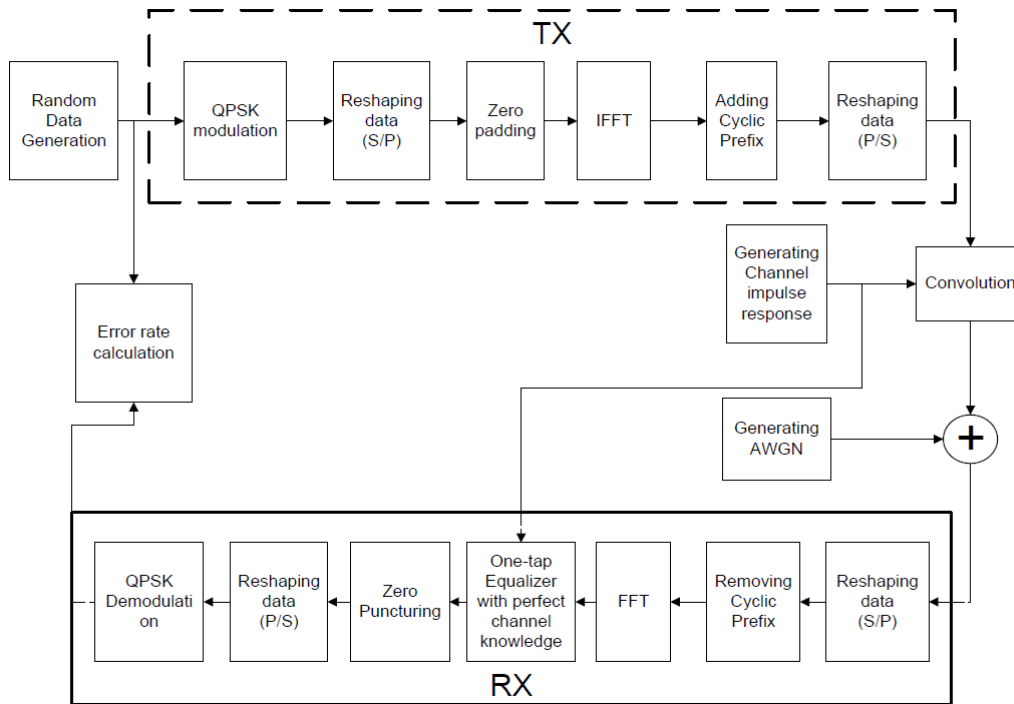


Figure 4-2. Schéma fonctionnel d'un émetteur-récepteur OFDM

4.2.1 Génération de données aléatoires

Dans la première étape, une matrice de données aléatoires numériques m par n est générée avec la condition qu'il ne doit avoir que des valeurs scalaires de 0 ou 1 avec la même probabilité pour être similaire au signal numérique d'origine dans la communication numérique. Pour déterminer la taille de la matrice, de nombreux facteurs doivent être pris en compte tels que le nombre de symboles OFDM, la taille de la FFT, nombre de zéros remplis et technique de modulation. Une grande taille de matrice d'entrée peut entraîner ordinateur à manquer de mémoire, en fonction de la RAM de l'ordinateur. Dans notre conception, FFT a une taille de 512, le nombre de symboles OFDM est 10^5 et la modulation QPSK est utilisée. En supposant 256 zéros sont remplis dans un symbole OFDM, le nombre de bits par symbole OFDM est représenté comme $(512-256) * k = 512$, où $k = 2$ est l'indice de modulation pour QPSK. En conséquence, la taille de la matrice aléatoire est définie comme

$$M * N = N_{\text{OFDM sym}} * (\text{FFTsize} - N_{\text{zeros sym}}) * K$$

Par simplicité, le nombre de colonnes est supposé être 1, donc le nombre de lignes est $6 * 10^7$. En fait, cette détermination de la taille de matrice aléatoire vise à garantir que le nombre de symboles QPSK après le remplissage à zéro peut être remodelé pour être un nombre multiple de taille FFT sans reste. Cependant, le nombre de symboles OFDM par

matrice peut être aussi petit qu'un entier, mais de nombreuses matrices doivent être générées pour atteindre le nombre de symboles OFDM requis pour dessiner la courbe BER. En supposant que le message d'origine b_n où n est compris entre 1 et M , la matrice de données d'origine est représentée par

$$b_n = (b_1 b_2 b_3 b_4 \dots b_n)^T \text{ ou } b \in (0,1)$$

4.2.2 Modulation QPSK

Les données à envoyer sur chaque porteuse sont mappées dans un format QPSK avant d'être modulées par l'OFDM. Tous les deux bits série des données numériques d'origine sont mappés sur un symbole QPSK correspondant qui est différent en angles de phase 0, 90, 180 ou 270. Chaque groupe de deux bits est codé en axe en phase ou en quadrature. Par conséquent, chaque symbole QPSK peut être représenté sous la forme d'un nombre complexe $S_I + jS_Q$ ou S_I, S_Q (-1.0.1) si la constellation de la Figure 1-13 est utilisée pour le mappage. La constellation à déphasage nul est utilisée dans notre implémentation. Selon la modulation de modulation par décalage de phase, l'amplitude des symboles PSK est constante, de sorte que les symboles QPSK ont la même énergie, bien qu'ils aient des phases différentes.

La matrice de données d'origine est modulée en une matrice de nombres complexes sous forme de symboles QPSK et la taille est égale à la moitié de la taille de la matrice d'origine. La matrice de données modulée S est représentée comme

$$S = \{ S_{1,I} + j S_{1,Q}, S_{2,I} + j S_{2,Q}, S_{3,I} + j S_{3,Q}, \dots \dots S_{\frac{N}{2},I} + j S_{\frac{N}{2},Q} \}^T$$

Où $S_I + jS_Q$ est un symbole QPSK représenté dans un nombre complexe.

4.2.3 Conversion série vers parallèle

Dans cette section, les données série sont converties en données parallèles. La matrice modulée S , en tant que matrice d'entrée, est remodelée pour être une matrice qui a 256 colonnes. Dans ce cas, chaque ligne de 256 symboles QPSK est considérée comme des données parallèles. Ces 256 symboles QPSK sont regroupés pour être modulés pour créer un symbole OFDM. En fait, le but du remodelage est de former la matrice S pour être prête pour la modulation OFDM en utilisant IFFT. La nouvelle forme de matrice modulée peut être exprimée comme

$$\left\{ \begin{array}{l} S_{1,I}+j S_{1,Q}, \quad S_{2,I}+j S_{2,Q}, \dots \dots \dots S_{256,I}+j S_{256,Q} \\ S_{257,I}+j S_{257,Q}, \quad S_{258,I}+j S_{258,Q}, \dots \dots \dots S_{512,I}+j S_{512,Q} \\ \vdots \\ S_{\frac{N}{2}-254,I}+j S_{\frac{N}{2}-254,Q}, \quad S_{\frac{N}{2}-253,I}+j S_{\frac{N}{2}-253,Q}, \dots \dots \dots S_{\frac{N}{2},I}+j S_{\frac{N}{2},Q} \end{array} \right\}$$

Zéro rembourrage

Pour de meilleures performances, l'espacement de fréquence entre les sous-porteuses dans le domaine fréquentiel OFDM peut être diminué lorsque la fréquence d'échantillonnage augmente. Pour augmenter la fréquence d'échantillonnage, le sur échantillonnage est utilisé en ajoutant des zéros à la fin de la séquence de données d'origine. Lorsque les zéros sont remplis dans un signal, le nombre d'échantillons dans le domaine temporel augmente, ce qui augmente également la taille de la FFT. En raison de l'extension des échantillons FFT, le symbole OFDM aura une résolution plus élevée nécessaire pour le traitement du signal numérique tel que les conversions numérique-analogique et analogique-numérique. Le processus de sur échantillonnage doit suivre le théorème d'échantillonnage de Nyquist pour éviter les problèmes de crénelage qui peuvent se produire dans le domaine fréquentiel. Par conséquent, le taux de Nyquist doit être au moins deux fois la fréquence la plus élevée dans le signal échantillonné [29]. Comme le nombre d'échantillons pour FFT est de 256, le nombre de zéros ajoutés doit être d'au moins 256 pour répondre au théorème de Nyquist. Pour garantir que les données non nulles sont mappées sur des sous-porteuses proches de la fréquence zéro et que les données nulles sont mappées sur les sous-porteuses à haute fréquence positive / négative, ces zéros doivent être remplis au milieu de chaque entrée de données IFFT parallèle.

La matrice D sur échantillonnée peut être illustrée comme

$$\left\{ \begin{array}{l} S_{1,I}+j S_{1,Q}, \dots \dots \dots S_{128,I}+j S_{128,Q}, 0, 0, \dots \dots \dots 0, 0, S_{129,I}+j S_{129,Q}, \dots S_{256,I}+j S_{256,Q} \\ S_{257,I}+j S_{257,Q}, \dots \dots \dots S_{384,I}+j S_{384,Q}, 0, 0, \dots \dots \dots 0, 0, S_{385,I}+j S_{385,Q}, \dots S_{512,I}+j S_{512,Q} \\ \vdots \\ S_{\frac{N}{2}-254,I}+j S_{\frac{N}{2}-254,Q}, \dots S_{\frac{N}{2}-128,I}+j S_{\frac{N}{2}-128,Q}, 0, 0 \dots 0, 0, S_{\frac{N}{2}-127,I}+j S_{\frac{N}{2}-127,Q}, \dots S_{\frac{N}{2},I}+j S_{\frac{N}{2},Q} \end{array} \right\}$$

4.2.4 Ajout d'un préfixe cyclique

Dans cette étape, le symbole OFDM est cycliquement étendu pour éliminer l'ISI entre les symboles consécutifs. Le processus de préfixe d'un symbole OFDM en répétant la fin d'OFDM est appelé préfixe cyclique. Afin de rendre le système OFDM robuste aux évanouissements par trajets multiples, le préfixe cyclique doit être plus grand que l'étalement

de retard maximal. Utilisation des paramètres de modulation OFDM pour l'Évolution à long terme du projet de partenariat de 3^e génération (3GPP LTE), deux longueurs de préfixe cyclique sont utilisées pour comparer les performances du système sur différents canaux à évanouissements multiples [28]. Le CP normal ajouté au symbole OFDM est de 36 échantillons, tandis que le CP étendu est de 128 échantillons. En fait, un CP étendu est plus approprié, lorsque l'environnement a une propagation de retard très étendue. Au fur et à mesure que deux CP différents sont déployés, deux matrices de symboles OFDM $X_{Long.CP}$ et $X_{Short.CP}$ représentent différentes conceptions de modulation OFDM comme illustré

$$X_{Long.CP} = \begin{pmatrix} X_{385}, X_{386} \dots X_{512}, X_1, X_2, \dots \dots \dots X_{511}, X_{512} \\ X_{897}, X_{898} \dots X_{1024}, X_{513}, X_{514}, \dots \dots \dots X_{1023}, X_{1024} \\ \vdots \\ \vdots \end{pmatrix}$$

$$X_{Short.CP} = \begin{pmatrix} X_{477}, X_{478} \dots X_{512}, X_1, X_2, \dots \dots \dots X_{511}, X_{512} \\ X_{989}, X_{990} \dots X_{1024}, X_{513}, X_{514}, \dots \dots \dots X_{1023}, X_{1024} \\ \vdots \\ \vdots \end{pmatrix}$$

4.3 Canal de modélisation

De nombreux types de canaux sans fil peuvent être modélisés à l'aide de MATLAB en fonction des spécifications des canaux. Pour montrer le principal avantage de la modulation OFDM, un canal d'évanouissement à petite échelle doit être modélisé et implémenté dans notre conception OFDM. Comme expliqué dans le chapitre précédent, le canal d'évanouissement peut être spécifié en fonction des caractéristiques du canal et du schéma de transmission. L'étalement Doppler et l'étalement du retard par trajets multiples sont les principaux paramètres utilisés pour définir le canal sans fil. En fonction également des paramètres du signal, le canal sans fil peut varier pour les signaux qui ont des paramètres différents tels que la bande passante et la période des symboles [22]. Par exemple, le même canal sans fil peut être un évanouissement sélectif en fréquence pour un signal qui a une large bande passante, et il peut être un évanouissement non sélectif en fréquence pour un signal qui a une bande passante étroite. Pour faciliter la génération d'un canal d'évanouissement, les environnements sans fil peuvent être soit LOS soit NLOS, qui sont considérés comme respectant les distributions Rician et Rayleigh. Dans l'environnement NLOS, l'évanouissement peut être représenté comme une variable aléatoire gaussienne complexe $G_1 + jG_2$ où G_1 et G_2 sont des variables aléatoires gaussiennes indépendantes de distribution

identique avec une moyenne nulle et une variance de σ^2 . En supposant que la variable aléatoire de Rayleigh Z est l'amplitude des variables aléatoires complexes, la fonction de densité de probabilité de Z est représentée par

$$f(Z) = \frac{Z}{\sigma^2} e^{-\frac{Z^2}{2\sigma^2}}$$

Où $Z = \sqrt{G_1^2 + G_2^2}$ et σ^2 est la variance de G_1 et G_2 .

Pour générer la variable aléatoire Rayleigh Z à l'aide de MATLAB, deux variables aléatoires gaussiennes avec une moyenne nulle U_1 et U_2 une variance unitaire, et sont générées à l'aide de la fonction MATLAB intégrée.

$$Z = \sigma \cdot \sqrt{U_1^2 + U_2^2}$$

La puissance moyenne de la variable aléatoire de Rayleigh est $E[Z^2] = 2\sigma^2$. Comme le signal émis a une puissance de zéro dB, la variable d'évanouissement doit avoir la même puissance moyenne que le signal émis. Par conséquent, la variable aléatoire Rayleigh générée par MATLAB est divisée par $\sqrt{2}$.

Dans l'environnement LOS, une constante est ajoutée aux variables aléatoires gaussiennes complexes pour représenter un chemin direct fort entre l'émetteur et le récepteur $Z=c+G_1+jG_2$.

La conception QPSK-OFDM a une seule entrée et une seule sortie, et le modèle de canal est également Single-Input Single-Output (SISO). En supposant une faible mobilité dans une petite zone de couverture, le canal d'évanouissement utilisé dans la conception est modélisé pour être un canal intérieur qui peut être statique ou quasi-statique. Les caractéristiques du canal statique ne changent pas pendant la transmission des données à un moment et à un endroit donné, tandis que les caractéristiques du canal quasi-statique changent pendant la durée du symbole.

Pour mettre en œuvre un canal à évanouissements par trajets multiples, certains aspects sont importants pour définir le modèle de canal tels que le nombre de trajets, le type de propagation, le décalage Doppler maximal, le retard de temps et le gain de trajet. Comme un canal intérieur est utilisé dans la conception QPSK-OFDM, les deux modèles intérieurs populaires à 2 rayons et modèle exponentiel sont décrits ci-dessous.

Une approche pour modéliser le canal sans fil est le modèle à deux rayons. Dans ce modèle, deux rayons de même puissance sont utilisés pour représenter les chemins des canaux; un chemin avec un retard nul et un autre chemin avec le retard maximal en excès τ_m . Le délai excédentaire maximal est le double du délai excédentaire moyen τ . Puisqu'il n'y a que deux chemins et que l'un d'eux a un retard nul, le retard excédentaire moyen est égal au retard quadratique moyen (RMS) τ_{RMS} . Comme le premier chemin a toujours une puissance constante et un retard nul, les paramètres du second chemin déterminent les caractéristiques du canal. En pratique, le deuxième chemin a moins de puissance que le premier chemin mais dans le modèle à 2 rayons, les deux chemins ont la même puissance pour la simplicité. Par conséquent, lorsque la précision est nécessaire, le modèle à 2 rayons peut ne pas être un bon choix pour la modélisation de canal [22].

Une autre méthode pour modéliser le canal sans fil est le modèle exponentiel. Dans le modèle exponentiel, il y a plus de deux chemins qui ont des puissances différentes décroissant de façon exponentielle avec le retard du canal. Ce type de modèle est très probablement utilisé pour représenter un canal intérieur car la puissance moyenne du canal diminue rapidement à mesure que le retard augmente. Le profil de retard de puissance (PDP) pour le modèle exponentiel est exprimé comme

$$P(\tau) = \frac{e^{-\tau/\tau_{RMS}}}{\tau_{RMS}}$$

Comme un modèle à temps discret est requis dans MATLAB, le PDP du modèle exponentiel qui dépend du retard peut être représenté avec le temps d'échantillonnage T_s comme

$$p(n) = P(0)e^{-nT_s/\tau_{RMS}}, \quad n = 0, 1, 2, \dots, n_{max}.$$

Où n est l'indice de temps discret, $n_{max} = \tau_m/T_s$ est le dernier index de chemin et $P(0) = 1/(\text{total Power} * \tau_{RMS})$ est la première puissance de chemin.

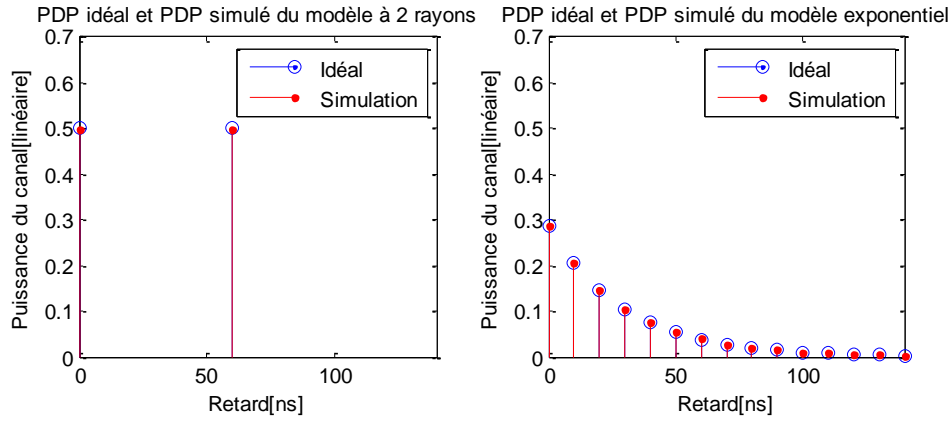


Figure 4-3 Modèles exponentiels et à 2 rayon

Comme le modèle exponentiel est plus précis que le modèle à 2 rayons, le canal d'évanouissement sans fil est modélisé à l'aide du modèle exponentiel. De nombreux canaux à évanouissements sans fil qui ont des retards différents sont modélisés pour évaluer la robustesse des deux systèmes OFDM, les OFDM à CP étendu et CP normal, contre les évanouissements sélectifs en fréquence. Alors que l'étalement du retard détermine le PDP, le retard maximal en excès et le temps d'échantillonnage définissent le nombre de chemins pour chaque canal. En d'autres termes, les caractéristiques du canal pour le modèle exponentiel dépendent de la période d'échantillonnage, du RMS et des retards excédentaires maximum.

Pour implémenter un canal sans fil à l'aide de MATLAB, une réponse impulsionnelle de canal variant dans le temps $h(t)$ est générée en fonction de l'étalement du retard et de la période d'échantillonnage. Cependant, nous supposons que l'évanouissement est lent, le canal reste donc invariant sans changement pendant la période du symbole OFDM. Cela signifie que le temps cohérent du canal sans fil est inférieur à la période du symbole.

Premièrement, une matrice 1 par n_{max} matrice de valeurs aléatoires gaussiennes complexes avec une moyenne nulle, une variance unitaire et une puissance normalisée est générée pour créer des valeurs aléatoires de Rayleigh $Z(n)$. Ces valeurs sont ensuite multipliées par les valeurs PDF, $P(0), P(1), \dots, P(n_{max})$ pour créer la réponse impulsionnelle $h(n)$ du canal particulier. Cependant, cette procédure est répétée pour chaque symbole OFDM afin d'assurer une variation de canal dans le domaine temporel.

$$Z = [Z_0, Z_1, Z_2, \dots, Z_{n_{max}}]$$

$$h = [Z_0 \cdot P_0, P_1 Z_1, P_2 Z_2, \dots, P_{n_{max}} \cdot Z_{n_{max}}] = [h_0, h_1, h_2, \dots, h_{n_{max}}]$$

Chapitre 4 Conception et simulation des principes de base du système OFDM

Lorsqu'un modèle de canal a des n taps, cela ne signifie pas que le canal a des chemins. Cela signifie que la réponse impulsionnelle du canal a des valeurs non négligeables au moment de l'échantillonnage kT_s ($k = 0, 1, \dots, n$). Il peut y avoir deux ou plusieurs chemins de propagation avec des retards différents dans un canal sans fil qui peuvent être modélisés comme un modèle à temps discret n tap.

Deuxièmement, chaque symbole OFDM est convolué avec chaque réponse impulsionnelle de canal générée h comme si le canal sans fil fonctionnait comme un filtre pour le signal de transmission, sauf que la réponse impulsionnelle du canal varie pour chaque symbole OFDM. Puisqu'il existe deux systèmes OFDM, Extended-CP et normal-CP, le même canal est appliqué sur les deux systèmes OFDM.

La dernière partie de la modélisation consiste à ajouter du bruit gaussien blanc additif (AWGN) au signal convolué. Pour ce faire, deux matrices N_L et N_S d'AWGN avec la même taille de matrices $X_{Long.CP}$ et $X_{Short.CP}$ respectivement sont générées dans MATLAB pour être ajoutées aux deux matrices de symboles OFDM convolués comme suit

$$Y_{Short.CP} = X_{Short.CP} * h + N_S$$

$$Y_{Long.CP} = X_{Long.CP} * h + N_L$$

Le signal de transmission étant complexe, l'AWGN est complexe avec un niveau de puissance qui dépend du rapport signal sur bruit pour le symbole OFDM SNR. Cependant, le SNR peut être déterminé à partir du rapport entre l'énergie du symbole QPSK et la densité spectrale de puissance de bruit E_s/N_0

$$E_s/N_0 \text{ (dB)} = E_b/N_0 \text{ (dB)} + 10 \text{ Log}_{10}(k)$$

Où E_b/N_0 est la densité spectrale d'énergie binaire k puissance du bruit et le nombre de bits d'information par symbole. Si $T_{OFDM-sym}$ est la période du symbole OFDM et T_{sample} la période d'échantillonnage,

$$T_{OFDM-sym} = 512 * T_{sample} = 512 * T_{QPSK-sym}$$

Cependant, le remplissage par zéro a un effet sur la puissance des symboles OFDM puisque le symbole OFDM sera constitué de symboles QPSK et de zéros. Par conséquent, la puissance du symbole OFDM sera inférieure s'il n'y a pas de remplissage à zéro. En d'autres termes, le remplissage à zéro doit être pris en compte pour définir le niveau de bruit du canal AWGN afin de spécifier la variance ajoutée par symbole.

L'ajout d'un préfixe cyclique au symbole OFDM n'a pas d'effet sur le niveau du canal AWGN puisque l'extension de symbole OFDM fait partie du symbole OFDM. D'autre part, le nombre de bits d'information par symbole k est influencé par le débit de code si un codage de canal est utilisé dans le système de communication.

4.4 Résultats de la simulation MATLAB

Afin de vérifier le système conçu, les performances de conception doivent être aussi proches que possible des performances théoriques. Dans les systèmes de communication, le taux d'erreur sur les bits est utilisé pour afficher les performances des systèmes. Par conséquent, nous utilisons MATLAB pour implémenter la conception, simuler et analyser les résultats.

La conception QPSK-OFDM est testés sous évanouissement de Rayleigh, évanouissement plat et sélectif en fréquence, et les résultats sont analysés et simulés.

4.4.1 Expérience 1: l'effet du canal à évanouissement plat

En évanouissement à plat, la réponse de canal discrète $h(t)$ n'a qu'une seule prise h_0 qui sera convoluée avec le symbole OFDM.

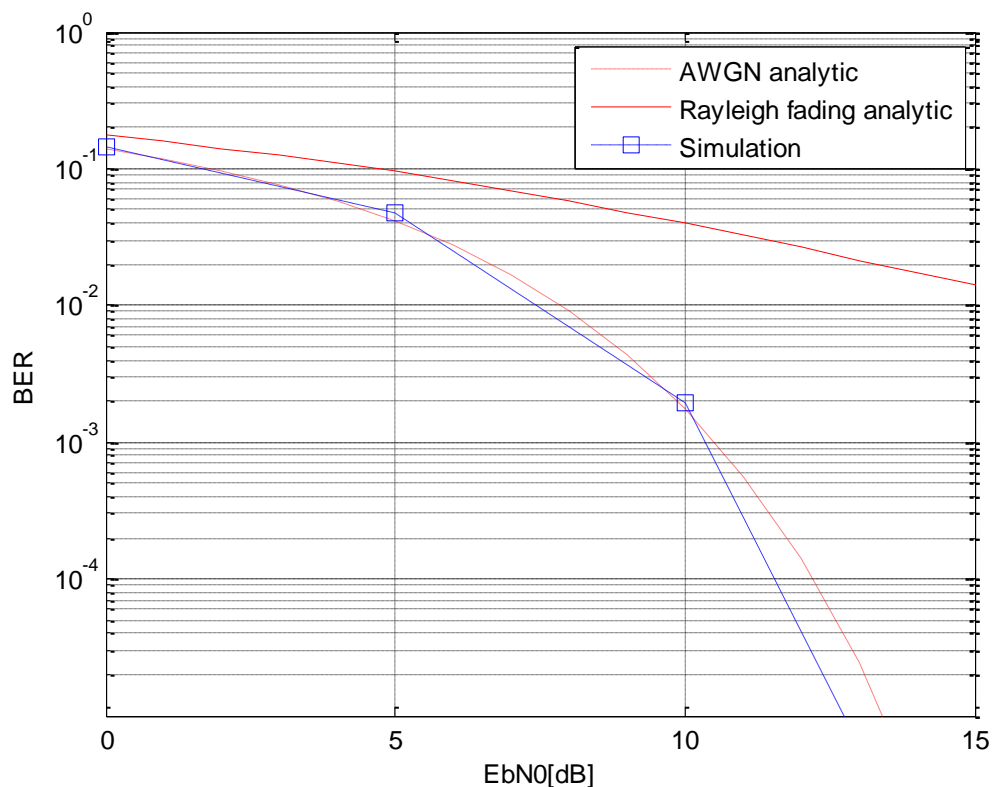


Figure 4-4 BER des systèmes OFDM sous canal d'évanouissement plat

Cela signifie que le canal sans fil a un chemin discret avec un gain de chemin complexe et une puissance normalisée. Pour créer ce canal à évanouissement de Rayleigh de manière pratique, deux variables aléatoires gaussiennes à moyenne nulle non corrélées sont générées pour être les parties réelle et imaginaire de la réponse du canal.

Comme illustré, les systèmes CP QPSK-OFDM étendus et normaux ont les mêmes performances lorsqu'ils tolèrent un canal à évanouissement plat. En fait, leurs BER correspondent au BER QPSK théorique en supposant l'estimation de canal parfaite. En conséquence, la longueur de l'intervalle de garde OFDM n'a aucun effet sur les performances lorsque l'évanouissement est plat car il n'y a pas d'interférence inter-symbole.

4.4.2 Expérience 2: Simulation de l'affaiblissement de parcours en espace libre

Le modèle de propagation en espace libre est utilisé pour prédire la force du signal reçu dans l'environnement de visibilité directe (LOS) où il n'y a pas d'obstacle entre l'émetteur et le récepteur. Il est souvent adopté pour les systèmes de communication par satellite. La figure 3 montre l'affaiblissement sur le trajet en espace libre à la fréquence porteuse de $f_c = 1.5 \text{ GHz}$ pour différents gains d'antenne lorsque la distance varie. Il est évident que la perte de trajet augmente en réduisant les gains d'antenne. Il est évident que la perte de chemin augmente de réduire les gains d'antenne.

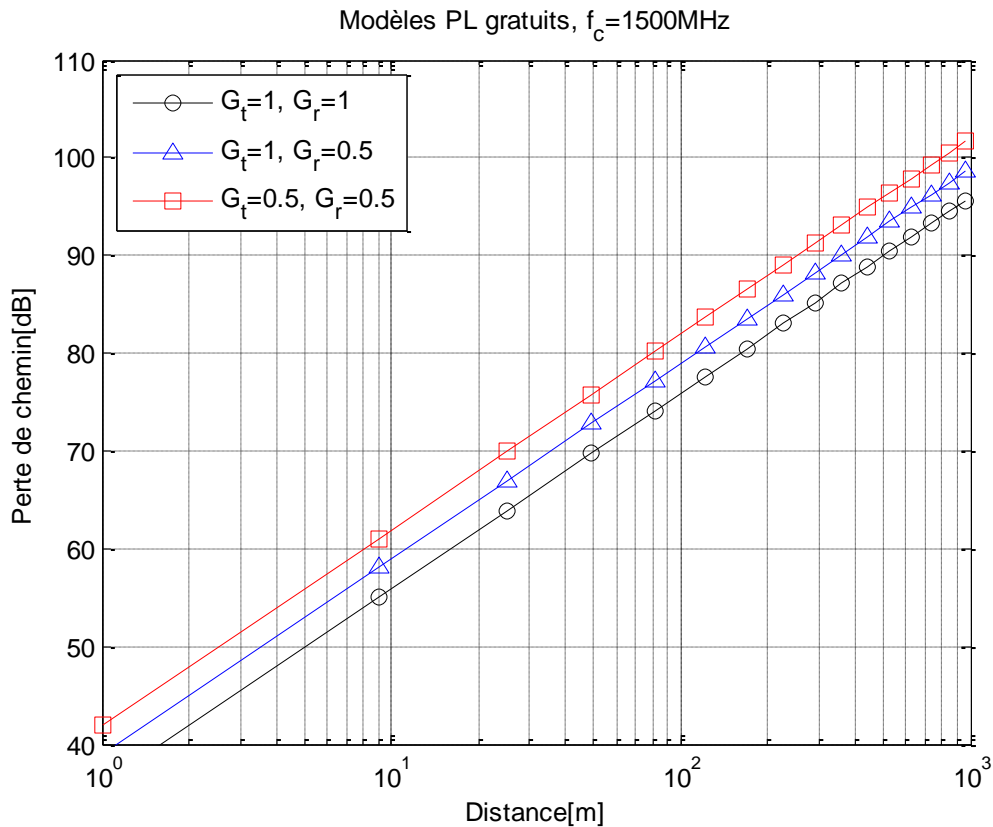


Figure 4-5 l'affaiblissement de parcours en espace libre

En fait, une forme plus généralisée du modèle de perte de chemin peut être construite en modifiant la perte de chemin en espace libre avec l'exposant de perte de chemin n qui varie avec les environnements. Ceci est connu sous le nom de modèle de perte de chemin de distance logarithmique où d_0 est une distance de référence à laquelle ou plus proche de l'affaiblissement sur le trajet hérite des caractéristiques de l'affaiblissement en espace libre dans l'équation (2) avec $\delta_\sigma = 0$. Comme le montre le Tableau 1, l'exposant d'affaiblissement sur le trajet peut varier de 2 à 6, selon l'environnement de propagation. Notez que $n = 2$ correspond à l'espace libre. De plus, n tendance à augmenter car il y a plus d'obstacles. Pendant ce temps, la distance de référence

Tableau 4-2 Exposant de perte de chemin [57]

| Environnement | Exposant de perte de chemin (n) |
|-----------------------------------|-------------------------------------|
| Espace libre | 2 |
| Radio cellulaire en zone urbaine | 2,7-3,5 |
| Radio cellulaire urbaine ombragée | 3-5 |
| Dans le bâtiment en ligne de mire | 1,6-1,8 |

| | |
|--------------------------|-----|
| Obstrué dans le bâtiment | 4-6 |
| Obstrué dans les usines | 2-3 |

d_0 doit être correctement déterminé pour différents environnements de propagation. Par exemple, d_0 est généralement fixé à 1 km pour un système cellulaire avec une large couverture (par exemple, un système cellulaire avec un rayon de cellule supérieur à 10 km). Cependant, elle pourrait être de 100 m ou 1 m, respectivement, pour un système macro-cellulaire avec un rayon cellulaire de 1 km ou un système micro-cellulaire avec un rayon extrêmement petit [58]

4.4.3 Expérience 3 : Simulation de l'affaiblissement de parcours en différents environnements

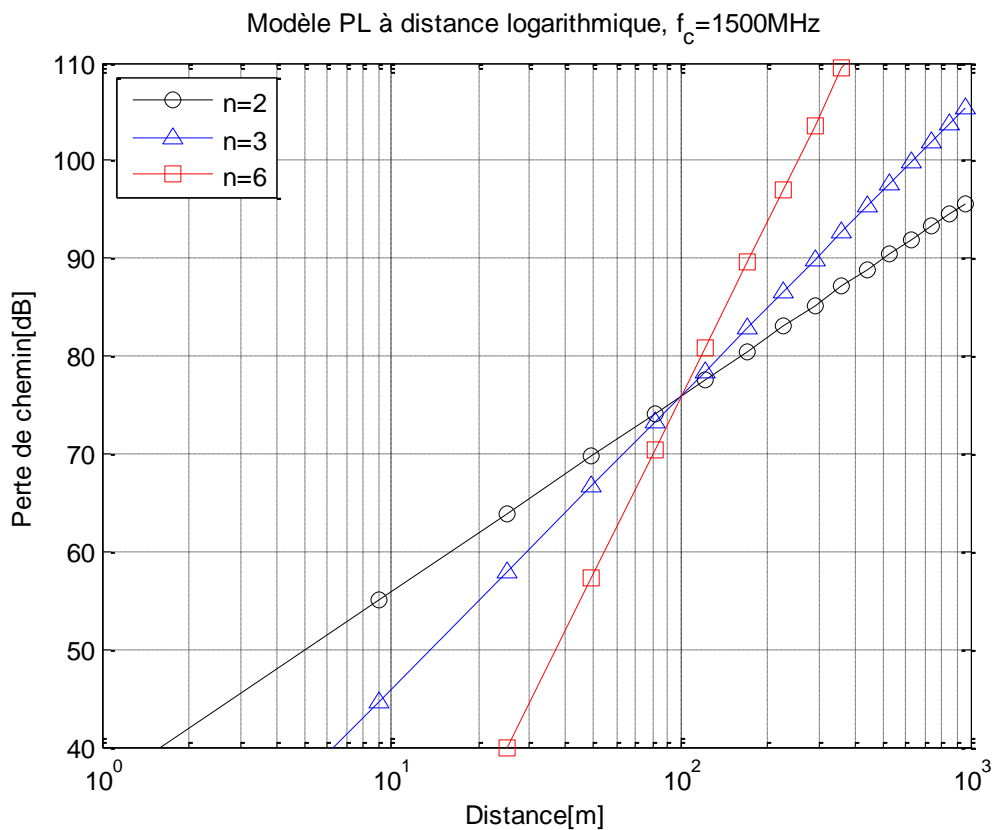


Figure 4-6 l'affaiblissement de parcours en différents environnements

La figure 4-9 montre la perte de trajet de distance logarithmique par à la fréquence porteuse de $f_c = 1,5 \text{ GHz}$. Il est clair que la perte de chemin augmente avec l'exposant de perte de chemin n . Même si la distance entre l'émetteur et le récepteur est égale l'un à l'autre, chaque trajet peut avoir une perte de trajet différente puisque les environnements peuvent varier avec l'emplacement du récepteur dans la pratique. Cependant, tous les modèles de perte de chemin mentionnés ci-dessus ne prennent pas en compte cette situation particulière.

4.4.4 Expérience 4 : Simulation de l'affaiblissement de parcours en 'ajoutant l'effet d'ombrage

Un modèle d'ombrage est utile pour traiter avec une situation plus réaliste. Soit δ_σ une variable aléatoire gaussienne avec une moyenne nulle et un écart type de σ . En d'autres termes, ce modèle particulier permet au récepteur à la même distance d d'avoir une perte de trajet différente, qui varie avec l'effet d'ombrage aléatoire δ_σ . La figure 5 montre la perte de trajet qui suit le modèle d'ombrage à $f_c = 1,5$ GHz avec $\sigma = 3$ dB et $n = 2$. Elle illustre clairement l'effet aléatoire de l'ombrage qui est imposé sur la nature déterministe de la distance logarithmique modèle de perte de chemin.

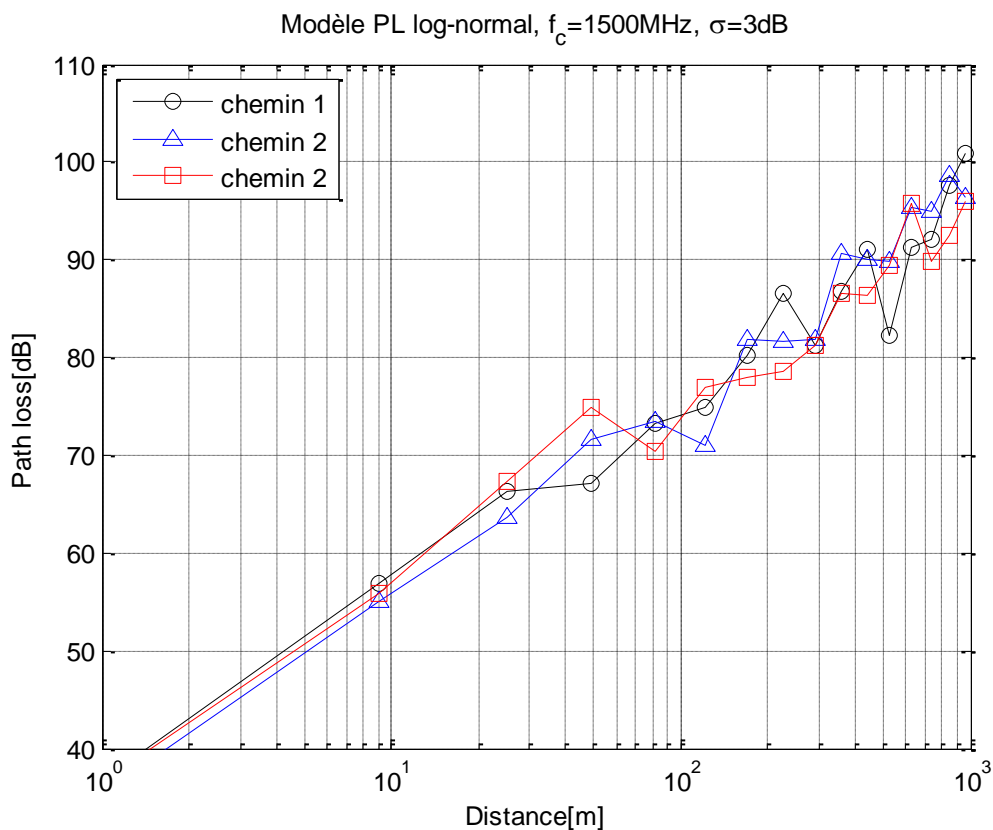


Figure 4-7 l'affaiblissement de parcours en 'ajoutant l'effet d'ombrage

4.4.5 Génération de canaux de fondu

En général, l'environnement de propagation pour n'importe quel canal sans fil à l'intérieur ou à l'extérieur peut être soumis à LOS (ligne de vue) ou NLOS (non ligne de vue). Comme décrit dans la sous-section précédente, une fonction de densité de probabilité du signal reçu dans l'environnement LOS suit la distribution rician, tandis que celle dans l'environnement NLOS suit la distribution de Rayleigh.

Notez que tout signal reçu dans l'environnement de propagation pour un canal sans fil peut être considéré comme la somme des signaux reçus d'un nombre infini de diffuseurs. Par le théorème de limite centrale, le signal reçu peut être représenté par une variable aléatoire gaussienne peut être représenté par une variable aléatoire gaussienne complexe, $W_1 + jW_2$, où W_1 et W_2 sont les variables aléatoires gaussiennes indépendantes et à distribution identique (iid) avec une moyenne et une variance nulles σ^2 . Soit X l'amplitude de la variable aléatoire gaussienne complexe $W_1 + jW_2$, telle que $X = \sqrt{W_1^2 + W_2^2}$. Ensuite, notez que X est une variable aléatoire de Rayleigh avec la fonction de densité de probabilité (PDF) suivante:

$$f_x(x) = \frac{x}{\sigma^2} e^{-\frac{x^2}{2\sigma^2}} \quad 4.1$$

Où $2\sigma^2 = E\{X^2\}$. En outre, X^2 connue sous le nom de variable aléatoire khi-carré (χ^2).

Ci-dessous, nous verrons comment générer la variable aléatoire Rayleigh X . Tout d'abord, nous générons deux i.i.d. Variables aléatoires gaussiennes avec une moyenne nulle et une variance unitaire, Z_1 et Z_2 , en utilisant une fonction MATLAB intégrée, "randn". Notez que la variable aléatoire X de Rayleigh avec le PDF dans l'équation (4.1) peut être représentée par

$$X = \sigma \cdot \sqrt{Z_1^2 + Z_2^2} \quad 4.2$$

Où $Z_1 \sim \mathcal{N}(0,1)$ et $Z_2 \sim \mathcal{N}(0,1)$ ¹. Une fois que Z_1 et Z_2 sont générés par la fonction intégrée «randn», la variable aléatoire Rayleigh X avec la puissance moyenne de $E\{X^2\} = 2\sigma^2$ peut être générée par l'équation (12). Dans l'environnement en visibilité directe (LOS) où il existe un chemin fort qui n'est soumis à aucune perte due à la réflexion, à la diffraction et à la diffusion, l'amplitude du signal reçu peut être exprimée par $X = c + W_1 + jW_2$, où c représente le composant LOS tandis que W_1 et W_2 sont l'iid Variables aléatoires gaussiennes avec une moyenne nulle et une variance de σ^2 comme dans l'environnement non LOS. On sait que X est la variable aléatoire rician avec le PDF suivant:

$$f_x(x) = \frac{x}{\sigma^2} e^{-\frac{x^2+c^2}{2\sigma^2}} I_0\left(\frac{xc}{\sigma^2}\right) \quad 4.3$$

Où $I_0(\cdot)$ est la fonction de Bessel d'ordre zéro modifiée du premier type. Notez que l'équation (4.3) peut être représentée en termes du facteur K rician $K = \frac{c^2}{2\sigma^2}$. Dans le cas où il existe un composant LOS (c'est-à-dire, $K = 0$), l'équation (4.3) se réduit à l'équation PDF Rayleigh (4.1) comme dans l'environnement non-LOS. À mesure que K augmente, l'équation (4.3) a tendance à être le PDF gaussien. En général, on suppose que $K \sim -40dB$ pour le canal à

évanouissements de Rayleigh et $K > 15dB$ pour le canal gaussien. Dans l'environnement LOS, le premier chemin qui arrive habituellement avec une réflexion quelconque peut être modélisé comme un canal de fondu ricien.

La figure 4-11 a été produite en exécutant le programme 1.8 (plot_Ray_Ric_channel.m), qui appelle le programme 1.9 (Ray_model) et le programme 1.10 (Ric_model) pour générer respectivement les canaux d'évanouissement de Rayleigh et d'évanouissement de Rician. Il démontre également que la distribution ricienne se rapproche de la distribution de Rayleigh et de la distribution gaussienne lorsque $K = -40dB$ et $K = 15dB$, respectivement.

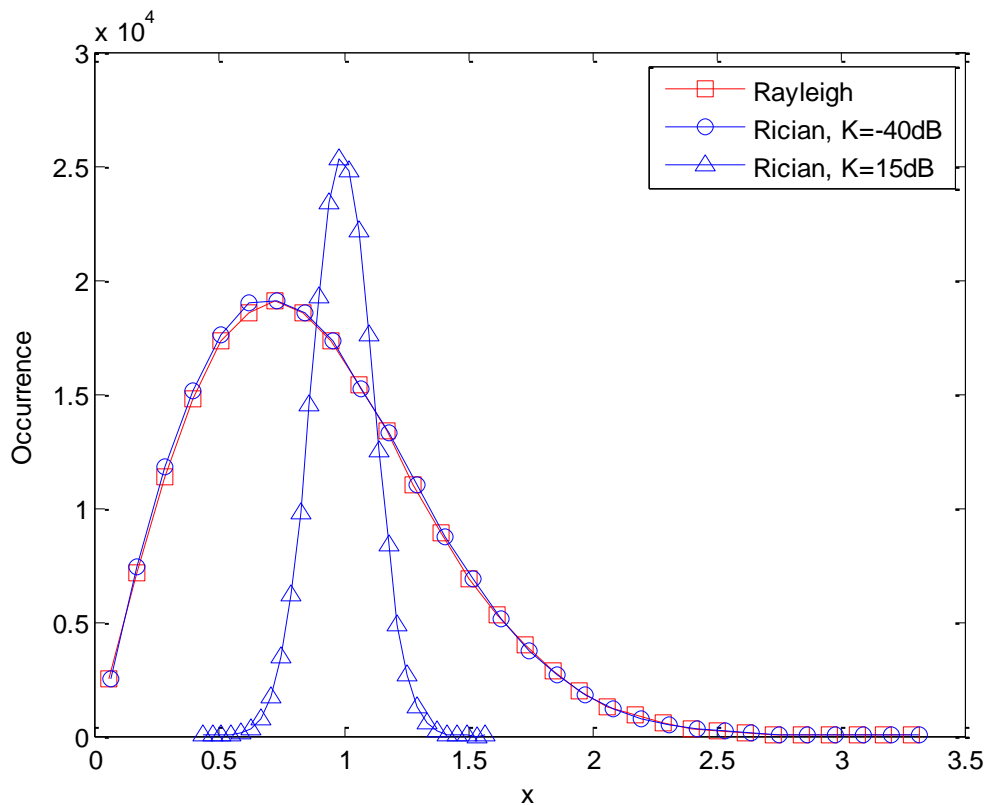


Figure 4-8 Distributions pour les canaux d'évanouissement Rayleigh et Rician

4.5 Modélisation et simulation matérielles en virgule fixe en utilisant Simulink & Xilinx System Generator (travail de l'article)

Dans les dernières décades d'année, les travaux ont été intensifiés sur la partie théorique et l'analyse (avec matlab/sumilink) des modulations numériques et ses avantages. Il existe un nombre limité de travaux qui ont implémenté des systèmes de modulation numérique purement matériel avec des performances raisonnables en raison de leurs complexités.

Dans cette partie de thèse, une étude comparative de l'implémentation de la chaîne.

Dans ce chapitre, nous allons présenter différentes méthodes d'implémentations des systèmes basés sur la modulation BPSK. Ses méthodes utilisent généralement le principe de co-simulation. Chez XILINX système générateur est associé à Simulink pour produire une simulation temps réel dans l quel la partie hardware des system qui aussi sera testé par la procédure hardware une the loup. Le pc avec l'application va envoyer et recevoir les données au système conçu via des passerelles appropriées. Il y a noté que cette approche se base essentiellement sur un type de codage de la norme IEEE700xx ou les résultats manqué de précision.

Pour augmenter la précision, nous allons opter par les l'utilisation de langage de description matérielle dans laquelle nous avons décrit des modules nous permettons de basculer vers le codage virgule flottante pour améliorer la précision du calcul.

Notons qu'à ce niveau d'abstraction nous pouvons pas facile décrire aussi des driver (en HDL) pour interfacer des codecs se trouvant sur la carte expérimentale.

Dans la suite de ce chapitre nous allons en premier lieu présenter la méthode utilisons le système générateur de XILINX puis présenter notre approche et la valider par des comparaisons réelles.

4.5.1 BACKGROUNDS

4.5.1.1 Modulation numérique (BPSK)

Il s'agit du processus de variation des caractéristiques d'une forme d'onde périodique connue sous le nom de signal porteur avec un signal de modulation qui contient généralement des informations à transmettre. C'est le processus de superposition du contenu d'information d'un signal modulant sur un signal porteur en modifiant ses caractéristiques en fonction du signal modulant donné. La modulation numérique est la procédure par laquelle les symboles

numériques sont transmis en formes d'onde qui correspondent aux caractéristiques. La technique de modulation utilisée dans cet essai est BPSK (Binary Phase Shift Keying) et elle est principalement appliquée à la transmission numérique. Dans toutes les techniques de modulation PSK, la modulation BPSK est la forme la plus simple et la plus robuste. Il ne convient pas aux applications larges bande et ne peut moduler que 1 bps. Le modulateur BPSK est en quelque sorte simple et est illustré sur la figure 4-12.

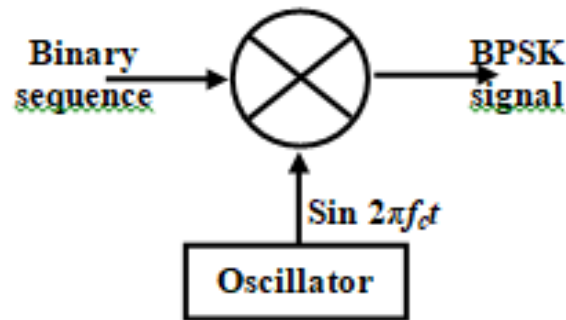


Figure 4-9. BPSK modulator

Le signal modulé BPSK $s(t)$ que nous obtenons à la suite de la multiplication de la séquence binaire $m(t)$ ou du signal de modulation par une porteuse sinusoïdale et le signal modulé BPSK $s(t)$ est obtenu à la suite de la multiplication de la séquence binaire $m(t)$ ou du signal de modulation par une porteuse sinusoïdale. Les formes d'onde du signal BPSK généré par le modulateur sont illustrées à la figure 4-13.

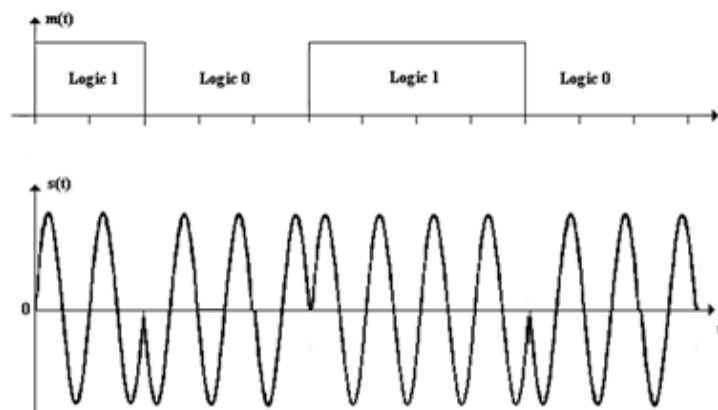


Figure 4-10. BPSK waveforms

4.5.1.2 System Generator

System Generator est un outil de conception DSP de Xilinx qui permet l'utilisation de MathWorks environnement de conception Simulink basé sur un modèle pour la conception FPGA. Expérience antérieure avec Les FPGA Xilinx ou les méthodologies de conception RTL ne sont pas nécessaires lors de l'utilisation de System Générateur. Les conceptions sont

capturées dans l'environnement de modélisation Simulink convivial DSP en utilisant un blockset spécifique à Xilinx. Toutes les étapes de mise en œuvre du FPGA en aval y compris la synthèse et le lieu et l'itinéraire sont automatiquement effectués pour générer un FPGA fichier de programmation.

Plus de 90 blocs de construction DSP sont fournis dans le jeu de blocs Xilinx DSP pour Simulink. Celles-ci. Les blocs incluent les blocs de construction DSP courants tels que les additionneurs, les multiplicateurs et les registres. Sont également inclus un ensemble de blocs de construction DSP complexes tels que la correction d'erreur directe blocs, FFT, filtres et mémoires. Ces blocs exploitent les générateurs de cœur IP Xilinx pour fournir des résultats optimisés pour l'appareil sélectionné.

4.5.1.3 Présentation de l'environnement de développement « Xilinx Integrated Software Environment (ISE) »

Le logiciel ISE de XILINX (Integreted Software Environment) est un environnement de développement qui possède différents outils de CAO. Les sociétés spécialisées en CAO microélectronique fournissent des environnements logiciels spécialisés. Tous les fabricants de FPGA proposent des outils de CAO pour configurer leurs circuits (on a *ISE pour Xilinx et QUARTUS ou MAX + II pour ALTERA*). L'offre logicielle dans le domaine de conception des circuits numériques est très variée et l'une parmi ces environnements que nous allons exploiter au cours de ce travail à savoir XILINX ISE qui est un Logiciel de création et de gestion de projets CAO qui est un environnement de conception. C'est un logiciel multitâche qui possède dans son soft différents outils permettant la création de système sous circuits numériques. L'introduction de projets se fait de deux manières qui sont textuelle ou graphique en vue d'une intégration dans un circuit logique programmable (CPLD ou FPGA), sachant que la saisie graphique est une alternative à la saisie textuelle mais limitée. Ce logiciel Xilinx ISE permet la simulation de la description et la synthèse du circuit logique équivalent puis placer et router ce circuit sur un prototype correspondant à une technologie FPGA bien précise et enfin, lorsque toute les vérifications sont faites, vient l'implantation sur un FPGA réel ce qui correspond à générer le fichier de configuration du circuit cible choisi afin d'établir les interconnexions des cellules logiques correspondantes au circuit logique conçu avec optimisation de ressources disponibles au niveau circuit programmable FPGA. D'une manière générale, le XILINX ISE permet de réaliser toutes les étapes de conception et de programmation des FPGA de XILINX et même pour d'autres circuits programmables tels que les CPLD.

La conception de circuits sur XILINX ISE met en œuvre quatre outils : un éditeur de texte ou entrée graphique, un simulateur, un synthétiseur et un placeur-routeur. L'éditeur de texte ou entrée graphique est pour faire introduire la description dans les logiciels CAO c'est-à-dire de dessiner ou décrire le circuit avec une interface graphique ou textuelle. La simulation du système est faite pour vérifier la validité du code avant-synthèse, après-synthèse et même après le placement et routage. Les deux étapes synthèse et routage succéderont par la suite où la synthèse consiste à faire la transcription de description d'une forme texte vers une autre forme graphique (RTL) à base de portes logiques et pour la deuxième étape nommée routage n'est qu'une adaptation du circuit logique synthétisé sur les ressources disponibles dans le circuit FPGA ciblé.

4.5.2 Présentation des travaux similaire

Les travaux existant dans le domaine de la conception des implémentations des méthodes numériques ont proposé des méthodes basées sur la co-simulation soit l'utilisation d'une codification HDL à partir des blocks simulink. Peu d'autre travaux en uniquement toucher l'aspect temps réel.

Tous ces travaux ont débuté par l'utilisation de modulateur de communication simple utilisant des modelés simulink, puis une fois ces système maîtrises, d'autres système plus complexes ont vu le jour.

Les travaux proposés par Silvana Popescu, Aurel Gontean et Georgeta Budura [59], ont fait une suggestion de trois applications d'un modulateur BPSK dans System Generator. Dans le premier, les trois signaux: la porteuse, les signaux modulant et modulé ont été créés en externe. Dans le second schéma, la porteuse est créée en externe et le signal de modulation est créé en interne par un LFSR. Et dans le troisième schéma, les trois signaux ont été créés en interne une porteuse est créée en interne par deux blocs DDS fournis dans le « Xilinx Blockset» de System Generator, à l'exception du signal de modulation qui peut être obtenu soit à l'intérieur par le FSR, soit en externe par un générateur d'impulsion. Implémentation du modulateur BPSK sur le StarterKit Spartan 3E basé sur la troisième proposition de la construction du modulateur dans System Generator avec l'option de générer le code VHDL. La figure 4-14 représente le résumé de conception qui représente l'utilisation des bascules, des LUT, des tranches utilisées à partir des capacités du FPGA de la carte Spartan 3E. Que nous comparerons avec les résultats de mon travail

| Device Utilization Summary | | | | |
|--|-------|-----------|-------------|---------|
| Logic Utilization | Used | Available | Utilization | Note(s) |
| Number of Slice Flip Flops | 679 | 9,312 | 7% | |
| Number of 4 input LUTs | 952 | 9,312 | 10% | |
| Number of occupied Slices | 765 | 4,656 | 16% | |
| Number of Slices containing only related logic | 765 | 765 | 100% | |
| Number of Slices containing unrelated logic | 0 | 765 | 0% | |
| Total Number of 4 input LUTs | 1,101 | 9,312 | 11% | |
| Number used as logic | 952 | | | |
| Number used as a route-thru | 149 | | | |
| Number of bonded IOBs | 39 | 232 | 16% | |
| Number of BUFGMUXs | 3 | 24 | 12% | |
| Average Fanout of Non-Clock Nets | 3.18 | | | |

Figure 4-11. Résumé de la conception.

Au bout d'un an, les mêmes chercheurs présentent deux travaux, une implémentation du système BPSK (modulateur et démodulateur) dans l'environnement Matlab / Simulink [60]. Ensuite, Ils ont des tendances à créer une proposition de système BPSK dans System Generator. Ou le signal de modulation et la porteuse sont tous deux générés en interne, le signal de modulation par un LFSR et la porteuse par un compilateur à deux DDS. A la sortie d'un bloc multiplexeur, Ils ont obtenu le signal modulé. Le système BPSK intégré sur la carte Spartan 3E Starter Kit a un principe identique en raison de l'implémentation dans System Generator.

Bien que System Generator ait la capacité de créer un code VHDL, le code a été généré depuis le début en raison de cette conception car il est difficile de lire le code qui a été créé. Le support qui a en effet été généré en interne, dans une mémoire ROM, mais constitué de 16 valeurs différentes, est la seule différence notable. On a obtenu une porteuse avec déphasage de 180° en lisant la mémoire ROM suivante avec 8 échantillons.

Le travail présenté par Silvana Popescu, Georgeta Budura, Aurel Gonteanin 2012 [61], le modulateur BPSK (bloc hwcossim) possède deux entrées et deux sorties en fonction du nombre de ports GatewayIn et GatewayOut. Le bloc compte toute la praticité nécessaire pour que le look soit réalisé sur le FPGA et est couplé à un train de bits qui peut être implémenté dans le FPGA Après l'implantation du code VHDL généré par System Generator, le résumé de leur conception est illustré comme dans la figure 4-15. Que nous comparerons avec les résultats de mon travail

| Device Utilization Summary | | | | [-] |
|--|------|-----------|-------------|---------|
| Logic Utilization | Used | Available | Utilization | Note(s) |
| Number of Slice Flip Flops | 92 | 9,312 | 1% | |
| Number of 4 input LUTs | 60 | 9,312 | 1% | |
| Number of occupied Slices | 76 | 4,656 | 1% | |
| Number of Slices containing only related logic | 76 | 76 | 100% | |
| Number of Slices containing unrelated logic | 0 | 76 | 0% | |
| Total Number of 4 input LUTs | 63 | 9,312 | 1% | |
| Number used as logic | 60 | | | |
| Number used as a route-thru | 3 | | | |
| Number of bonded IOBs | 83 | 232 | 35% | |
| Number of BUFGLUXs | 1 | 24 | 4% | |
| Number of MULT18X18SIOs | 1 | 20 | 5% | |
| Average Fanout of Non-Clock Nets | 1.41 | | | |

Figure 4-12. Le résumé de conception du modulateur BPSK

L'approche proposée dans le travail de Silvana Popescu, Georgeta Budura, Aurel Gontean [61] n'est appropriée que pour cette conception dit-il, la tranche logique utilisée dans la carte est plus petite si nous utilisons le code VHDL généré à partir du générateur de système, sans écrire le code depuis le début. Ceci est vrai parce qu'un transporteur est généré externe donc il ne génère que LFSR et mux et ne fonctionne pas lors de l'utilisation du DDS, Ceci est reconnu par Silvana Popescu, Aurel Gontean, Georgeta Budura [60] quand il a dit; le code a été créé dès le début car le code généré était difficile à lire. Ceci est également évident dans [59] [62], le troisième schéma, les trois signaux ont été générés en interne, donc l'utilisation logique de la carte était plus élevée, comme indiqué dans le résumé de l'utilisation de l'appareil, cela est évident en raison de l'utilisation de deux DDS et de ce qu'ils contiennent un schéma de table de recherche pour générer des sinusoïdes.

B.K.V. Prasad et Sai Priya ont présenté la simulation des techniques de modulation et démodulation utilisant MATLAB Simulink et le générateur de système pour la simulation et l'implémentation sur la carte FPGA spartan-3e [62], ce qui a un impact sur la flexibilité pour la conception et les tests afin que le développement soit très facile. Le FPGA a été reconfiguré et programmé avec l'aide du processeur ARM pour compiler les fichiers binaires afin de choisir la modulation souhaitée prenant en charge notre demande et l'application qui a le meilleur support de canal.

En outre, le temps requis pour concevoir un système DSP en écrivant du code VHDL est supérieur au temps utilisé pour l'environnement System Generator. L'utilité essentielle pour

une conception fabriquée dans System Generator est qu'elle peut être confirmée sur des simulations avant d'être réalisée dans le matériel. C'est ce qui a été convenu dans [59] [62]. Le temps nécessaire à la simulation des conceptions avec Simulink est inférieur au temps nécessaire à la simulation avec les composants des blocs Xilinx. Même si l'utilisation du Simulink interne de System Generator pour les simulations de bits et de périodes est un ordre de grandeur plus rapide que de travailler la même simulation via un simulateur HDL [63].

La façon dont nous avons implémenté nos systèmes est nouvelle et différente de ce que d'autres ont présenté, toutes ces suggestions se concentrent sur l'utilisation de simulations partagées d'appareils fournies par le générateur de système. C'est la première méthode qu'un transporteur est généré en interne par un seul compilateur DDS. La deuxième méthode, je n'ai pas trouvé d'article sur, j'espère que c'est un travail exceptionnel.

4.5.3 Méthodologies de conception

Les deux méthodes d'implémentation de la modulation BPSK dans un système peuvent fournir un temple qui peut être utilisé en respectant les exigences et l'environnement de l'application particulière. L'approche la plus combinée pour l'implémentation des techniques de modulation est par l'intermédiaire de l'environnement MATLAB / SIMULINK ou du générateur système, puis elle peut être transformée en Verilog HDL ou VHDL pour la synthèse et finalement implémentée en FPGA. Une autre approche consiste à programmer immédiatement le système dans Verilog HDL. Le modulateur pour BPSK peut être programmé à l'aide de Verilog et finalement implémenté dans FPGA.

4.5.3.1 La première méthode: conception et simulation d'un modulateur BPSK à l'aide d'un générateur système

L'implémentation d'un modulateur BPSK, illustrée sur la figure 4-16. Les fonctions et opérations de chaque bloc sont décrites dans les descriptions suivantes sous les sous-titres.

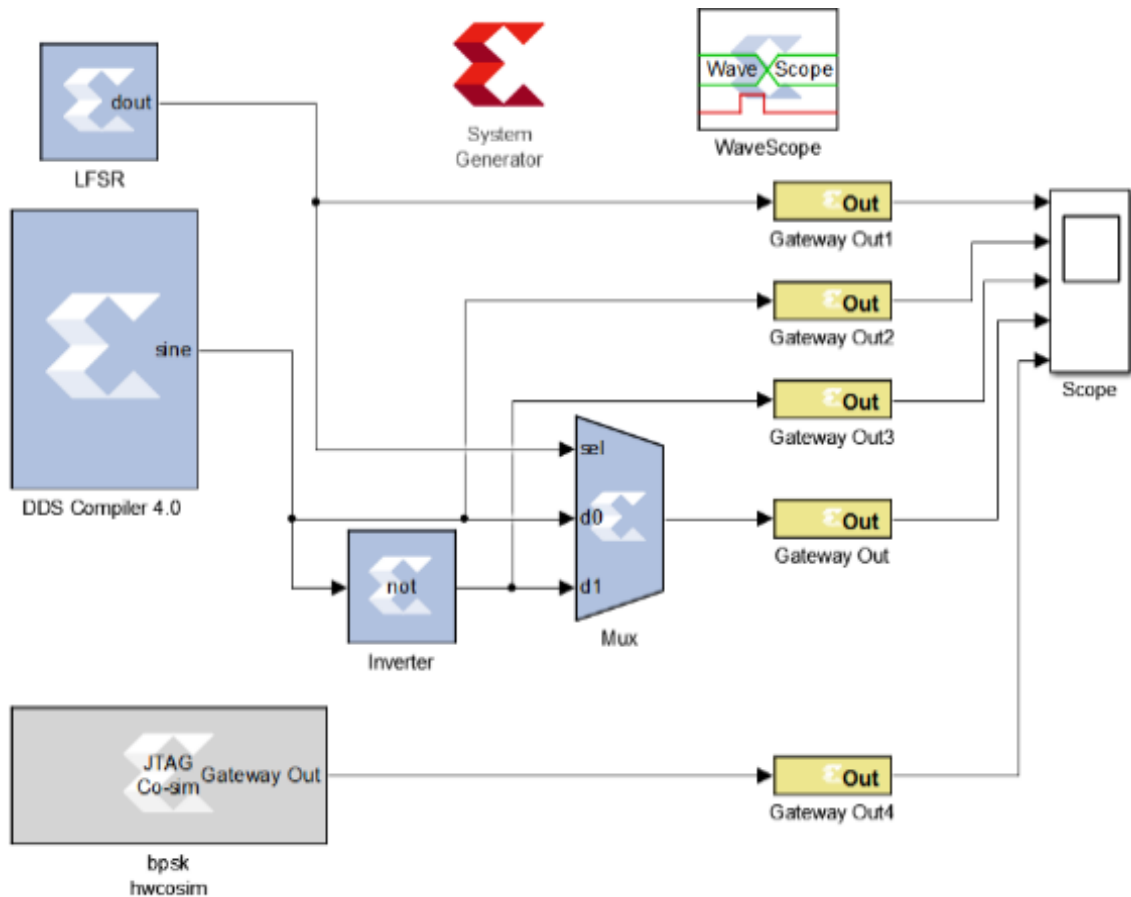


Figure 4-13. BPSK modulator in system generator with hardware co-simulation

4.5.3.1.1 System Generator block

Le block System Generator sert de panneau de contrôle pour contrôler les paramètres du système et de la simulation, et il est également utilisé pour appeler le générateur de code pour la netlisting.

Chaque modèle Simulink contenant un élément du Xilinx Blockset doit contenir au moins un block System Generator. Une fois qu'un block System Generator est ajouté à un modèle, il est possible de spécifier comment la génération de code et la simulation doivent être gérées.



Paramètres de block

La boîte de dialogue des paramètres peut être appelée en double-cliquant sur l'icône dans le modèle Simulink. J'explique que les Paramètres de block qui nous intéressent dans ce travail.

Onglet Compilation

Les paramètres spécifiques à l'onglet Compilation sont les suivants:

- **Compilation:** spécifie le type de résultat de compilation qui doit être produit lorsque le code le générateur est appelé.
- **Outil de synthèse:** spécifie l'outil à utiliser pour synthétiser la conception. Les possibilités sont Synplify Pro de Synplicity, Synplify et XST de Xilinx.
- **Langage de description du matériel:** spécifie le langage HDL à utiliser pour la compilation la conception. Les possibilités sont VHDL et Verilog.
- **Créer un banc de test:** cela demande à System Generator de créer un banc de test HDL. Simuler le test bench dans un simulateur HDL compare les résultats de simulation Simulink avec ceux obtenus à partir de la version compilée du design. Pour construire des vecteurs de test, System Generator simule le design dans Simulink et enregistre les valeurs vues au niveau des passerelles. Le fichier HDL supérieur pour le banc de test est nommé <nom> _testbench.vhd / . v, où <nom> est un nom dérivé de la partie du conception en cours de test.

Onglet d'horloge

Les paramètres spécifiques à l'onglet horloge sont les suivants:

- **Période d'horloge FPGA (ns):** définit la période en nanosecondes de l'horloge système. Dans notre modèle 1ns La valeur n'a pas besoin d'être un entier. La période est transmise aux outils d'implémentation Xilinx via un fichier de contraintes, où il est utilisé comme contrainte globale PERIOD. Les sentiers multi cycles sont contraint aux multiples entiers de cette valeur.
- **Emplacement de la broche d'horloge:** définit l'emplacement de la broche de l'horloge matérielle. Cette information est transmise aux outils d'implémentation Xilinx via un fichier de contraintes. Cette option ne doit pas être spécifiée si la conception du générateur de système doit être incluse dans une conception HDL plus grande.
- **Période système Simulink (s):** définit la période système Simulink, en unités de secondes. Dans notre modèle 1s. La période système Simulink est le plus grand diviseur commun des périodes d'échantillonnage qui apparaissent dans le modèle. Ces périodes d'échantillonnage sont définies explicitement dans les boîtes de dialogue de bloc, héritées selon règles de propagation Simulink, ou impliquées par un taux de sur échantillonnage matériel en blocs avec cette option. Dans ce dernier

cas, le temps d'échantillonnage implicite est en fait plus rapide que l'observable temps d'échantillonnage de simulation pour le bloc dans Simulink. En matériel, un bloc ayant un taux de sur échantillonnage supérieur à un traite ses entrées à un rythme plus rapide que les données.

Onglet général

Les paramètres spécifiques à l'onglet Général sont les suivants:

- **Périodes d'échantillonnage normalisées:** affiche les périodes d'échantillonnage normalisées pour toutes les entrée set les ports de sortie sur chaque bloc. Par exemple, si la période du système Simulink est définie sur 4 et la période d'échantillonnage propagée à un port de bloc est de 4 puis la période normalisée qui est affiché pour le port de bloc est 1 et si la période propagée vers le port de bloc est 8, alors le période d'échantillonnage affichée serait 2 par exemple, un nombre plus grand indique une fréquence plus lente.

4.5.3.1.2 LFSR block

Le bloc Xilinx LFSR implémente un registre de décalage de rétroaction linéaire(LFSR). Ce bloc prend en charge les structures Galois et Fibonacci en utilisant la porte XOR ou XNOR et permet à une entrée rechargeable de changer la valeur actuelle du registre à tout moment. La sortie LFSR et rechargeable l'entrée peut être configurée comme port série ou parallèle dans notre modèle le signal modulant généré en interne par le LFSR.



4.5.3.1.3 DDS Compiler 4.0

Le bloc Xilinx DDS Compiler est un synthétiseur numérique direct, également couramment appelé un oscillateur à commande numérique (NCO). Le bloc utilise une table de consultation schéma pour générer des sinusoides. Un intégrateur numérique (accumulateur) génère une phase qui est mappé par la table de consultation dans la forme d'onde sinusoidale de sortie.



Aperçu de l'architecture

Pour comprendre le compilateur DDS, il est nécessaire de savoir comment le bloc est implémenté dans FPGA Matériel. Ce qui suit est un schéma de principe du noyau du compilateur DDS. Le noyau se compose de deux principaux une partie Phase Generator et une partie SIN / COS LUT. Ces pièces peuvent être utilisées indépendamment ou avec un générateur de tramage en option pour créer une capacité DDS. Un multicanal à répartition temporelle la capacité est prise en charge avec des paramètres d'incrément de phase et de décalage configurables indépendamment.

Générateur de phase

Le générateur de phase se compose d'un accumulateur suivi d'un additionneur optionnel pour fournir l'ajout d'un décalage de phase. Lorsque le noyau est personnalisé, l'incrément et le décalage de phase peuvent être configuré indépendamment pour être fixe, programmable ou fourni par *pinc_in* et *poff_in*ports d'entrée respectivement. Lorsqu'ils sont réglés sur programmable, les registres sont implémentés avec une interface de bus composée d'adr, *reg_select*, *we* et signaux de données. L'entrée d'adresse, *addr*, spécifie le canal pour lequel les données doivent être écrit en mode multicanal, avec *reg_select* spécifiant si les données sont un incrément de phase ou offset.

Lorsqu'il est réglé sur fixe, la fréquence de sortie DDS est définie lorsque le noyau est personnalisé et la fréquence ne peut pas être ajusté une fois que le noyau est intégré dans une conception. Lorsqu'il est utilisé en conjonction avec le SIN / COS LUT, un générateur de tramage en option peut être configuré pour fournir un SFDR accru au détriment d'un plancher de bruit accru.

SIN / COS LUT

Le SIN / COS LUT transforme la sortie du générateur de phase en une sortie sinus et cosinus. Efficace l'utilisation de la mémoire est obtenue à l'aide de schémas de

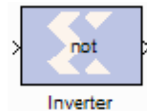
Chapitre 4 Conception et simulation des principes de base du système OFDM

stockage en demi-onde et en quart d'onde. La présence des deux les sorties et leur négation sont configurables lorsque le noyau est personnalisé. La précision peut être augmentée en utilisant la correction de série Taylor en option. Cela exploite les tranches Xtreme DSP sur les familles FPGA qui les soutenir pour atteindre un SFDR élevé avec un fonctionnement à grande vitesse.

Dans notre modèle La porteuse est créée en interne par le bloc DDS de System Generator, elle utilise un schéma de table de consultation pour générer une sinusoïde de 10 MHz.

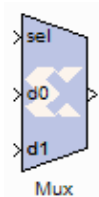
4.5.3.1.4 Inverter Block

Le bloc Xilinx Inverter calcule le complément logique bit à bit d'un point fixe nombre. Le bloc est implémenté sous la forme d'un module VHDL synthétisable. Dans notre modèle inverser le signal généré par DDS Block, signifie une sinusoïde négative de 10 MHz.



4.5.3.1.5 Mux Block

Le bloc Xilinx Mux implémente un multiplexeur. Le bloc a une sélection entrée (type non signé) et un nombre d'entrées de bus de données configurable par l'utilisateur, allant de 2 à 1024. Dans notre modèle l'entrées *d0* et *d1* de mux symbolisent les ondes sinusoïdales. L'entrée *sel* de mux symbolise le signal modulant qui est le choix entre les entrées *d0* et *d1*. Si LFSR est «1», le signal modulé est resté le même que la porteuse, mais si «0» a été transmis, la porteuse abandonnée est transmise



4.5.3.1.6 Gateway In

Les blocs Xilinx Gateway In sont les entrées dans la partie Xilinx de la Conception Simulink. Ces blocs convertissent les nombres entiers, doubles et fixes de Simulink types de données dans le type à virgule fixe System Generator. Chaque bloc définit un niveau supérieur port d'entrée dans la conception HDL générée par System Generator.

Lors de la conversion d'un type double en un type à virgule fixe System Generator, Gateway In utilise l'option de débordement et de quantification sélectionnées. En cas de débordement,

Chapitre 4 Conception et simulation des principes de base du système OFDM

les options sont de saturer au plus grand positive / plus petite valeur négative, à encapsuler (par exemple, pour supprimer les bits à gauche de la plus bit représentable significatif), ou pour signaler un débordement comme une erreur Simulink pendant la simulation. Pour quantification, les options sont d'arrondir à la valeur représentable la plus proche (ou à la valeur la plus éloignée de zéro s'il y a deux valeurs représentables équidistantes les plus proches), ou pour tronquer (par exemple, pour supprimer bits à droite du bit représentable le moins significatif).

Il est important de réaliser que le débordement et la quantification n'ont pas lieu dans le matériel ils prennent placez-le dans le bloc logiciel lui-même, avant d'entrer dans la phase matérielle.



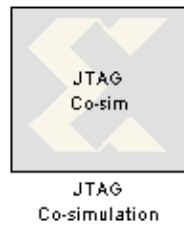
4.5.3.1.7 Gateway Out

Les blocs Xilinx Gateway Out sont les sorties de la partie Xilinx de la Conception Simulink. Ce bloc convertit le générateur système en virgule fixe ou en virgule flottante type de données dans un type de données entier Simulink, simple, double ou à virgule fixe. Selon sa configuration, le bloc Gateway Out peut soit définir une sortie port pour le niveau supérieur de la conception HDL générée par System Generator, ou être utilisé simplement comme test point qui est coupé de la représentation matérielle.



4.5.3.1.8 JTAG Co-Simulation

Le bloc de co-simulation Xilinx JTAG vous permet d'effectuer une Co-simulation matérielle en utilisant JTAG et un Parallel Cable IV ou Platform USB. Le JTAG L'interface de Co-simulation matérielle tire parti de l'ubiquité de JTAG pour étendre le matériel de System Generator dans la capacité de boucle de simulation à de nombreux autres plates-formes FPGA.



L'interface de port du bloc de co-simulation varie. Lorsqu'un modèle est implémenté pour la co-simulation matérielle JTAG, une nouvelle bibliothèque est créée contenant un bloc de co-simulation JTAG personnalisé avec des ports qui correspondent aux noms de passerelle (ou port noms si le sous-système n'est pas le niveau supérieur) du modèle d'origine. Le bloc de co-simulation interagit avec la plate-forme matérielle FPGA lors d'une simulation Simulink. Données de simulation qui sont écrites sur les ports d'entrée du bloc sont transmis au matériel par le bloc. Inversement, quand les données sont lues à partir des ports de sortie du bloc de co-simulation, le bloc lit les valeurs appropriées à partir du matériel et les pilote sur les ports de sortie afin qu'ils puissent être interprétés dans Simulink. En plus, le bloc ouvre, configure, parcourt et ferme automatiquement la plate-forme.

Dans notre modèle BPSK hwcosim acquis après la co-simulation matérielle. Le nouveau bloc (BPSK hwcosim) a une sortie donnant le numéro du port GatewayOut. Le bloc comprend toute la fonctionnalité nécessaire pour que la conception soit réalisée sur le FPGA et est couplé à un train de bits qui sera téléchargé à l'intérieur du FPGA au cours de la co-simulation.

La figure 3 représente les signaux acquis après la mise en œuvre du modulateur. Les résultats sont visualisés comme le montre la figure 4-17. Nous pouvons comparer les résultats obtenus après la co-simulation matérielle avec les résultats d'un générateur de fonctions.

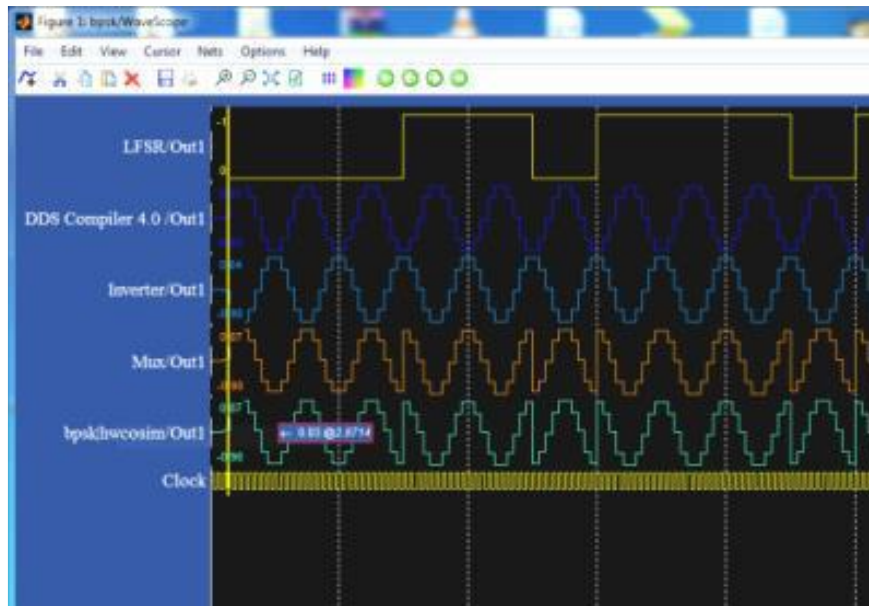


Figure 4-14. Résultat de la simulation affiché dans l'oscilloscope Wave

Après avoir compilé le code VHDL généré par System Generator, le résumé de notre conception est clarifié comme dans la figure 4-18.

| Device Utilization Summary | | | | [-] |
|------------------------------------|------|-----------|-------------|---------|
| Slice Logic Utilization | Used | Available | Utilization | Note(s) |
| Number of Slice Registers | 43 | 54,576 | 1% | |
| Number used as Flip Flops | 43 | | | |
| Number of Slice LUTs | 39 | 27,288 | 1% | |
| Number used as logic | 22 | 27,288 | 1% | |
| Number using O6 output only | 19 | | | |
| Number of occupied Slices | 17 | 6,822 | 1% | |
| Number of MUXCYs used | 28 | 13,644 | 1% | |
| Number of LUT Flip Flop pairs used | 46 | | | |
| Number with an unused Flip Flop | 3 | 46 | 6% | |
| Number with an unused LUT | 7 | 46 | 15% | |
| Number of RAMB8BWERs | 1 | 232 | 1% | |
| Average Fanout of Non-Clock Nets | 1.97 | | | |

Figure 4-15. Le résumé de conception du modulateur BPSK

Le résumé de conception montre les différentes options de synthétiseur qui ont été activées et certaines statistiques d'utilisation et de synchronisation de l'appareil pour la conception synthétisée. Lors des tests et de l'analyse d'un système de contrôle fait avec System Generator, une des difficultés majeures est de vérifier ce design en boucle fermée.

Bien qu'une simulation en boucle ouverte avec des valeurs de référence soit efficace pour confirmer le bon fonctionnement de l'algorithme, cette méthode comporte deux désavantages. Premièrement, elle ne représente pas comment le système va se comporter avec rétroaction, et deuxièmement, il faudra de toute façon effectuer un test en boucle fermée avant de brancher le système à l'équipement de laboratoire.

Les résultats montrent clairement que la première méthode de mise en œuvre du système BPSK dans FPGA à l'aide du générateur de système Xilinx consiste à comparer le résumé de conception obtenu avec d'autres travaux dans ce domaine [59] [63] l'utilisation logique de la carte était plus faible en termes de slice flip-flops et LUT utilisés. L'ensemble de ces éléments rend la conception adaptée en termes de propagation, de mise en œuvre et d'utilisation logique des cartes Atlys utilisées dans ce travail.

4.6 Vérification du matériel sur la plateforme FPGA Spartan-6 par co-simulation matérielle

4.6.1 La deuxième méthode: conception du modulateur BPSK à l'aide de Verilog HDL

Le modulateur BPSK que nous avons implémenté sur la carte Atlys Kit a, comme modèle, comme le montre la figure 4-19. Le support est généré en interne; concentrons-nous cette fois sur la sortie vocale ATLYS, basée sur l'installation et l'utilisation des outils que nous avons expérimentés jusqu'à présent, et la programmation simple de Verilog. Après une courte pause, afin de sortir le son de la borne de sortie audio ATLYS (prise casque noire), il est nécessaire de piloter la commande AIC, en fait, un composant électronique LM4550B (codec audio National Semi-conducteur ac97). Plus précisément, la conduite consiste à faire des données selon le format de données AIC et à les envoyer à l'AIC. Tout d'abord, l'initialisation avec des données fonctionnelles, puis la transmission répétée de données audio numériques, le son sera transmis de l'AIC au casque. Cette fonction de sortie de données numériques comme le son est la "conversion DA du signal audio (conversion numérique-analogique)". Le schéma fonctionnel AIC et la méthode choisie pour générer une onde sinusoïdale sont illustrés à la figure 4-20.

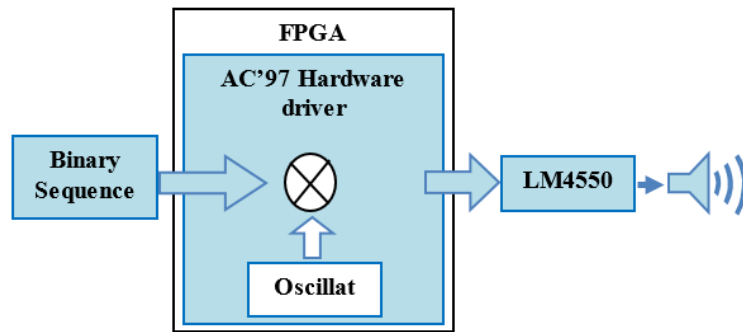


Figure 4-16. Le système audio numérique analogique BPSK

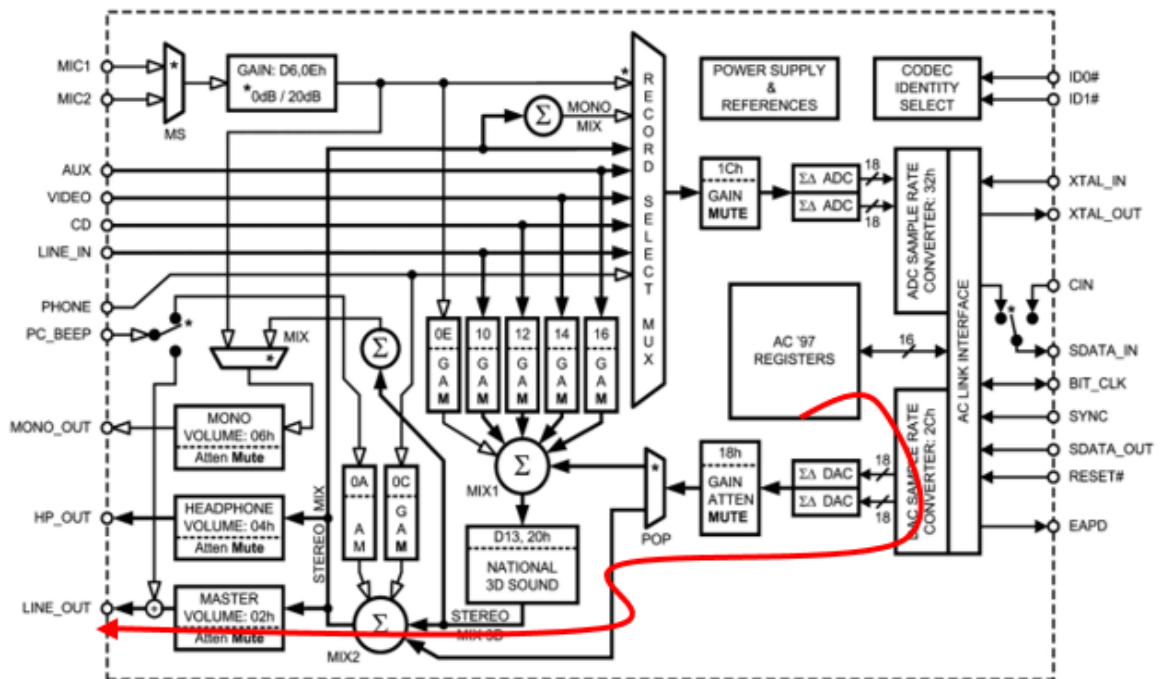


Figure 4-17. Le diagramme AIC [64] et la manière choisie pour générer une onde sinusoïdale

4.6.2 LM4550 ac'97 Audio Codec

Ceci est un exemple de pilote matériel utilisé pour interfacer un codec audio National Semi-conducteur LM4550 ac'97 avec un FPGA fonctionnant à 100 MHz. La conception peut être adaptée à d'autres vitesses d'horloge en mettant à l'échelle les compteurs internes ou en instanciant une PLL intégrée pour atteindre une horloge de 100 MHz. Un FPGA Spartan 6 a été utilisé pour développer le contrôleur ac'97, mais n'importe quel FPGA peut être utilisé tant que la synchronisation du signal est prise en compte par rapport à l'horloge principale du système. La fiche technique du codec LM4550 ac'97 est disponible.

Les entrées du contrôleur comprennent l'oscillateur FPGA principal, une réinitialisation active basse, des données série en ligne, une horloge de bits de 12,288 MHz de la puce ac'97,

un sélecteur de source 3 bits (interrupteurs à glissière) et un contrôle de volume 5 bits (interrupteurs à glissière). Les sorties du contrôleur comprennent un signal de synchronisation, une sortie de données série et un signal de réinitialisation bas actif ac97 pour initialiser l'ac97. Il existe deux signaux internes pour synchroniser le contrôleur principal ac'97 avec la machine à états de commande. L'un de ces signaux émet des impulsions toutes les 20us et l'autre est un signal utilisé pour le contrôle d'erreur pendant la phase d'étiquette.

4.6.3 Hiérarchie HDL

Le contrôleur comporte deux parties principales, l'ac97 pour générer des signaux et la conversion de données parallèles 18 bits en données série pour interfacer la puce ac97 avec le FPGA, et la machine à états du contrôleur de commande utilisée pour configurer les registres dans l'ac97 de manière circulaire. Le FSM peut être modifié pour inclure des entrées de signal de bus utilisateur, acheminées vers chaque état correspondant à différentes valeurs de registre, pour une configuration à la volée du codec. Les deux parties du pilote matériel ac97 sont synchronisées avec un signal prêt à un cycle pulsé. Le haut de la hiérarchie achemine simplement les sorties parallèles du contrôleur vers les entrées parallèles du contrôleur sur les fronts d'horloge. Cela permet à l'ac97 de communiquer de l'entrée à la sortie. Ce processus dans le fichier de niveau supérieur peut être remplacé par des composants utilisateur de mappage de ports pour diverses tâches de traitement du signal. La hiérarchie du système VHDL peut être vue dans le diagramme RTL de la figure 4-21 ci-dessous.

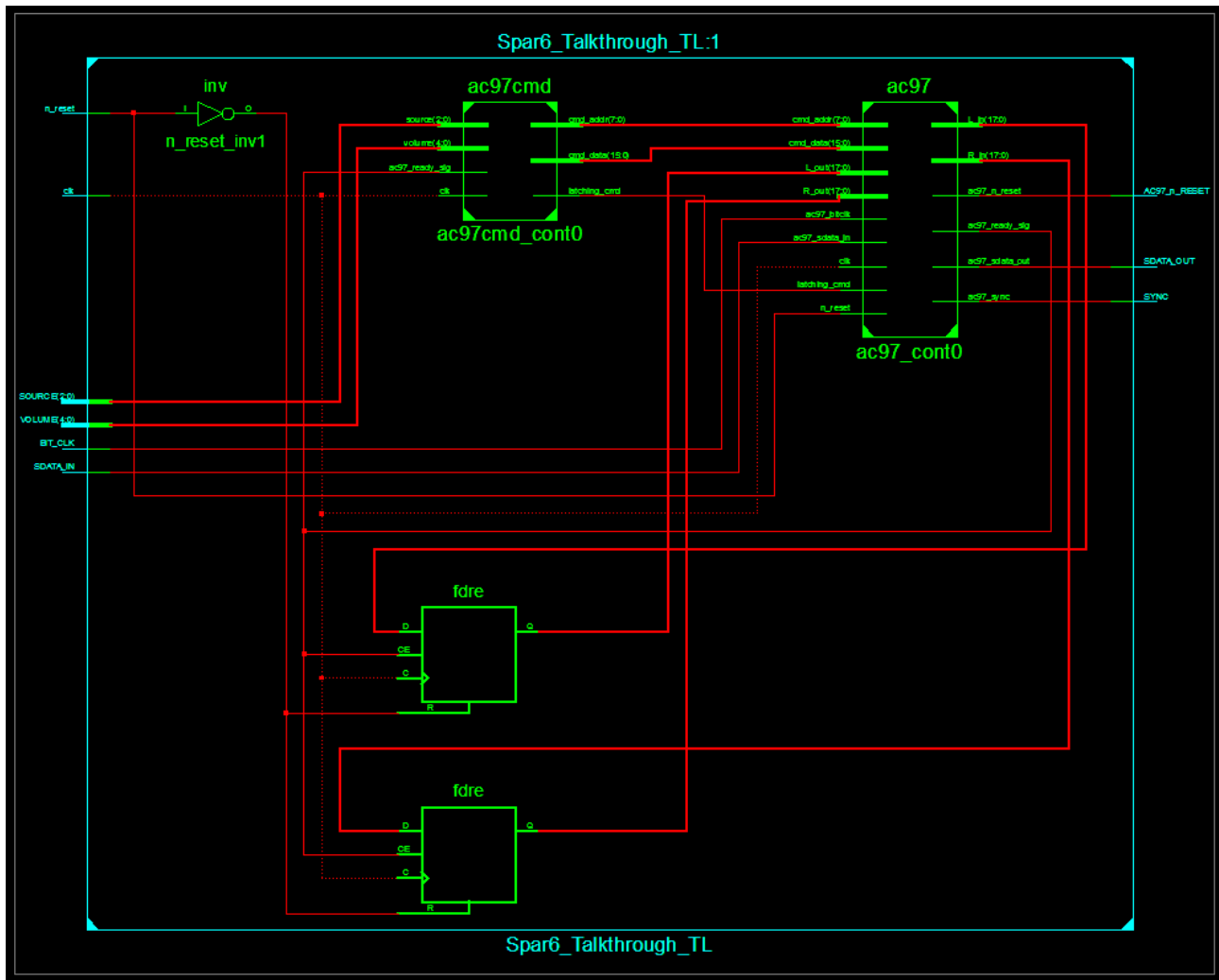


Figure 4-18 . Schéma fonctionnel RTL pour le circuit Talkthrough AC'97

C'est une onde sinusoïdale de 440 Hz qui apparaît fréquemment dans les ondes physiques et électriques et vibre 440 fois par seconde. Les ondes sinusoïdales sont à la base du son. Le signal modulant est généré en externe par la source de données DCS 297A et le format de données DCS 297 Centré dans le FPGA à l'aide d'un Pmod [65], Ce signal numérique est ensuite multiplié par la porteuse récupérée, généré en interne dans un codec audio, enfin le signal BPSK sort de la prise casque noire. La fonctionnalité de ce modulateur numérique a été démontrée par des mesures expérimentales du signal modulé en temps réel via un oscilloscope.

En utilisant Xilinx ISE 14.5 [66], un signal modulé BPSK peut être créé. La figure 4-22 montre le schéma de principe RTL proposé dans FPGA. Dans ce modulateur BPSK, lorsque le signal d'horloge (aud_bit_clk) est appliqué alors SINE_WAVE génère le signal sinusoïdal porteur ($A \sin(2\pi ft)$) dont la fréquence est de 400 Hz et la phase initiale est de 0° représenté par SINE_WAVE. De même, le bloc INV inverse le signal sinusoïdal de la porteuse ($A \sin$

$(2\pi ft + \pi)$) dont la fréquence est de 400 Hz et la phase initiale est de 180° . Ainsi, la sortie du bloc SINE_WAVE et INV sont les mêmes mais elles sont déphasées. Le bloc M2_1 implémente un multiplexeur. Son entrée de sélection (sel) est un signal de modulation, ce signal sélectionne une sortie de SINE_WAVE ou INV comme signal d'entrée du multiplexeur. La sortie du multiplexeur (OUT_1) est le signal modulé BPSK et il est mesuré avec un oscilloscope.

La figure 4-22 illustre le résumé de conception qui apparaît l'utilisation de bascules, LUT, tranches utilisées à partir de la capacité du FPGA de la carte Atlys [67]. Les résultats expérimentaux ont été réalisés dans un laboratoire en utilisant Atlys Starter Kit Board et un oscilloscope numérique, comme le montre la figure 4-23. Le signal jaune injecté sur la broche Pmod (signal modulant) et le signal bleu (signal BPSK) sort du noir prise casque [68].

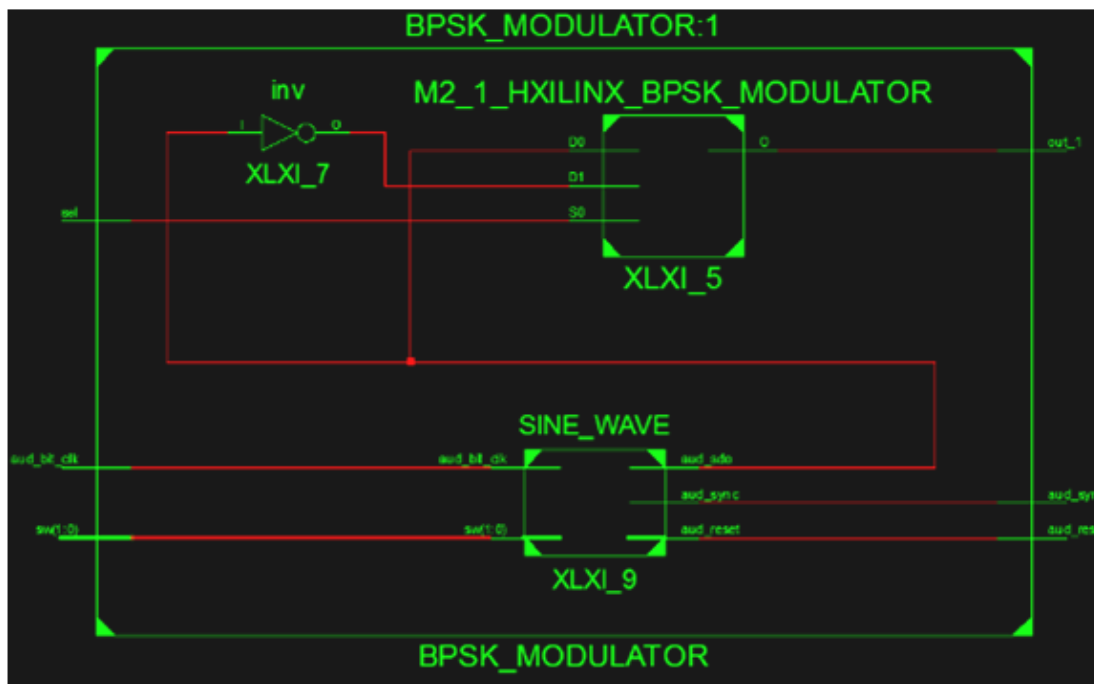


Figure 4-19. Schéma RTL du système de modulateur BPSK

| Device Utilization Summary | | | | [-] |
|------------------------------------|------|-----------|-------------|---------|
| Slice Logic Utilization | Used | Available | Utilization | Note(s) |
| Number of Slice Registers | 62 | 54,576 | 1% | |
| Number used as Flip Flops | 62 | | | |
| Number of Slice LUTs | 76 | 27,288 | 1% | |
| Number used as logic | 64 | 27,288 | 1% | |
| Number using O6 output only | 41 | | | |
| Number of occupied Slices | 25 | 6,822 | 1% | |
| Number of MUXCYs used | 28 | 13,644 | 1% | |
| Number of LUT Flip Flop pairs used | 85 | | | |
| Number with an unused Flip Flop | 34 | 85 | 40% | |
| Number with an unused LUT | 9 | 85 | 10% | |
| Number of RAMB8BWERs | 0 | 232 | 0% | |
| Average Fanout of Non-Clock Nets | 2.66 | | | |

Figure 4-20. Le résumé de conception du modulateur BPSK

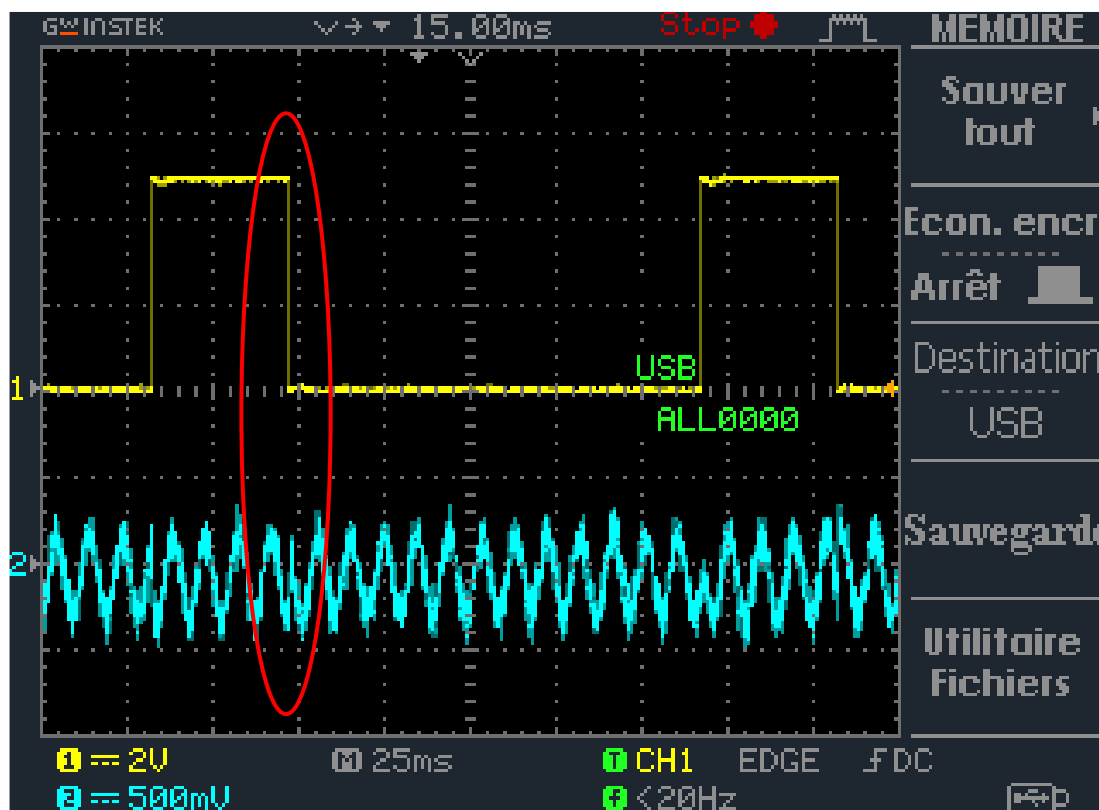


Figure 4-21. Représente le laboratoire de banc d'essai utilisé dans la mise en œuvre du modulateur BPSK sur la carte atlys

4.6.4 RÉSULTATS DE COMPARAISON ET CONCLUSION

Les résultats montrent clairement que la première méthode d'implémentation du système BPSK dans FPGA à l'aide du générateur de système Xilinx consiste à comparer le résumé de conception obtenu avec d'autres travaux dans ce domaine [59] [63] l'utilisation logique de la carte était inférieure en termes de trancher les bascules et les LUT utilisées. Tous ces éléments rendent la conception adaptée en termes de propagation, d'implémentation et d'utilisation logique des cartes Atlys utilisées dans ce travail.

Bien que System Generator ait une option pour générer le code VHDL, mais cela reste difficile à lire, je trouve cela problématique, ainsi que l'impossibilité d'exploiter les différents composants intégrés dans la carte Atlys par exemple le codec audio National semi-conducteur LM4550 AC '97, Par L'environnement Matlab/Simulink seul sans retour à ISE et écrire le code sien est la deuxième problématique. La deuxième méthode de mise en œuvre consiste à utiliser directement le langage Verilog HDL pour accéder et contrôler le codec audio AC '97 afin de fournir un signal sinusoïdal. Ce qui est considéré comme la porteuse et également la programmation d'une broche Pmod en tant qu'entrée numérique est un signal modulant, et la programmation de la sortie AIC à partir de là donne un signal BPSK.

Si l'on compare le résumé de la conception de cette méthode par le premier en constatant que les ressources consomment un peu plus, le temps de développement est également grand mais l'avantage de cette méthode est que le système fonctionne de manière autonome avec des résultats réels ; fiable et rapide, leur code est facile à lire [69].

Conclusion

Générale

5 Conclusion Générale

Ce rapport de thèse a présenté notre travail de recherche. Nous le concluons en résumant les résultats principaux et les apports avant de proposer quelques perspectives.

L'implémentation numérique, en temps réel, d'une modulation numérique est au centre des préoccupations de nombreux scientifiques.

Les applications de communication sans fil nécessitent différents complexes de calcul. Cependant, les systèmes de communication sans fil sont applicables à ces défis ; c'est en vue d'un rôle très important joué par le FPGA (Field Programmable Gate Array) est devenu un élément fondamental participer à la mise en œuvre de systèmes DSP (Digital Signal Processing), principalement dans des domaines tels que le numérique communications basées sur la modulation numérique. Une technique de modulation numérique est arrivée et elle peut être visible dans tous les domaines des systèmes de communication sans fil. Le but de cet article est d'examiner la fonctionnalité de deux méthodes de mise en œuvre du système BPSK, En termes de ressources utilisées pour générer la modulation BPSK, le temps de développement et quelle méthode nous permet d'utiliser les différents composants intégrés dans la carte Atlys, par exemple, l'audio National Semi-conducteur LM4550 AC '97 codec. Et comparer en même temps avec d'autres travaux dans ce domaine.

La première méthode consiste à utiliser la co-simulation matérielle fournie par System Generator qui est considéré comme un instrument de modélisation au niveau du système qui simplifie la disposition matérielle du FPGA Xilinx dans Matlab et Simulink. Deuxièmement, utilisez le langage de description matérielle (HDL), comme VHDL ou Verilog HDL, qui est un langage commun pour les concepteurs. C'est ce que vous savez par langage de haut niveau et simulation, synthèse les équipements sont accessibles. Il confère une reconfiguration de conception flexible et différents niveaux d'abstraction.

En raison de l'orthogonalité de la OFDM, la présence du bruit nous assure, en valeur moyenne, la même contribution sur tous les coefficients de cette transformée. Lors de la phase de l'implémentation sur FPGA, de la technique adoptée dans ce contexte-là, un choix judicieux des algorithmes d'optimisations, tant sur le plan des éléments logiques internes nécessaires à la synthèse de la description comportementale des composants décrivant l'architecture de cette technique que sur la contrainte du temps réel, en vue de satisfaire à notre attente qui consiste en la qualité du signal à restituer, sans pourtant, nuire à la robustesse de cette approche. En utilisant les LUTs, la fonction débruitage est implémentée en VHDL

Conclusion Générale

dans un design qui élimine la nécessité d'utiliser des multiplicateurs classiques relativement longs et donc, réduire le temps d'exécution c.a. d'augmenter les performances en termes de fréquence de travail. Dans la suite de nos contributions, et comme les LUTs sont gourmands en terme des éléments logiques, nous avons étudié et implémenté nos multiplicateurs avec des LUTs en réduisant leurs tailles ce qui nous amène à bien réduire l'utilisation des ressources matérielles. Une autre contribution est le fusionnement des deux circuits de seuillages HARD et SOFT en un seul circuit nécessitant moins de ressources matérielles.

Enfin, pour valider les résultats obtenus plusieurs bancs de tests de simulations et de confrontations ont été faits en moyennant, entre autres, l'environnement de la programmation et la simulation Modelsim. Les performances ont été justifiées en termes de ressources matérielles utilisées, et du temps d'exécution.

Implementation of OFDM System and BER Calculation Using Matlab

Mr.A.HEBIBI
 Department of Electronic
 University of Farhat Abbas Setif 1
 Setif, Algeria
hebibiammar@hotmail.fr

Prof.Mr.A.BARTIL
 Department of Electronic
 University of Farhat Abbas Setif 1
 Setif, Algeria
bartil.arres@yahoo.fr

Abstract—Orthogonal frequency division multiplexing (OFDM) has been shown to be an effective technique to combat multipath fading in wireless channels. It has been and is going to be used in various wireless communication systems [1].

The idea of using parallel data transmission by FDM was published in mid 60s [2].

However, recently the attention toward OFDM has grown rapidly in the field of wireless and wired communication systems. This is reflected by the adoption of this technique in applications such as digital audio/video broadcast, wireless LAN (802.11a and HiperLAN2), broadband wireless (802.16) and xDSL [3].

The purpose of this paper is to use a Matlab simulation of OFDM to see how the Bit Error Ratio (BER) varies when Signal to Noise Ratio (S/N) and Multipropagation effects are changed in channel [4].

Keywords— FDM, OFDM, FFT, IFFT, QAM, ISI, BER, S/N.

I. INTRODUCTION

Orthogonal frequency division multiplexing (OFDM)

Modulation - a mapping of the information on changes in the carrier phase, frequency or amplitude or combination.

Multiplexing - method of sharing a bandwidth with other independent data channels.

OFDM is a combination of modulation and multiplexing. Multiplexing generally refers to independent signals, those produced by different sources. So it is a question of how to share the spectrum with these users. In OFDM the question of multiplexing is applied to independent signals but these independent signals are a sub-set of the one main signal. In OFDM the signal itself is first split into independent channels, modulated by data and then re-multiplexed to create the OFDM carrier.

OFDM is a special case of Frequency Division Multiplex (FDM). As an analogy, a FDM channel is like water flow out of a faucet, in contrast the OFDM signal is like a shower. In a

faucet all water comes in one big stream and cannot be subdivided. OFDM shower is made up of a lot of little streams [5].

In a single carrier communication system, the symbol period must be much greater than the delay time in order to avoid inter-symbol interference (ISI) [6]. Since data rate is inversely proportional to symbol period, having long symbol periods means low data rate and communication inefficiency. A multicarrier system, such as FDM (aka: Frequency Division Multiplexing), divides the total available bandwidth in the spectrum into sub-bands for multiple carriers to transmit in parallel [7]. Fig.1 compares the bandwidth utilization of FDM and OFDM.

An overall high data rate can be achieved by placing carriers closely in the spectrum. However, inter-carrier interference (ICI) will occur due to lack of spacing to separate the carriers. To avoid inter-carrier interference, guard bands will need to be placed in between any adjacent carriers, which results in lowered data rate.

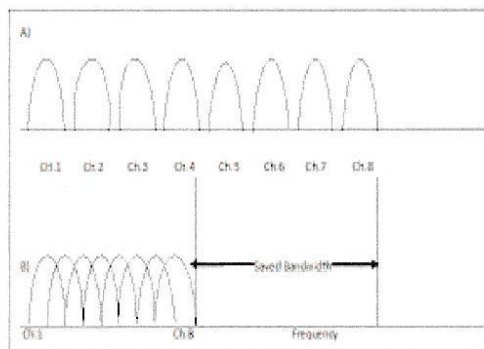


Fig. 1. A) Spectrum of FDM showing guard bands. B) Spectrum of OFDM showing overlapping subcarriers

OFDM (aka: Orthogonal Frequency Division Multiplexing) is a multicarrier digital communication scheme to solve both issues. It combines a large number of low data rate carriers to construct a composite high data rate communication system. Orthogonality gives the carriers a valid reason to be closely spaced, even overlapped, without inter-carrier interference. Low data rate of each carrier implies long symbol periods, which greatly diminishes inter-symbol interference [8].

Using a Matlab simulation we can implement an OFDM transmission. Using the simulation we can easily change the values of S/N ratio [9] and change the multipropagation effects on the transmission. Then we can analyze the results of each transmission and see how the BER [10] is changed.

II. IMPLEMENTATION

As shown in Fig.2, we have to implement the OFDM system. This implementation is used to transmit a computer file in binary data form modulated by OFDM and 16-QAM modulation. A scheme of every part of the implementation of simulation flowchart can be seen in Fig.3

In the end of the transmission, when the receiver receives the data a comparison of the transmitted and the received messages is done in order to calculate the Bit Error Ratio (BER).

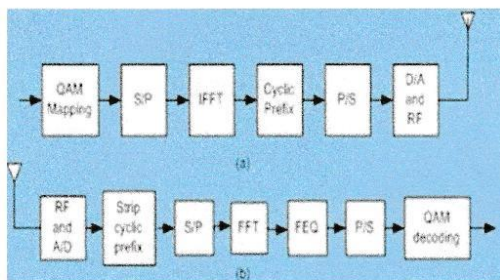


Fig. 2. Block diagram of an OFDM system using QAM modulation

A. Modulation

Modulation is the technique by which the signal wave is transformed in order to send it over the communication channel in order to minimize the effect of noise. This is done in order to ensure that the received data can be demodulated to give back the original data. In an OFDM system, the high data rate information is divided into small packets of data which are placed orthogonal to each other. This is achieved by modulating the data by a desirable modulation technique like Quadrature Amplitude Modulation [11]. After this, IFFT is performed on the modulated signal which is further processed by passing through a parallel to serial converter. Guard Interval Insertion (GII) is done in order to avoid ISI.

B. Communication Channel

This is the channel through which the data is transferred. Presence of noise in this medium affects the signal and causes distortion in its data content. The channel simulation will allow examination of the effects of noise, multipath, and clipping. By adding random data to the transmitted signal, simple noise can be simulated [12]. Multipath simulation involve adding attenuated and delayed copies of the transmitted signal to the original. This simulates the problem in wireless communication when the signal propagates on many paths. For example, a receiver may see a signal via a direct path as well as a path that bounces off a building. Finally, clipping simulates the problem of amplifier saturation. This addresses a practical implementation problem in OFDM where the peak to average power ratio is high.

C. Demodulation

Demodulation is the technique by which the original data is recovered from the modulated signal which is received at the receiver end. In this case, the received data is first made to pass through a low pass filter and the Guard Interval Removal (GIR) is done. FFT of the signal is done after it is made to pass through a serial to parallel converter. A demodulator is used, to get back the original signal. The bit error rate and the signal to noise ratio is calculated by taking into consideration the unmodulated signal data and the data at the receiving end.

III. SIMULATION

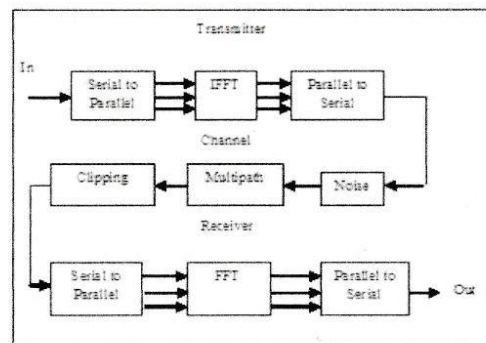


Fig. 3. OFDM Simulation Flowchart

D. MATLAB code

```
clear;close all; clc
% nFFT , nSymbols
n_sc = 2048; % number of subcarriers =
nFFT = 2048
n_sym = 1e3; % number of OFDM symbole
% Modulation Type
M = 16; % Modulation: 16-QAM
k = Log2(M); % number of bits per
symbol
```



```

mod =
modem.qammod('M',M,'SymbolOrder','Gray')
;
demod = modem.qamdemod(mod);
% Cyclic Prefix
n_cp = 16; % Cyclic prefix = [0 16
32 64] Symbols
% Channel Type
chan_type = 'awgn';
EbNo = 0:16;
SNR = EbNo + 10*log10(k);
% Generating Data
x1 = randi ([0,1],n_sym*n_sc,1);
% Modulation
x11 =
bi2de(reshape(x1,k,numel(x1)/k).','left-
msb');
x2 = modulate(mod,x11);
% Serial to Parallel
x3 = reshape(x2,n_sc,numel(x2)/n_sc).';
% IFFT
x4 = ifft(x3,n_sc,2);
% Add Cyclic Prefix
x5 = [x4(:,end-n_cp+1:end),x4];
% Add Noise
for i = 1:length(EbNo)
% AWGN
y5 = awgn(x5,SNR(i),'measured');
% Remove Cyclic Prefix
y4 = y5(:,n_cp+1:end);
% FFT
y3 = fft(y4,n_sc,2);
% Parallel to Serial
y2 = reshape(y3.',numel(y3),1);
% Demodulation
y11 = demodulate(demod,y2);
y12 = de2bi(y11,'left-msb');
y1 = reshape(y12.',numel(y12),1);
% BER Counter
BER(i) = sum(x1~=y1)/numel(x1);
end
% Plot
subplot(211);
stem(x1(1:128));
title('Original Message');
subplot(212);
stem(y1(1:128));
title('recovered Message');
BER_th = berawgn(EbNo,'qam',M);
figure,semilogy(EbNo,BER_th,EbNo,BER,'ro',
,'linewidth',2);
xlabel('E_b/N_o(db)')
ylabel('BER')
axis([EbNo(1) EbNo(end) 1e-5 1])

```

The MATLAB code used in this paper was adapted from mathworks the help of MATLAB and watch video [14].

IV. RESULTS

Simulation results for MATLAB code are shown in fig.4, 5.

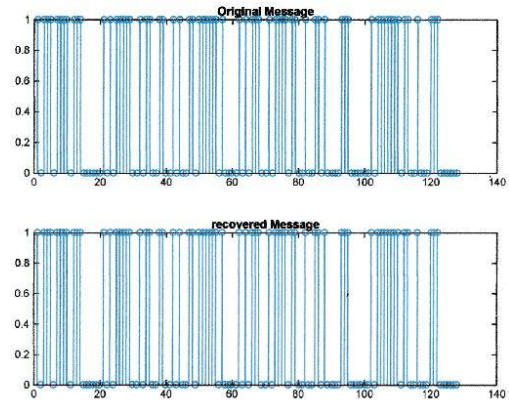


Fig. 4. Original Message and Recovered Message

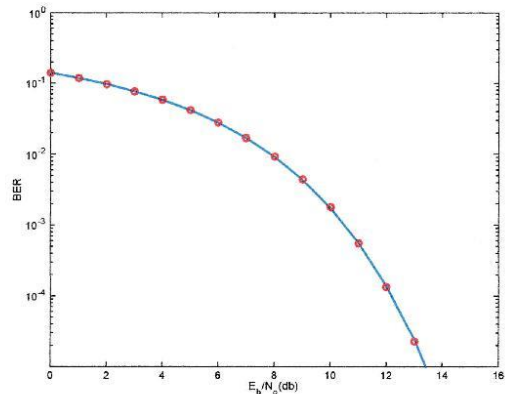


Fig. 5. BER as a function of S/N ration

V. CONCLUSION

We saw how the work can simulate OFDM system with MATLAB and with the help of block diagram of an OFDM communication system, and we have used in this simulation QAM-16 modulation

Finally we calculate BER by comparing the signal transmitted with the signal receiver if they are not equal we collect the points and divide the number that is BER. Decreased (berawgn serie) is expected to be similar to my work (serie) because (berawgn) does not affect the OFDM system

The figure shows, what is blue (serie), and what I have done is red see that they are identical

In conclusion, OFDM is a very promising technology for wireless communication, but the very different constraints introduced open up many new interesting avenues for research.

ACKNOWLEDGMENT

I wish to thank the referee for the careful reading of the paper and giving the valuable suggestions.

REFERENCES

- [1] Ye (Geoffrey) Li, and Gordon L. Stüber, "Orthogonal Frequency Division Multiplexing for Wireless Communication," Georgia Institute of Technology, Atlanta, p. xi, 2006.
- [2] B. Salzberg, "Performance of an efficient parallel data transmission system". IEEE Trans. Commun. Technol., vol. COM-15, pp 805-813, Dec 1967.
- [3] Nilesh Chide, Shreyas Deshmukh, Prof. P.B. Borole. "Implementation of OFDM System using IFFT and FFT." International Journal of Engineering Research and Applications (IJERA) ISSN: 2248-9622 www.ijera.com Vol.3, Issue 1, January - February 2013, pp.2009-2014.
- [4] Orlandos Grigoriadis, H. Srikanth Kamath, Member, IAENG, "Ber Calculation Using Matlab Simulation For OFDM Transmission," Proceedings of the International MultiConference of Engineers and Computer Scientists, vol II, pp. 19-21, Hong Kong, March, 2008.
- [5] Charan Langton, "Orthogonal Frequency Division Multiplex (OFDM) Tutorial", Intuitive Guide to Principles of Communications, www.complextoreal.com, 2004.
- [6] Schulze, Henrik and Christian Luders. *Theory and Applications of OFDM and CDMA* John Wiley & Sons, Ltd. 2005
- [7] Theory of Frequency Division Multiplexing: <http://zone.ni.com/devzone/cda/ph/p/id/269>
- [8] Acosta, Guillermo. "OFDM Simulation Using MATLAB" 2000
- [9] Wikipedia, free encyclopedia, article on signal to noise ratio http://en.wikipedia.org/wiki/S/n_ratio
- [10] Wikipedia, free encyclopedia, article on bit error rate http://en.wikipedia.org/wiki/Bit_error_rate
- [11] Horosaki B., "An orthogonally multiplexed QAM system using the DFT," IEEE Trans. Comm. Vol.COM-29, pp. 982-989, July 1981.
- [12] P. Banelli and S. Cacopardi, "Theoretical analysis and performance of OFDM signals in channels," IEEE Trans. Commun., vol. 48, pp. 430-441, Mar. 2000.
- [13] M. Young, *The Technical Writer's Handbook*. Mill Valley, CA: University Science, 1989.
- [14] Documentation MATLAB Function www.mathworks.com and <https://www.youtube.com/watch?v=6lhuadvltO4>



UNIVERSITE BADJI MOKHTAR-ANNABA

جامعة باجي مختار عنابة

مختبر الدراسات والبحوث في التجهيز والاتصالات بعنابة

LABORATOIRE D'ETUDE ET DE RECHERCHE EN INSTRUMENTATION ET EN COMMUNICATION D'ANNABA
(L.E.R.I.C.A)



ICESTI'16

International Conference on Embedded Systems in Telecommunications and Instrumentation
Annaba, Algeria, October, 24 - 26, 2016

PARTICIPATION CERTIFICATE

The Organizing Committee certifies that

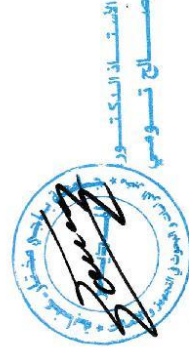
A.HEBIBI

Has participated in the 3rd International Conference (ICESTI'16) and presented a Poster Communication entitled:
Implementation of OFDM System and BER Calculation Using Matlab

Co-Authors: A.HEBIBI, Bartil Arris

The Conference Chairman

Pr. TOUMI Salah



Comparison of Two New Methods for Implement a BPSK Modulator Using FPGA

Amar Hebibi¹, Arres Bartil^{1,2}, Lahcene Ziet¹

¹Department of Electronics, Faculty of Technology, Ferhat Abbas University, Setif-1, 19000, Algeria.

²Laboratory of scientific instrumentation, Department of Electronics, Faculty of Technology, Ferhat Abbas University, Setif-1, 19000, Algeria

* hebibi.amar@univ-setif.dz

Abstract— the design of electronic systems has become mainly dependent on FPGAs applications. This is due to the softness effectiveness progress by reconfigurable computing and reduced time to develop solutions for digital signal processing. In this paper, we present the theoretical backgrounds of a BPSK modulation and hardware designs of the BPSK system, a firstly by using Matlab/Simulink environment System Generator and a second with VERILOG Hardware Description Language Xilinx ISE. In order to show the differences between them, in terms of efficiency, duration of development and how many resources are used in FPGA. For the projected system, we have a tendency to aimed toward employing a moderately sized, low-value FPGA to implement the system. The Atlys development board by Digilent to configure develops, and run the system, based on a Xilinx Spartan-6 LX45 FPGA.

Index Terms— BPSK; FPGA; VHDL; Verilog HDL; DDS; AIC; Digital Modulator; System Generator; Hardware co-simulation;

I. INTRODUCTION

Wireless communication applications required different computational complexes as shown in the table1 [1].

However, wireless communication systems are applicable to these challenges; this is in view of a very important role played by the FPGA (Field Programmable Gate Array) became an essential part in implementing DSP (Digital Signal Processing) systems, especially in areas such as digital communications which are based on digital modulation

A digital modulation technique has happened and it can be visible in all areas of wireless communications systems

Table 1 COMPUTATIONAL COMPLEXITY OF SOME WIRELESS COMMUNICATION STANDARDS

| Wireless standard | Approximate computational complexity (MIPS) |
|-------------------|---|
| 802.11a&b | 9000 MIPS |
| W-CDMA | 6000 MIPS |
| IS-95 | 500 MIPS |
| GPRS | 300 MIPS |
| IS-136 | 200 MIPS |
| GSM | 100 MIPS |

The aim of this article is to test the functionality of two methods of implementing the BPSK system, In terms of the resources used to generate the BPSK modulation, the development time and what method allows us to use the different components integrated into the Atlys board, for example, the National Semiconductor LM4550 AC '97 audio codec. And compare at the same time with other works in this domain

The first method is to using hardware co-simulation provided by System Generator which is considered as system-level modeling tool that Simplifies Xilinx FPGA hardware design in Simulink and Matlab. Second use hardware description language (HDL), like Verilog HDL or

VHDL, which is a common language for designers. That's what you know by high-level language and simulation, synthesis tools are available. It allows adaptable design reconfiguration and multiple levels of abstraction.

II. RELATED WORKS

The successful implementation of simple communication modulators has opened the doors for the implementation of more complicated systems such as QPSK and QAM. This paper focused on the implementation of BPSK

The work proposed by Silvana Popescu, Aurel Gontean and Georgeta Budura [2], made a suggestion of three applications of a BPSK modulator in System Generator. In the first, the three signals: the carrier, the modulating and the modulated signals were created externally. In the second scheme, the carrier is created external, and the modulating signal is created internally by an LFSR. And in the third scheme, all three signals were created internal a carrier is generated internally by two DDS blocks from System Generator the exception of the modulating signal which can be obtained either internal by the FSR or external by the pulse generator. Implemented the BPSK modulator on the Spartan 3E Starter Kit based on the third proposal of the modulator made in System Generator with the option to generate the VHDL code.

After one year the same researchers are presenting tow works, an implementation of the BPSK System (Modulator and Demodulator) in the Matlab/Simulink environment [3].

Then, we have a tendency to create a proposal of a BPSK System in System Generator. Both, the modulating signal and the carrier are generated internally, the modulating signal by an LFSR and the carrier by a two DDS Compiler. At the output of a mux block, we obtained the modulated signal.

The BPSK System integrated on the Spartan 3E Starter Kit board has an identical principle because of the implementation in System Generator.

Although System Generator has the ability to create a VHDL code, the code was generated from the beginning because of this design because it is difficult to read the code that was created. The carrier which was indeed generated internal, in a ROM memory, but made of 16 different values, is the only noticeable difference. Was obtained a carrier with 180° phase shift by reading the ROM memory following with 8 samples

The second work presented by Silvana POPESCU, Aurel GONTEAN, Georgeta BUDURA in 2012, BPSK modulator [4] (hwcosim block) has two inputs and two outputs according to the number of the GatewayIn and GatewayOut ports. The block includes all the practicality needed for the look to be implemented on the FPGA and is coupled to a bitstream that may be downloaded into the FPGA After computing the VHDL code generated by System Generator

B.K.V. PRASAD and SAI PRIYA have presented the simulation of modulation and demodulation techniques utilize MATLAB Simulink and system generator for simulation and implementation on spartan-3e FPGA board [5], which impact flexibility for designing and testing so the development will be very easy. The FPGA was reconfigured and programmed with the assistance of ARM processor to compile the bit files to pick the desired modulation supported our demand and application that has best channel support.

The proposed approach in work of Silvana POPESCU, Aurel GONTEAN, Georgeta BUDURA [4] is only appropriate for this design he Said, Logic utilization of the board used is smaller if we use the generated VHDL code from System Generator, not writing the code from the beginning.

This is true because a carrier is generated external so he generates only LFSR and mux and does not work when using the DDS. This is recognized by Silvana POPESCU, Aurel GONTEAN, Georgeta BUDURA [3] when he said; the code was made from the beginning because the generated code was hard to Read. This is also evident in [2-5], the third scheme, all three signals were generated internal so The logical use of the board was higher as shown in device utilization summary, This is obvious due to the usage of two DDS and what they contain a lookup table scheme to generate sinusoids.

Also, the time used for designing a DSP system by writing VHDL code is greater than the time used for the System Generator environment. The main advantage for a design made in System Generator is that it can be validated through simulations before implementing it in hardware. This is what was agreed in [2-3-4-5]. The time used to simulate the designs with Simulink is smaller than the time taken to simulate with components from the Xilinx Blocks. Still, using System Generator inside Simulink for bit and cycle time simulations is an order of magnitude faster than running the same simulation through an HDL simulator [6].

The way we implemented our systems is novel and different from what others presented like it, all of these suggestions focus on using shared simulations of devices provided by the system generator. This is the first method a carrier is generated internally by only one DDS compiler.

The second method, I did not find an article about, I hope it is an exceptional work

III. BACKGROUNDS

A. Digital modulation

It is the process of varying the characteristics of a periodic waveform known as carrier signal with a modulating signal that typically contains information to be transmitted. It is the process of superimposing the information contents of a modulating signal on a carrier signal by altering its characteristics according to the given modulating signal. Digital modulation is the procedure by which digital symbols are transmitted into waveforms that are appropriate with the characteristics [7]. The modulation technique used in this essay is BPSK (Binary Phase Shift Keying) and it is mostly applied in digital transmission [8]. In all PSK modulation techniques, BPSK modulation is the simplest and most robust form. It is not suitable for broadband applications and can modulate only 1 bps. The BPSK modulator is sort of simple and is illustrated in fig.2. The modulated signal BPSK $s(t)$ we get as a result of the multiplication of the binary sequence $m(t)$ or the modulation signal by a sinusoidal carrier and. the modulated signal BPSK $s(t)$ is obtained as a result of the multiplication of the binary sequence $m(t)$ or the modulation signal by a sinusoidal carrier.

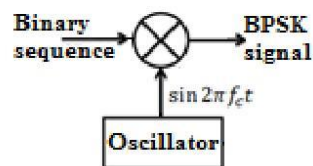


Figure 2. BPSK Modulator [9].

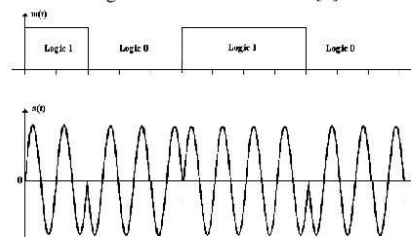


Figure 3. BPSK waveforms [10].

B. System Generator

System Generator is a DSP design device from Xilinx that permits the employment of the MathWorks model-based Simulink design environment for FPGA design. Previous expertise with Xilinx FPGAs or RTL design methodologies isn't needed once using System Generator. Designs are captured in the DSP friendly Simulink modeling environment employing a Xilinx specific block. All of the downstream FPGA implementation steps including synthesis and place and route are automatically performed to generate an FPGA programming file [11]. System Generator provides accelerated simulation through hardware co-simulation. System Generator will automatically create a hardware simulation token for a design captured in the Xilinx DSP blocks.

The BPSK Modulator that we implemented on the Atyls Kit board has, as a model, like showing in Figure 07

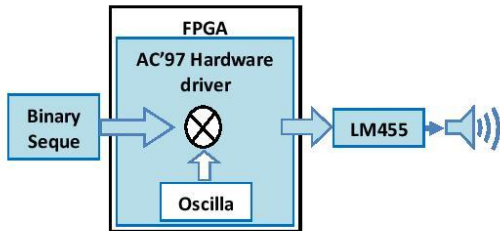


Figure 07. The audio digital analogue BPSK system

The carrier is generated internal; let's focus on the ATLYS voice output this time, based on the installation and use of the tools we have experienced so far, and the simple Verilog programming. After a short pause, in order to output the sound from the ATLYS audio output terminal (black headphone jack), it is necessary to pilot the AIC control, in fact, an electronic component LM4550B (National Semiconductor ac97 audio codec). Specifically, driving is to do data according to the AIC data format and send it to AIC. First, the initialization with functional data, then the repeated transmission of digital audio data, the sound will be transmitted from the AIC to the headphones. This digital data output function as the sound is "DA conversion of the audio signal (digital-to-analog conversion)". The AIC Block Diagram and the way is chosen for generating sine wave is illustrated in Figure 08

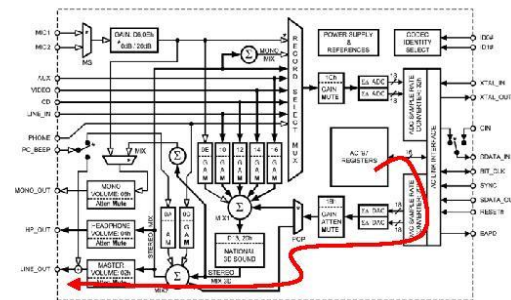


Figure 08. The AIC Block Diagram [12] and the way chosen for generate sine wave

It is a 440 Hz sine wave that appears frequently in physical and electrical waves and vibrates 440 times per second. Sine waves are the basis of sound, music, physics, and electricity. - The modulating signal is generated external by data source DCS 297A and data format DCS 297B entered in the FPGA with the help of a Pmod This digital signal is then multiplied with the recovered carrier, generated internal in a audio codec, finally the BPSK signal get out from the black headphone jack, The functionality of this digital modulator was demonstrated through experimental measurements of the real-time modulated signal via an oscilloscope.

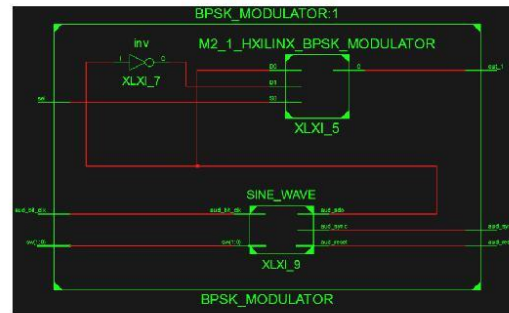


Figure 09. RTL Schematic of BPSK Modulator System

Using Xilinx ISE 14.5, BPSK modulated signal can be created. Figure 09 shows the proposed RTL block diagram in FPGA. In this BPSK modulator, when the clock signal (aud_bit_clk) is applied then SINE_WAVE generate the carrier sinusoidal signal ($A \sin(2\pi ft)$) whose frequency is 400 Hz and initial phase is 0° represented by SINE_WAVE. Similarly, INV block inverts the carrier sinusoidal signal ($A \sin(2\pi ft + \pi)$) whose frequency is 400 Hz and initial phase is 180° . So the output of SINE_WAVE and INV block are same but they are out of phase. The M2_1 block implements a multiplexer. It has one select input (sel) is modulating signal This signal selects an output of SINE_WAVE or INV as an input signal of the multiplexer. The output of the multiplexer (OUT_1) is the BPSK Modulated signal and it is measured with an Oscilloscope.

| Device Utilization Summary | | | | |
|------------------------------------|------|-----------|-------------|---------|
| Slice Logic Utilization | Used | Available | Utilization | Note(s) |
| Number of Slice Registers | 62 | 54,576 | 1% | |
| Number used as Flip Flops | 62 | | | |
| Number of Slice LUTs | 76 | 27,288 | 1% | |
| Number used as logic | 64 | 27,288 | 1% | |
| Number using O6 output only | 41 | | | |
| Number of occupied Slices | 25 | 6,822 | 1% | |
| Number of MUXCYs used | 28 | 13,644 | 1% | |
| Number of LUT Flip Flop pairs used | 85 | | | |
| Number with an unused Flip Flop | 34 | 85 | 40% | |
| Number with an unused LUT | 9 | 85 | 10% | |
| Number of RAMB8DWBRs | 0 | 232 | 0% | |
| Average Fanout of Non-Clock Nets | 2.66 | | | |

Figure.10. The design summary of the BPSK modulator

Figure.10 represents the design summary which represents the utilization of flip-flops, LUTs, slices used from the capabilities of the FPGA from the Atyls board.

Direct digital synthesizers (DDS), or numerically controlled oscillators (NCO), are necessary elements in several digital communication systems. Synthesizers are used for constructing digital down and up converters, demodulators, and implementing various types of modulation schemes, including BPSK. A common technique for digitally generating a complex or real-valued sinusoid employs a lookup table scheme. The samples of a sinusoid stored in the lookup table. A digital integrator is employed to get a suitable phase argument that's mapped by the lookup table to the required output waveform.

IV. DESIGN METHODOLOGIES

The two methods implementation of BPSK modulation in a system can provide a structure that can be used according to the requirements and the environment of the particular application. The most common approach for the realization of the modulation techniques is by means of MATLAB/SIMULINK environment or system generator, and then it can be converted into VHDL or Verilog for the synthesis and eventually implemented in FPGA. Another way is to program the system in Verilog directly. The modulator for BPSK can be programmed using Verilog and eventually be implemented in FPGA.

A. The First Method: Design and Simulation of BPSK Modulator Using System Generator

The implementation of a BPSK Modulator, illustrated in Figure.04. The functions and operations of each block are discussed in the following descriptions under sub-headings.

- 1) *System Generator Block:* The token is used to set Simulink system period: 1, and FPGA clock period: 10 ns (100 MSps sampling rate). It is used to generate VHDL netlist of BPSK modulation.
- 2) *LFSR Block:* the modulating signal generated internal by the LFSR (Linear Feedback Shift Register).
- 3) *DDS Compiler 4.0 Block:* The carrier is generated internal by DDS block from System Generator, it use a lookup table scheme to generate sinusoid of 10MHz.
- 4) *Inverter Block:* invert the signal generated by DDS Block, means negative sinusoid of 10MHz.
- 5) *Mux Block:* The mux block implements a multiplexer. Consist of one select input and a variable number of data inputs which will be know by the user. The d0 and d1 inputs of mux symbolize the sine waves. The sel input of mux symbolizes the modulating signal and selects between the d0 and d1 inputs. If LFSR is '1', the modulated signal stayed the same as the carrier, but if '0' was transmitted, the abandoned carrier is transmitted.
- 6) *Bpsk hwcosim Block:* BPSK hwcosim obtained after the hardware co-simulation. The new BPSK (hwcosim block) has one output according to the number of the GatewayOut port. The block includes all the practicality needed for the design to be implemented on the FPGA and is coupled to a bitstream that will be downloaded into the FPGA during the

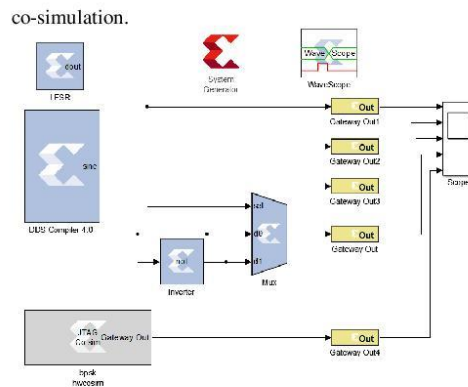


Figure 04. BPSK Modulator in System Generator with hardware co-simulation.

Figure.04 illustrates the signals obtained after implementing the modulator. The results are displayed as shown in Figure 05. We can verify the results obtained after the hardware co-simulation with the results from a function generator.

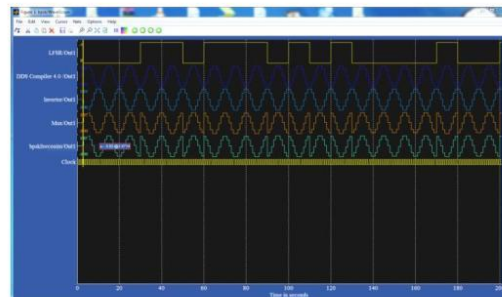


Figure 05. Simulation result displayed in Wave Scope

After computing the VHDL code generated by System Generator, the summary of our design is illustrated as in Figure06. The design summary shows the various synthesizer options that were enabled and some device utilization and timing statistics for the synthesized design.

| Device Utilization Summary | | | | |
|------------------------------------|------|-----------|-------------|---------|
| Slice Logic Utilization | Used | Available | Utilization | Note(s) |
| Number of Slice Registers | 43 | 54,576 | 1% | |
| Number used as Flip Flops | 43 | | | |
| Number of Slice LUTs | 39 | 27,288 | 1% | |
| Number used as logic | 22 | 27,288 | 1% | |
| Number using O6 output only | 19 | | | |
| Number of occupied Slices | 17 | 6,822 | 1% | |
| Number of MUXCYs used | 28 | 13,644 | 1% | |
| Number of LUT Flip Flop pairs used | 46 | | | |
| Number with an unused Flip Flop | 3 | 46 | 6% | |
| Number with an unused LUT | 7 | 46 | 15% | |
| Number of RAMB8BWERs | 1 | 232 | 1% | |
| Average Fanout of Non-Clock Nets | 1.97 | | | |

Figure.06. The design summary of the BPSK modulator

B. The second Method: Design of BPSK modulator Using Verilog HDL

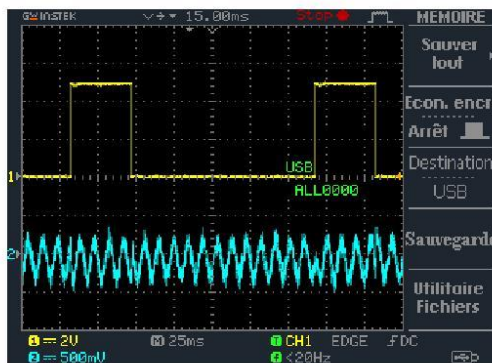


Figure.11. Represents The Test Bench Lab Used In Implementing The BPSK Modulator On The Atlys Starter Kit Board.

V. COMPARISON RESULTS

The results clearly show that the first method it's implementing BPSK system in FPGA using the Xilinx system generator is comparing the design summary obtained with other works in this field [2-3-4-5-6], the logic utilization of the board was lower in terms of the slice flip-flops and LUTs used. These entire make the design suitable in terms of propagation, implementation and logic utilization of the Atlys boards used in this work.

Although System Generator has an option to generate the VHDL code, but it remains difficult to read this I find it problematic, also the inability to exploits the different components integrated in the Atlys board for example the National semiconductor LM4550 AC '97 audio codec, By Matlab/ Simulink environment alone without return to ISE and write the code his own is the second problematic.

The second method of implementation is to use the Verilog HDL language directly to access and control the AC '97 audio codec to provide a sinusoidal signal. What is considered the carrier and also programming a Pmod pin as a digital input is a modulating signal, and programming the AIC output from so give a BPSK signal.

If we comparing the summary of the design of this method by the first one in finding that the resources consume a little larger, also the time to develop is great but the advantage of this method is that the system works autonomously with results real; reliable and fast, their code is easy to read.

VI. CONCLUSIONS AND FUTURE WORK

At this work, two new methods of implementation BPSK modulator are developed and compared, in terms of efficiency, duration of development and how many resources are used in FPGA. The first is the implementation of a BPSK modulator was done entirely in VHDL with the assistance of Xilinx System Generator tool as in several papers, simply using a one DDS block and a rivers block, which creates a phase shift of 180° between the two sinusoidal. The second method, the implementation was done entirely in Verilog HDL without the help of Xilinx System Generator or DSP Builder tools, where I managed to use AC '97 audio codec to generate a sinusoidal signal (carrier), I programmed the Pmod pin as a digital input (the modulating signal) and BPSK signal, I extracted it by programming the AIC as analog output.

After comparing the two methods I concluded that, for performance improvement in terms of area, power and delay, it is good for own digital design. For that require to learn VHDL / Verilog / System Verilog is good one.

In future work, the author studies the implementation of other digital modulators such as higher-order QAMs. with other method of implementation like the use MicroBlaze Hardware Design.

REFERENCES

- [1] Source: J. Crocket, "DSP Architectures for Wireless Communications," 1998 International Symposium on Advanced Radio Technologies. And Krishna Yarlagadda, DSP Architectures for Communications, 2003 Communications Design Conference, San Jose.
- [2] S.O. Popescu, A.S.Gontean and G.Budura, Simulation Implementation of a BPSK Modulator on FPGA, 6th IEEE International Symposium on Applied Computational Intelligence and Informatics • May 19–21, 2011 • Timisoara, Romania.
- [3] S.O. Popescu, A.S.Gontean and G.Budura, BPSK System on Spartan 3E FPGA, SAMI 2012 • 10th IEEE Jubilee International Symposium on Applied Machine Intelligence and Informatics • January 26-28, 2012 • Herl'any, Slovakia.
- [4] Silvana POPESCU, Aurel GONTEAN, Georgeta BUDURA, Hardware Co-Simulation of the BPSK and QPSK Systems on FPGA, IFAC Proceedings Volumes, Volume 45, Issue 7, 2012, Pages 299-304
- [5] B.K.V. PRASAD, R. SAI PRIYA, IMPLEMENTATION AND RECONFIGURATION OF BASIC DIGITAL MODULATION DESIGN MODELS, Journal of Theoretical and Applied Information Technology, 15th August 2016, Vol.90, No.1
- [6] Mittal, S., Gupta, S., Dasgupta, S., (2008). System Generator: The State-of-art FPGA Design tool for DSP Application. Proceedings of the 3rd International Conference on Embedded Systems, Mobile Communication and Computing. India. http://home.engineering.iastate.edu/~sparsh/SystemGenerator_FPGA.pdf
- [7] B. Sklar, Digital Communications—Fundamentals and Applications, 2nd ed. Englewood Cliffs, NJ: Prentice-Hall PTR, 2001.
- [8] S.O.Popescu, G.Budura, A.S.Gontean, "Review of PSK and QAM – Digital Modulation Techniques on FPGA", International Joint Conference on Computational Cybernetics and Technical Informatics (ICCC-CONTI), Romania, 2010, pp.327-332.
- [9] F.Xiong, "Digital Modulation Techniques", Artech House, UK, 2000.
- [10] S.O.Popescu, A.S.Gontean, F.Alexa, "Improved FPGA-Detector", in Proceedings of the 6th IEEE International Symposium on Applied Computational Intelligence and Informatics (SACI 2011), Romania, 2011, pp.455-458.
- [11] System Generator for DSP Getting Started Guide www.xilinx.com page 1, UG639 (v11.4) December 2, 2009
- [12] LM4550B datasheet Texas Instruments, www.ti.com/lit/ds/symlink/lm4550b.pdf.

Référence

- [1] M. K. B. a. C. T. Adarsh B. Narasimhamurthy, «OFDM Systems for Wireless Commuincations,» *Morgan & Claypool Publishers,,* Mar 10, 2010..
- [2] L. X. W. H. B. Y. Z. D. Z. X. W. C. X. Jinsong, «Implementation of MB-OFDM Transmitter Baseband Based on FPGA,» *in 4th IEEE International Conference on Circuits and Systems for Communications (ICCSC 2008),* May 2008..
- [3] M. K. G. L. T. P. M. Santhi, «Design and implementation of pipelined MBOFDM UWB transmitter backend modules on FPGA,» *in International Conference on Computing, Communication and Networking, n° %1ICCCn 2008),,,* 18-20 Dec. 2008.
- [4] S. A. a. B. D. Ahmad Sghaier, «A PIPELINED IMPLEMENTATION OF OFDM TRANSMISSION ON RECONFIGURABLE PLATFORMS,» *in Canadian Conference on Electrical and Computer Engineering, (CCECE 2008),* 2008.
- [5] R. C. Joaquin Garcia, «On the design of an FPGA-Based OFDM modulator for IEEE 802.11a,» *in 2nd International Conference on Electrical and Electronics Engineering (ICEEE),* September 2005..
- [6] A. H. D. S. K. Sobaihi, «FPGA Implementation of OFDM Transceiver for a 60GHz Wireless Mobile Radio System,» *in 2010 International Conference On Reconfigurable Computing,* 2010.
- [7] R. M. Shaminder Kaur, «FPGA Implementation of OFDM Transceiver using FFT Algorithm,» *International Journal of Engineering Science and Technology (IJEST),* vol. vol. 4, Apr 2012..
- [8] K. IBRAHIMI, Gestion des ressources des réseaux mobiles de nouvelle génération par rapport à la mobilité des utilisateurs, Université d'Avignon: Thèse de Doctorat, Novembre 2009.
- [9] M. V. D. Cédric DEMOULIN, Principes de base du fonctionnement du réseau GSM, Belgique: Département d'électricité, électronique et Informatique (Institut Montefiore) Sart Tilman, B-4000 Liège, Belgique.
- [10] M. A.Prasina, Interoperability of Wireless Mesh and Wi –Fi network using, Anna University, Chennai, PP_491–496: IEEE-International Conference on Recent Trends in Information, June 3-5, 2011.
- [11] M. A. Q. J. A. A. S. W. Afaq H. Khan, 4G as a Next generation Wireless Network, Aligarh Muslim University, India, PP_334–338: International Conference on Future Computer and Communication, 2009.
- [12] M. Ergen, Mobile Broadband Including WiMAX and LTE, 640 p. 311 illus: Hardcover ISBN: 978-0-387-68189-4, Springer, 2009.
- [13] D. N. El Hajj Paul, Etude de la technique WiMAX mobile, Telecom Sud Paris, Janvier 2010.
- [14] T. BCHINI, Gestion de la Mobilité, de la Qualité de Service et Interconnexion de Réseaux Mobiles de Nouvelle Génération, Université de Toulouse: Thèse de Doctorat, Juin 2010.
- [15] [En ligne]. Available: https://its-wiki.no/images/c/c8/From_1G_to_5G_Simon.pdf.
- [16] C. B.O.Omijeh, Computer-Based Comparative Analysis of BPSK versus other PSK Modulation Model, Vol4,issue 1: International Journal of Advanced Research in Computer and Communication Engineering, October 2015.
- [17] M. Cheikh, Etude du canal de propagation radio pour les systèmes embarqués sans fil automobile, Université de Toulouse: Thèse de Doctorat, Septembre 2010.
- [18] P. Mary, Etude analytique des performances des systèmes radio-mobiles en présence d'évanouissements et d'effet de masque, Lyon: Institut National des Sciences Appliquées, Février 2008.

Référence

- [19] A. elkhettabi, conception du système de transmission OFDM code pour les applications à haut débit, Université Montréal: Thèse de Doctorat, Février 2008.
- [20] J. A. L. W. a. M. J. L. Hanzo, MIMO-OFDM for LTE, WiFi and WIMAX : Coherent Versus non-Coherent and Cooperative Turbo-Transceivers, UK: Wiley-IEEE Press, Chichester, October 2010.
- [21] A. Nketsa, "Circuits logiques programmables : mémoires, PLD, CPLD et FPGA", Technosup: Ellipses, Collection, 1998.
- [22] L. D. e. D. DEMIGNY, logique programmable Architecture, édition Eyrolles, 1997.
- [23] C. TAVENIER, Circuits logiques programmables, PARIS: DUNOD, 1996.
- [24] A. KILANI, «Introduction aux circuits logiques programmables,» Cours : Circuits numériques.
- [25] C.ALEXANDRE, Circuits logiques programmables, Polycopié de cours et de travaux pratiques: Conservatoire National des Arts et Métiers, 2013.
- [26] T. D. N. T. L. R. K. T. C. I. Ted Huffmire, Handbook of FPGA Design Security, New York: Springer Dordrecht Heidelberg, 2010.
- [27] J. R. T. Ian Kuon, FPGA Architecture: Survey and Challenges, 2008.
- [28] G. L. Y. Y. J. M. Roger Woods, FPGA-based Implementation of Signal Processing Systems, A John Wiley and Sons: Ltd., Publication, 2008.
- [29] J. Mariani, Programmation et Utilisation du FPGA pour la validation et la vérification de, GRENOBLE, 2011.
- [30] P. A. B. A. P. D. Patrice Kadionik, L'enseignement des systèmes numériques complexes, ENSEIRB-IXL BP 99 33402.
- [31] L. D. F. !, «LET'S ELECTRONIC,» 22 mars 2016. [En ligne]. Available: <https://letselectronic.blogspot.com/2016/03/lets-discover-fpga.html#:~:text=Depuis%20leur%20invention%20par%20Xilinx,et%20de%20traitement%20de%20signaux..>
- [32] [En ligne]. Available: <http://perso.univ-st-etienne.fr>.
- [33] [En ligne]. Available: [http://www.ni.com/white-paper/8043/fr/..](http://www.ni.com/white-paper/8043/fr/)
- [34] H. M. H. Parvez, Application-Specific Mesh-based Heterogeneous FPGA, London: Springer New York Dordrecht Heidelberg, 2011.
- [35] C. Maxfield, FPGAs: Instant Access, Elsevier Ltd, 2008.
- [36] U. Meyer-Baese, Digital Signal Processing with Field Programmable Gate Arrays, New York: Springer Berlin Heidelberg, 2007.
- [37] N. M. K. Parnell, Programmable Logic Design, Quick Start Hand Book, 4 ed: Xilinx,, 2003.
- [38] J. R. Elias Ahmed, The effect of lut and cluster size on deep-submicron fpga performance and density., Very Large Scale Integration (VLSI) Systems, 2004.
- [39] V. B. a. J. Rose, How much logic should go, IEEE Design, 1998.

Référence

- [40] K. D. R. F. H. H. J. J. M. L. N. a. S. S. W.S. Carter, A user programmable, Proc. IEEE,, 1986.
- [41] Y.-L. W. a. C. L. Z. Hongbing Fan, Augmented disjoint switch boxes for fpgas., Trinity College Dublin: In Proceedings of the 4th international symposium on Information and communication technologies, 2005.
- [42] S. J. Wilton, Citeseer,: PhD thesis, 1997.
- [43] D. W. a. C. W. Yao-Wen Chang, Universal switch, TODAES),: ACM Transactions on Design Automation of Electronic Systems, 1996.
- [44] D. C. L. H. a. J. C. Fei Li, ACM, 2003.
- [45] A. A. A. a. D. M. Lewis, Routing architectures for hierarchical field programmable gate arrays In Computer Design, VLSI in Computers and Processors, 1994. ICCD'94. , 1994.
- [46] V. C. C. a. D. M. Lewis., In Field-Programmable Gate Arrays, 1996. FPGA'96.: Proceedings of the 1996 ACM Fourth International Symposium on, pages 51-57., 1996.
- [47] C. E. Leiserson., Fat-trees : universal networks for hardware efficient supercomputing., Computers, IEEE Transactions on,100(10) :892-901, 1985.
- [48] Y.-T. L. a. Ping-Tsung Wang, Very Large Scale Integration (VLSI) Systems: IEEE Transactions on, 5(2) :186-196,, 1997.
- [49] Xilinx., Technical report, Xilinx Virtex-II Platform FPGA User Guide,, 2005.
- [50] D.-H. H. a. A. B. Kahng, When clusters meet partitions : new density-based methods for circuit decomposition., In Proceedings of the 1995 European: conference on Design and Test, page 60. IEEE Computer Society, 1995.
- [51] M. H. A. E. a. M. Marrakchi Zied, Efficient tree topology for fpga interconnect network., ACM,: In Proceedings of the 18th ACM Great Lakes symposium on VLSI, pages 321-326., 2008.
- [52] «xilinx,» 2021. [En ligne]. Available: <https://www.xilinx.com/products/silicon-devices/fpga.html>.
- [53] Altera, DE2 Development and Education, DE2 User Manual, 2005.
- [54] diligent, Atlys™ FPGA Board Reference Manual, 1300 Henley Court: www.digilentinc.com, Revised April 11, 2016.
- [55] O. D. D. (IDE), Création et gestion d'un projet, https://www.editions-ellipses.fr/PDF/9782729875381_extrait.pdf.
- [56] A. SAHOUR, IMPLEMENTATION SUR FPGA D'UN ALGORITHME DE DEBRUITAGE, BADJI MOKHTAR-ANNABA UNIVERSITY: Faculté des Sciences de l'ingénieur Département d'électronique, 2013.
- [57] B. SKLAR, DIGITAL COMMUNICATIONS Fundamentals and Applications, vol. Second Edition, University of California, Los Angeles, 2002.
- [58] W. Lee, Mobile Communications Engineering,, New York.: McGraw Hill,, 1985.
- [59] A. S. G. a. G. B. S. O. Popescu, «"Simulation Implementation of a BPSK Modulator on FPGA,"» *6th IEEE International Symposium on Applied Computational Intelligence and Informatics (SACI)*, n° 1 Timisoara,, pp. 459-463, 2011.
- [60] A. S. G. a. G. B. S. O. Popescu, «"BPSK System on Spartan 3E FPGA,"» *2012 IEEE 10th International*

Référence

- Symposium on Applied Machine Intelligence and Informatics (SAMI)*, Vols. 1 sur 2, pp. 301-306, 2012.
- [61] A. G. B. Silvana POPESCU, «“Hardware Co-Simulation of the BPSK and QPSK Systems on FPGA,”», *IFAC Proceedings Volumes*, Vols. 1 sur 2, vol. 45, no. 7,, p. IFAC Proceedings Volumes, 2012.
- [62] R. S. P. B. K. V. Prasad, «B. K. V. Prasad, R. Sai Priya, “Implementation and Reconfiguration of Basic Digital Modulation Design Models,”», *Journal of Theoretical and Applied Information Technology*, Vols. 1 sur 2, vol. 90, no. 1, pp. 208-218, 2016.
- [63] S. G. S. D. S. Mittal, «“System Generator: The State-of-art FPGA Design tool for DSP Application,”», *Proceedings of the 3rd International Conference on Embedded Systems, Mobile Communication and Computing*, n° 1, India, 2008.
- [64] “. “LM4550B datasheet Texas Instruments, “LM4550B datasheet Texas Instruments,”, [Online] Available: <https://datasheetspdf.com/pdf/file/685847/NationalSemiconductor/LM4546B/1>, 2006.
- [65] Atlys™ FPGA Board Reference Manual, «www.digilentinc.com,» pp. p. 17,, Revised April..
- [66] “ISE Design Suite 14: Release Notes”, «Installation, and Licensing,» Vols. 1 sur 2, UG631, vol. 14, no. 7,, 2013.
- [67] “Atlys™ FPGA Board Reference Manual”, «www.digilentinc.com,» p. Revised April 11, 2016.
- [68] “Atlys™ FPGA Board Reference Manual”, «www.digilentinc.com,» *Audio (AC-97)*, Vols. 1 sur 2, Revised April 11,, p. p. 12, 2016.
- [69] A. Marcus, «Design, User Experience, and Usability: Theories, Methods, and Tools for Designing the User Experience”,» *Third international conference*, vol. DUXU, p. Part I., 2014.
- [70] C. S, Caractérisation et modélisation de la propagation des ondes électromagnétique à 60 GHz à l'intérieur des bâtiments, RENNES: L'institut national des sciences appliquées, May 2005.
- [71] M. M. M. O. K. T. e. S. K. T. W ada, «Theoretical analysis of propagation and network characteristics millimeter waves inter-vehicle communication system”,», chez *Global Telecommunications Conference*, Sydney, Australia, 1998.
- [72] S. Geng, Millimeter Wave and UWB Propagation for High Throughput Indoor, Aalto: University School of Electrical Engineering,, 2011, pp. 14-16.
- [73] T.-D. Chiueh, OFDM baseband receiver Design for wireless communications, Wiley, 2007.
- [74] R. (. ITU-R, Guidelines for Evaluation of Radio Transmission Technologies for, M.1225, 2000.
- [75] T. S, «Wireless Communications,» Principles and Practice, Prentice Hall, 2002.
- [76] T.-D. Chiueh, OFDM baseband receiver Design for wireless communications, Wiley, Nov 2007.
- [77] M. M. A. Dempster, Use of Minimum-Adder Multiplier Blocks in FIR Digital Filters, IEEE Transactions on Circuits and Systems II 42, 569-577, 1995.