

الجمهورية الجزائرية الديمقراطية الشعبية

République Algérienne Démocratique et Populaire

Ministère de L'Enseignement Supérieur et de la Recherche Scientifique

جامعة فرحات عباس - سطيف -1-



UNIVERSITÉ FERHAT ABBAS - SETIF1

FACULTÉ DE TECHNOLOGIE

THÈSE

Présentée au Département d'Electronique.

Pour l'obtention du diplôme de

DOCTORAT

Domaine : Sciences et Technologie

Filière: Electronique

Option: Caractérisation en Electronique

Par

BOUBAAYA Mohamed

THÈME

**Contribution au Développement de Méthodes Electriques
pour la Caractérisation de la Dégradation *NBTI***

Soutenue publiquement le, 10/02/2022, devant le Jury composé de:

| | | | |
|---|----------------|------------------------|--------------------|
| M. ZEGADI Ameer | Professeur | Université de Sétif 1 | Président |
| M ^{me} BENNACEUR-DOUMAZ Djamilia | Dir. Recherche | CDTA | Directeur de thèse |
| M. FERHAT HAMIDA Abdelhak | Professeur | Université de Sétif 1 | Co-Directeur |
| M. AMARDJIA Noureddine | Professeur | Université de Sétif 1 | Examineur |
| Mme ZERROUGUI Zahra | MCA | Université de Sétif 1 | Examineur |
| M. BERRAH Smail | Professeur | Université de Bejaia | Examineur |
| M. DJEZZAR Boualem | Dir. Recherche | CDTA | Invité |
| M. OSULLIVAN Barry | Professeur | IMEC, Leuven, Belgique | Invité |

Remerciements

Nous adressons nos remerciements premièrement à **ALLAH** tout puissant pour la santé et la patience, qu'il nous a données durant toutes ces longues années d'études et de recherche.

Je tiens tout d'abord à remercier Madame Djamila **BENNACEUR-DOUMAZ**, directrice de recherche au **C.D.T.A** pour m'avoir dirigé dans cette thèse

J'adresse mes sincères remerciements aux membres du laboratoire d'instrumentation électronique du département électronique Université Feraht Abbas setif1 qui m'ont accepté à s'inscrire au sein de l'université **U.F.A.S.1** et en particulier à mon Co-directeur de thèse le Professeur Monsieur **Abdelhak FERHAT-HAMIDA**.

J'exprime tout particulièrement mes remerciements les plus chaleureux à Monsieur Boualem **DJEZZAR**, de m'avoir proposé ce sujet de recherche et pour son dynamisme, ses compétences scientifiques, son encadrement, son aide et ses conseils qui ont permis la réalisation de ce travail.

J'exprime ma profonde reconnaissance et mes sincères remerciements à Monsieur Barry **OSULLIVAN** pour m'avoir assisté durant mon stage chez **IMEC** Belgique durant laquelle j'ai pu profiter de sa riche expérience pour consolider et approfondir mes connaissances dans le domaine de la microélectronique et fiabilité des composants électroniques.

Je tiens à remercier les membres du jury qui ont accepté d'évaluer ce travail. Merci donc à Ameer Zégadi, Professeur de l'**U.F.A.S.1** pour avoir présidé mon jury, à **BERRAH** Smail, Professeur de l'Université de Bejaia, **AMARDJIA** Noureddine, Professeur de l'université de l'**U.F.A.S.1** et Mme **ZERROUGUI** Zahra, Maitre de conférence de l'université de l'**U.F.A.S.1**, et à M. Boualem Djezzar, Maitre de recherche au **C.D.T.A**, M. et Barry Ousllivan, chercheur senior à **I.M.E.C** Belgique, Invités d'honneur à mon jury.

Un remerciement particulier à mes collègues de l'équipe **FCS** du **C.D.T.A**, **Abdmadjid BENABDELMOUMENE**, **Amel CHENOUF**, **Hakim TAHI** et **Boumedienne ZATOUT** pour leurs encouragements et conseils durant la période de réalisation de ce travail. Je remercie de tout cœur tous mes collègues de la Plateforme Technologique de Microfabrication **P.T.M** du **C.D.T.A**

Mes derniers remerciements se tournent évidemment vers ma famille et mes proches, je leur exprime ma plus profonde gratitude pour leur soutien et patience, une pensée affectueuse singulière à ma mère, mon père (رحمه الله) et à mon épouse.

Merci à mes chers collègues et amis.

Table des matières

Abréviations & Acronymes

Introduction générale.....1

Chapitre 1 Transistor *MOS* et Technologie *FinFET* : Principe de Fonctionnement

Introduction5

1.1. Structure et principe de fonctionnement du transistor *MOS*5

1.2. Caractéristiques électriques de l'empilement *MOS*.....6

1.2.1. Diagramme de bandes en l'absence de polarisation6

1.2.2. Régimes de fonctionnement du transistor *MOS*7

1.3. Caractéristiques d'un transistor à effet de champ *MOSFET*12

1.3.1. Caractéristique I_d-V_g12

1.3.2. Courant de drain sous le seuil13

1.3.3. La pente sous le seuil13

1.3.4. Le courant de fuite13

1.3.5. La tension de seuil13

1.4. Extraction de la tension de seuil du transistor *MOS* : V_{th} 14

1.4.1. Méthode d'extrapolation en régime linéaire14

1.4.2. Méthode d'extraction de V_{th} à courant constant15

1.5. Limitation de la réduction d'échelle des *MOSFET*16

1.5.1. Empilement *High- κ Metal Gate (HKMG)*.....16

1.5.1.1. Utilisation de grilles métalliques16

1.5.1.2. Les oxydes hauts permittivités (*high- κ*)17

1.5.2. Cas d'un isolant de grille bicouches et notion d'EOT.....17

1.6. La technologie *Tri-gate (FinFET)*19

1.6.1. Aperçu sur le *FinFET*19

1.7. Conclusion21

Chapitre 2 Fiabilité des Transistors *MOSFET* Sous Contrainte *BTI*

Introduction22

2.1 Les défauts dans l'oxyde de grille d'un transistor *MOS*.....22

2.2 Classification des types de charges dans l'oxyde de silicium et à l'interface *Si/SiO₂*.....23

2.2.1 Charges fixes.....23

| | | |
|-------|--|----|
| 2.2.2 | Charges mobiles ioniques | 23 |
| 2.2.3 | Charges d'oxyde | 23 |
| 2.2.4 | Charges et défauts d'interface | 24 |
| 2.2.5 | Charges piégées à la frontière | 26 |
| 2.3 | Défauts dans l'oxyde <i>high-κ</i> | 26 |
| 2.4 | La fiabilité des transistors <i>MOS</i> | 27 |
| 2.4.1 | Notion de la fiabilité | 27 |
| 2.5 | Dégradation BTI (<i>Bias Temperature Instability</i>) | 29 |
| 2.6 | Modèle Réaction-Diffusion | 31 |
| 2.7 | Modèle “ <i>Two-Stage</i> ” | 34 |
| 2.8 | Le modèle “ <i>Defect Centric</i> ” | 36 |
| 2.9 | Le modèle récent de réaction diffusion | 38 |
| 2.10 | Critiques du modèle « <i>Defect Centric</i> » et du modèle récent de <i>RD</i> | 39 |
| 2.11 | Conclusion | 40 |

Chapitre 3 Méthodes de Caractérisation du Phénomène *BTI*

| | | |
|--------------------|---|----|
| Introduction | 41 | |
| 3.1 | Technique de Pompage de charges..... | 41 |
| 3.1.1 | Expression du courant pompé, I_{CP} | 43 |
| 3.1.2 | Pompage de charge : l'approche de la composante géométrique | 44 |
| 3.2 | Techniques de mesure à la volée « <i>On The Fly</i> » | 47 |
| 3.3 | Technique de mesure à la volée dit e <i>On-The-Fly interface trap OTFIT</i> | 48 |
| 3.4 | Technique de mesure à la volée dit e <i>On-The-Fly oxide trap OTFOT</i> | 49 |
| 3.5 | Mesure rapide à base d'un amplificateur..... | 51 |
| 3.5.1 | Protocole de mesure/stress du <i>NBTI</i> | 53 |
| 3.6 | Technique de Measure-Stress-Measure..... | 54 |
| 3.7 | Technique et méthodologie utilisées | 57 |
| 3.7.1 | Mise en œuvre de l' <i>eMSM</i> | 58 |
| 3.7.2 | Des données <i>eMSM</i> à l'extrapolation de durée de vie et à l'analyse comparative..... | 59 |
| 3.7.3 | Description empirique des traces de relaxation <i>NBTI</i> | 60 |
| 3.8 | Dispositifs de test et bancs de caractérisation électrique..... | 63 |
| 3.8.1 | Dispositifs de test du procédé technologique <i>CMOS</i> , 1 μm d' <i>ISiT</i> | 63 |

| | | |
|-------|---|----|
| 3.8.2 | Dispositifs de test <i>FinFETs</i> d' <i>IMEC</i> | 67 |
| 3.9 | Conclusion | 71 |

Chapitre 4 Résultats Expérimentaux

| | |
|---|----|
| Introduction | 72 |
| 4.1 Pièges d'interface induits par le stress <i>BTS</i> , et diffusion des espèces H^+ , H et H_2 | 72 |
| 4.1.1 Modèle | 72 |
| 4.1.2 Simulation | 73 |
| 4.1.3 Pièges d'interface..... | 74 |
| 4.2 Dégradation de la mobilité induite par <i>NBTI</i> | 75 |
| 4.3 Mesure rapide de la dégradation <i>NBTI</i> dans les dispositifs <i>pMOSFET</i> | 77 |
| 4.4 La dégradation <i>BTI</i> pour les transistors <i>FinFETs</i> | 79 |
| 4.4.1 Dérive de la tension de seuil et densité de charges piégées..... | 81 |
| 4.4.2 Impact de la largeur des ailerons | 82 |
| 4.4.3 Impact de la hauteur des ailerons sur le <i>NBTI</i> | 85 |
| 4.4.4 Activation thermique | 87 |
| 4.4.5 Impact des dimensions des ailerons sur la durée de vie du <i>NBTI</i> | 91 |
| 4.4.6 <i>PBTI</i> : Dérive de tension de seuil | 91 |
| 4.4.7 Impact de la hauteur des ailerons sur le <i>PBTI</i> | 92 |
| 4.4.8 Dépendance de la température..... | 94 |
| 4.5 Conclusion | 95 |
| Conclusion générale et perspectives | 97 |
| Bibliographie | 99 |

Abréviations & Acronymes

| | |
|--------|--|
| AC | <i>Alternative Current</i> |
| ALD | <i>Atomic Layer Deposition</i> |
| BTI | <i>Bias Temperature Instability</i> |
| BTS | <i>Bias Temperature Stress</i> |
| CCP | <i>Conventional Charge Pumping</i> |
| CDTA | <i>Centre de Développement des Technologies Avancées</i> |
| CET | <i>Capture Emission Time</i> |
| CMOS | <i>Complementary Metal Oxide Semiconductor</i> |
| CP | <i>Charge pumping</i> |
| DC | <i>Direct Current</i> |
| DRAM | <i>Dynamic Random Access Memory</i> |
| DUT | <i>Die Under Test</i> |
| eMSM | <i>extended Measure Stress Measure</i> |
| EOT | <i>Equivalent Oxide Thickness</i> |
| FCS | <i>Fiabilité des Composants Semiconducteurs</i> |
| FinFET | <i>Fin Field Effect Transistor</i> |
| HDL | <i>Harry Diammond Laboratory</i> |
| HKMG | <i>High-κ Metal Gate</i> |
| IL | <i>Interfacial Layer</i> |
| IMEC | <i>Interuniversity MicroElectronics Centre</i> |
| ISiT | <i>Institute for Silicon Technology</i> |
| LOCOS | <i>LoCal Oxidation of Silicon</i> |
| MEMS | <i>Micro ElectroMechanical System</i> |
| MOS | <i>Metal Oxide Semiconductor</i> |
| MOSFET | <i>Metal Oxide Semiconductor Field Effect Transistor</i> |
| MPE | <i>MultiPhonon Emission</i> |
| MPFAT | <i>Multiphonon-Field-Assisted Tunneling</i> |
| MSM | <i>Measure Stress Measure</i> |
| NBTI | <i>Negative Bias Temperature Instability</i> |
| OPA | <i>Operational Amplifier</i> |
| OTF | <i>On The Fly</i> |
| OTFIT | <i>On The Fly Interface Traps</i> |
| OTFOT | <i>On The Fly Oxide Traps</i> |
| PBTI | <i>Positive Bias Température Instability</i> |
| PCB | <i>Printed Circuit Board</i> |
| RD | <i>Reaction-Diffusion</i> |
| RTN | <i>Random Telegraph Noise</i> |
| SC | <i>Semiconductor</i> |
| SILC | <i>Stress Induced Leakage Current</i> |
| SMU | <i>Source Meter Unit</i> |
| SRH | <i>Shockley Read Hall</i> |
| TDDS | <i>Time Dependence Dielectric Stress</i> |
| TEM | <i>Transmission Electronic Microscope</i> |
| TEOS | <i>Tetra Ethyl Ortho Silicate</i> |
| TTF | <i>Time To Failure</i> |
| TTOM | <i>Transient Trap Occupancy Model</i> |
| 3D | <i>Three Dimension</i> |

Introduction générale

Introduction générale

Au cours de ces années, la microélectronique est devenue omniprésente dans notre quotidien. En effet, elle a permis la naissance et le développement de nombreuses applications comme l'informatique, la robotique, l'internet, la téléphonie mobile ...etc. Le monde moderne, tel que nous le connaissons aujourd'hui, repose donc sur une industrie travaillant à l'échelle du micromètre. Au cœur de cette industrie se trouve le transistor **MOSFET** (*Métal Oxyde Semi-conducteur Field Effect Transistor*) dont l'invention remonte à 1960 par Kahng et Atallah [1]. Ce composant est l'élément de base de tout circuit logique et a permis l'essor de toute l'industrie microélectronique. Quatre grands secteurs au sein de la micro-électronique peuvent être énumérés : les transistors, les mémoires, les capteurs d'image et les *MEMS*.

L'évolution de la microélectronique est dominée par la miniaturisation de son composant élémentaire, le transistor *MOSFET*. Le but recherché étant la réduction des coûts de fabrication par l'augmentation de l'intégration sur une même surface. De plus, la diminution de la taille des transistors entraîne aussi une amélioration des performances des circuits intégrés [2]. Toutes ces innovations reposent donc sur les capacités de l'industrie microélectronique de travailler sur des échelles micrométriques et nanométriques. Cette évolution a suivi la fameuse loi de G. Moore qui prédisait dès l'année 1965 une progression de la densité d'intégration des circuits d'un facteur 2, tous les deux ans [3] ; cette loi a permis le départ de la course à la miniaturisation des transistors, qui a entraîné la réduction de la taille des transistors élémentaires par un facteur tous les deux ans, augmentant ainsi la densité d'intégration des circuits intégrés.

Ces progrès technologiques ont été confrontés à d'importants défis, où la réduction d'échelle a entraîné des problèmes majeurs de physique des dispositifs et d'intégration des procédés. En effet, du fait de la miniaturisation des dimensions du transistor et de l'oxyde de grille (SiO_2) à l'échelle nanométrique, des effets indésirables, dont certains phénomènes complexes, sont apparus. Ceux-ci incluent un courant de fuite de grille élevé pour les oxydes de grille très minces, les effets de canal court pour les très petits transistors, **l'instabilité de la tension de seuil**, etc. L'augmentation du courant de fuite de grille affecte **la fiabilité** du transistor et augmente sa consommation d'énergie. Par conséquent, de nouvelles solutions ont été proposées pour contourner ces problèmes, tout en permettant une réduction de l'échelle. La première a été l'introduction de l'empilement **HKMG** (*High- κ Metal Gate*), qui a remplacé l'empilement *poly-Si/SiO₂* conventionnel. L'introduction du

diélectrique *high- κ* diminue le courant de fuite de la grille tout en conservant la même capacité en utilisant un diélectrique épais. De plus, l'utilisation d'une électrode de grille métallique élimine la déplétion du poly-silicium du côté de la grille. La deuxième a été l'avènement de l'architecture *FinFET*, qui a été initiée par Intel et commercialisée en 2012, dans laquelle la grille entoure le canal du transistor. Le transistor ressemble alors à un aileron (*Fin* en anglais). Cette innovation technologique est majeure, car on passe de la configuration « *planaire* » (historique) à une configuration « *3D* ».

Il est essentiel que les dispositifs et les transistors constituant les circuits intégrés soient opérationnels pendant certaines durées. On parle de *fiabilité* et on peut la définir comme étant « *la probabilité qu'un dispositif exécute une fonction exigée dans les conditions indiquées pendant une période donnée* ». Généralement, nous désirons que les dispositifs soient fiables aux conditions normales de fonctionnement d'un circuit pendant 10 ans. Evidemment, étant donné le rythme auquel la microélectronique évolue aujourd'hui, il est inimaginable de laisser fonctionner un transistor ou un dispositif pendant 10 ans pour voir s'il répond toujours aux critères de fiabilité. Le défi des études de fiabilité est de réaliser des vieillissements accélérés des dispositifs afin de modéliser cette dégradation le plus fidèlement possible pour pouvoir ensuite prédire la dégradation aux conditions normales de fonctionnement

La majeure partie des mécanismes de défaillances affectant les transistors se situe dans l'isolant de grille et à l'interface isolant/silicium. La sensibilité de cette partie du transistor, en termes de fiabilité, est encore plus affectée lors de l'adoption des technologies *high- κ* . La dégradation des paramètres électriques des transistors au cours du temps est, en grande partie, due aux pièges créés dans l'isolant et à l'interface. Le phénomène *BTI* (*Bias Temperature Instability*) est le mécanisme de défaillance le plus répandu dans les composants électroniques modernes [4]–[6]. Ces dernières années, des efforts importants ont été fournis pour caractériser l'effet *BTI*. En effet, plusieurs auteurs ont proposé des méthodes pour déterminer les pièges induits par *BTI*. Parmi ces méthodes on peut citer : les méthodes *Mesure-Stress-Mesure* (*MSM*), remplacées par la suite par les méthodes *On-the-fly* pour diminuer le recouvrement des pièges induits par *BTI* [7]–[11].

L'emploi des *SMU* (*Source/Measure Units*) pour mesurer une séquence *MSM* est relativement lent, puisqu'il faut quelques centaines de ms pour faire la mesure qui permet l'extraction de V_{th} (*la tension de seuil*). Cependant des travaux [12], [13] sur le *délai* de mesure montrent qu'il a un impact important sur la mesure du *BTI*. En effet la dégradation

du *BTI* se recouvre une fois que le stress est interrompu et ses paramètres électriques tendent à revenir vers leurs valeurs d'origine avec une dynamique particulière. Ce délai de mesure est essentiellement dû aux limitations des *SMU*. La Figure 1.0 ci-dessous illustre cet effet de temps de délais sur la phase de stress. Le temps de mesure a un impact sur la valeur mesurée ; plus ce temps est long, plus la dégradation effective est sous-estimée. Les mesures rapides ont pour but l'élaboration d'un modèle prédictif et d'éviter des résultats sous-estimés qui peuvent mettre en danger l'application finale. De plus, nous ignorons le comportement de la relaxation pour les temps courts.

C'est dans ce contexte que se situe le travail de cette thèse. L'objectif principal est d'implémenter des méthodes de caractérisation électriques de la dégradation *BTI* (*Bias Temperature Instability*) avec des temps de mesures plus courts afin d'évaluer la fiabilité des transistors *MOSFETs* et *FinFETs*. Pour répondre à ces problématiques, ce manuscrit a été fractionné en quatre Chapitres :

Le chapitre 1 introduira le transistor *MOS*, son fonctionnement, ainsi que les paramètres caractéristiques des transistors *MOSFET*. De plus, nous nous présentons une structure du transistor *FinFET* (*Fin Field Effect Transistor*) ainsi que l'architecture et la technologie d'empilement *HKMG* (*High- κ Metal Gate*).

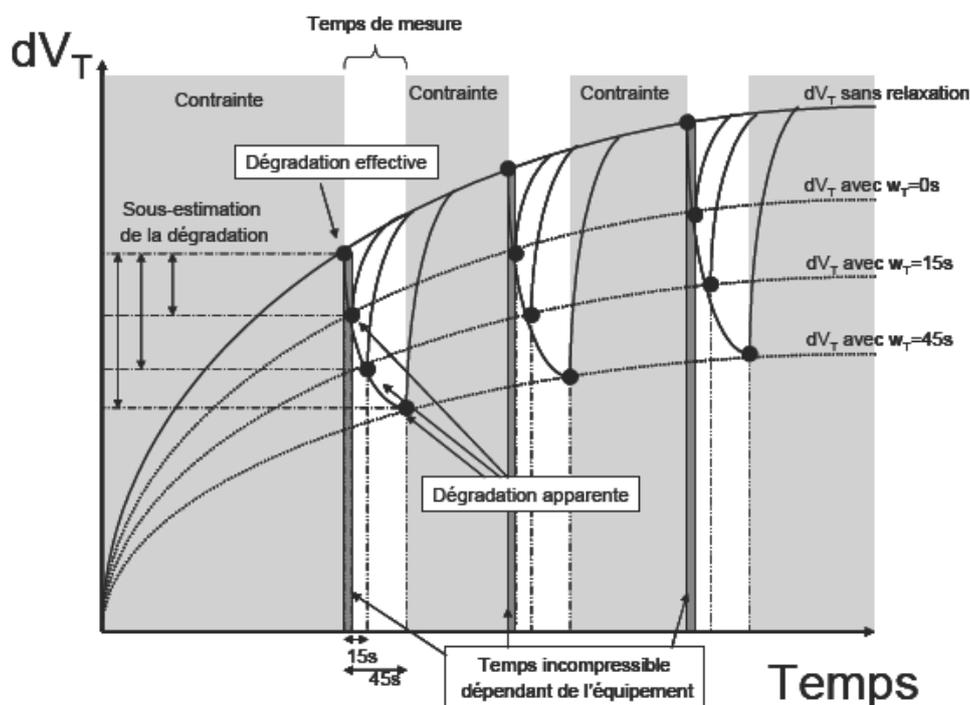


Figure 1.0 : Effet de la relaxation *BTI* sur l'évaluation de la dégradation [14].

Le chapitre 2 traitera spécifiquement la fiabilité liée à la dégradation *BTI* (*Bias Temperature Instability*). Nous commencerons par définir la notion de fiabilité puis le mécanisme de dégradation le plus connu « *BTI* ». Ensuite nous présenterons l'évolution des différents modèles permettant d'expliquer les différentes composantes de la dégradation *BTI*.

Le chapitre 3 sera consacré aux différentes techniques de mesure et de caractérisation de la dégradation *BTI*. Dans un premier temps, nous donnerons un aperçu sur la technique de pompage de charge « *charge pumping* », les méthodes implémentées par l'équipe *FCS*, à savoir *OTFIT* et *OTFOT* et la mesure rapide « *fast I_d - V_g measurement* », qui est basée sur un convertisseur courant/tension (*OPA*). Ensuite, les détails de la technique choisie (mise en œuvre dans ce travail) seront discutés avec les méthodologies utilisées pour évaluer la fiabilité des dispositifs à partir des données de mesures brutes. Enfin, nous présenterons quelques détails sur les dispositifs utilisés dans ce travail.

Dans le chapitre 4, nous développerons les résultats obtenus au cours de ce travail de recherche et leurs analyses. Ce chapitre sera subdivisé principalement en deux parties. Dans la première partie, nous présenterons les résultats expérimentaux de l'étude de la dégradation *BTI* sur les transistors *MOSFETs*. Dans la deuxième partie, qui est la plus importante, nous présenterons les résultats de la caractérisation de la dégradation *BTI* sur les transistors *FinFETs* obtenus par la technique *eMSM* (*extended Measure-Stress-Measure, eMSM*).

Chapitre 1 Transistor *MOS* et Technologie *FinFET* : Principe de Fonctionnement

Introduction

Dans ce chapitre, nous nous intéressons en premier lieu à l'introduction et l'analyse de la structure *MOS*, où nous présentons son diagramme de bandes d'énergie et son comportement électrique sous différents régimes de fonctionnement. Puis nous passons à la description du principe de fonctionnement du transistor MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*).

Dans un second temps, nous illustrons une structure du transistor *FET*, qui émerge de la structure conventionnelle du *MOSFET* planaire à cause des exigences des nouveaux nœuds technologiques en termes de miniaturisation et d'optimisation de procédé de fabrication et de fonctionnement électrique. Il s'agit des transistors *FinFETs* (*Fin Field Effect Transistor*), leur architecture et leur technologie d'empilement *HKMG* (*High- κ Metal Gate*).

1.1. Structure et principe de fonctionnement du transistor MOS

La structure d'un transistor *MOS* est schématisée sur la figure 1.1 dans le cas d'un transistor à canal d'électrons (*nMOS*). Le transistor *nMOS* est constitué de quatre terminaux électriquement contrôlables ; la grille, la source, le drain et le substrat (*bulk*). La géométrie du transistor est imposée par différentes grandeurs caractéristiques. Les dimensions les plus importantes sont la longueur de grille L_g , la largeur de grille W et l'épaisseur t_{ox} .

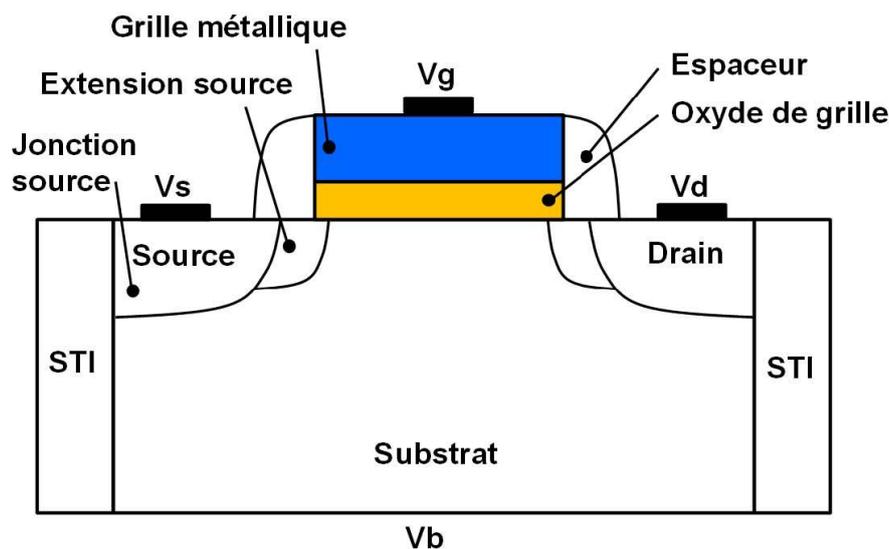


Figure 1.1 : Architecture conventionnelle d'un transistor *nMOS* à canal d'électrons

D'un point de vue électrique, le transistor *MOS* peut être considéré comme une capacité (Grille /Isolant/Substrat) entourée de part et d'autre d'une source et d'un drain pour former une jonction *npn* (Source/Substrat/Drain). L'ensemble de ces deux modules donne aussi un système électrique dont le fonctionnement est identique à celui d'un interrupteur commandé. Lors de la polarisation de la grille, un canal peut se former à la surface du semi-conducteur, jouant le rôle d'un filament. Par l'application d'une tension au drain, un courant entre la source et le drain peut circuler. Par la suite, nous allons introduire le fonctionnement électrique d'un transistor *MOS* avec les différentes notions nécessaires pour une bonne compréhension des résultats.

1.2. Caractéristiques électriques de l'empilement *MOS*

L'empilement de grille *MOS* est à la base du fonctionnement du transistor *MOSFET*. Dans cette partie, nous établirons le comportement électrique d'empilement *MOS* soumis à une polarisation de grille V_g ainsi que la charge développée dans le semi-conducteur, à l'origine de la formation d'un canal de conduction. Nous commençons par la structure *MOS* idéale en considérant le diélectrique de grille comme isolant parfait. Un diélectrique parfait présente les caractéristiques suivantes :

- Aucune charge n'existe dans l'isolant ou aux interfaces. Les seules charges qui existent sont celles de la zone de charge d'espace du *SC* (*Semi-Conducteur*) et celles qui leurs correspondent dans le métal.
- Aucun courant ne traverse l'isolant (pas de courant de fuite de la grille).

Dans la pratique, il existe toujours des défauts (en particulier à l'interface isolant-*SC*).

1.2.1. Diagramme de bandes en l'absence de polarisation

Pour faciliter la description du comportement électrique d'une capacité *MOS*, il faut réaliser la structure de bandes d'énergie. Ce diagramme est représenté sur la figure 1.2 et il présente deux cas.

Le métal et le semi-conducteur constituent, avant contact, deux systèmes thermodynamiques indépendants. Le métal se caractérise par son niveau de Fermi E_{Fm} distant de $e\Phi_m$ du niveau du vide NV . Le semi-conducteur est représenté par ses bandes de conduction E_c et de valence E_v , ainsi que son niveau de Fermi E_{Fsc} distant de $e\Phi_{sc}$ du niveau du vide (*SC* de type P)

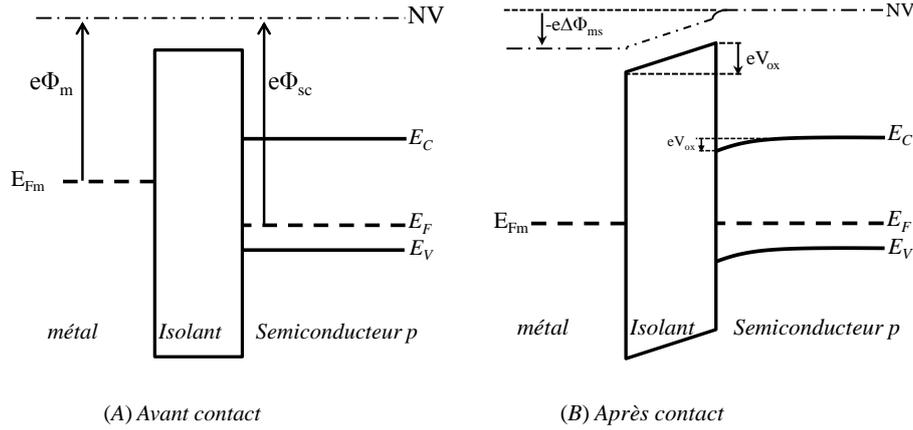


Figure 1.2 : Diagramme de bandes du système *nMOS* idéal (substrat dopé p). (A) Avant contact et (B) après contact.

Après la mise en contact, il y a un seul système qui se forme avec alignement des niveaux de Fermi (figure 1.2(B)). Après cet alignement, il résulte un échange d'énergie entre le métal et le semi-conducteur, ainsi une différence de potentiel interne, $\Delta\Phi_{ms} = \Phi_m - \Phi_{sc}$, se produit entre le métal et le volume du semi-conducteur, similaire à la tension de diffusion dans une jonction *pn* [2].

La différence de potentiel est distribuée entre l'oxyde et la zone de charge d'espace du semi-conducteur selon la relation :

$$-\Delta\Phi_{ms} = V_{ox} + V_{sc} \tag{1.1}$$

L'évolution du potentiel est linéaire dans l'oxyde (absence de charge) et plus complexe dans le semi-conducteur car elle est dépendante de la charge d'espace qui s'y développe.

1.2.2. Régimes de fonctionnement du transistor *MOS*

En appliquant une tension de polarisation externe V_g entre le métal et le semi-conducteur, un décalage énergétique supplémentaire eV_g est induit entre le niveau de Fermi du semi-conducteur et celui du métal, donc l'équation (1.2) s'écrit :

$$-\Delta\Phi_{ms} + V_g = V_{ox} + V_{sc} \tag{1.2}$$

La capacité de l'oxyde peut être reliée à la charge développée dans le semi-conducteur selon la relation $C_{ox} \cdot V_{ox} = -Q_{sc}$, Par conséquent, une relation fondamentale est obtenue :

$$V_g = \frac{Q_{sc}}{C_{ox}} + \Delta\Phi_{ms} + V_{sc} \tag{1.3}$$

Selon la tension V_g , appliquée sur la grille, la courbure des bandes et la charge développée dans le semi-conducteur Q_{sc} varient, induisant ainsi les différents régimes de fonctionnement électrique de l'empilement MOS.

Régime de bandes plates : $V_g = -\Delta\Phi_{ms} = V_{fb}$

Pour une tension de polarisation $V_g = \Delta\Phi_{ms}$, l'équation (1.2) devient $V_{ox} + V_{sc} = 0$, impliquant $V_{ox} = -V_{sc}$. Ce qui explique l'absence de courbure des bandes dans l'oxyde et dans le semi-conducteur (figure 1.3(A)). Ainsi dans le schéma de bandes avant la mise en contact des trois matériaux, il n'existe aucune charge ni dans le semi-conducteur, ni dans le métal (figure 1.3 (B)). Les densités de porteurs n_s et p_s à l'interface oxyde/semi-conducteur sont identiques à celles des porteurs dans le volume du semi-conducteur (figure 1.3(C)). Cette condition dite « bandes plates » pour une polarisation de grille égale à la tension de bandes plates $V_{fb} = \Delta\Phi_{ms}$

Régime d'accumulation : $V_g < V_{fb}$

L'accumulation apparaît typiquement pour des tensions négatives, quand les charges négatives sur la grille attirent les trous libres vers l'interface oxyde/semi-conducteur, la polarisation $V_g < V_{fb}$ entraîne la situation d'accumulation des porteurs majoritaires à l'interface. Cette condition est représentée sur la figure 1.4 (A), où le niveau de Fermi se rapproche de la bande de valence à l'interface ce qui résulte une augmentation de la concentration des trous libres à la surface p_s .

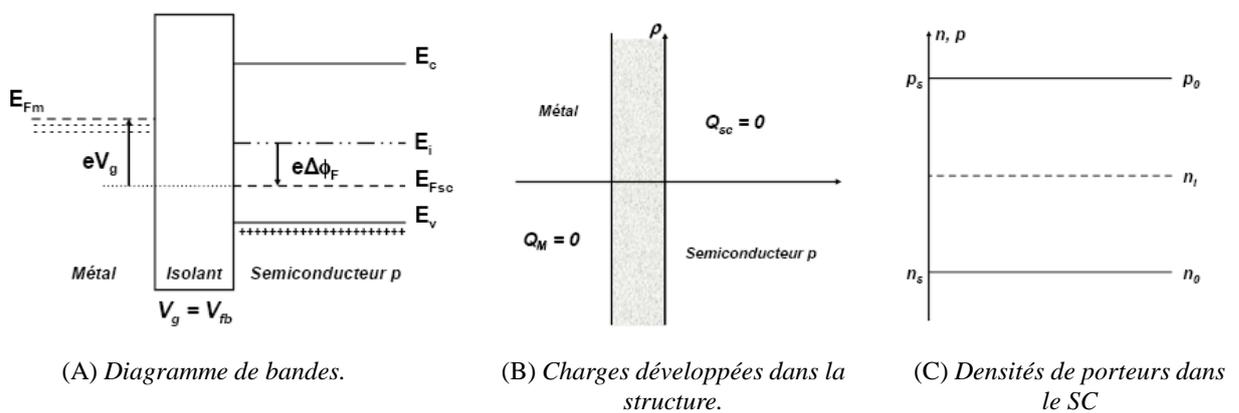


Figure 1.3 : Caractéristiques électriques de la structure nMOS en condition de bandes plates.

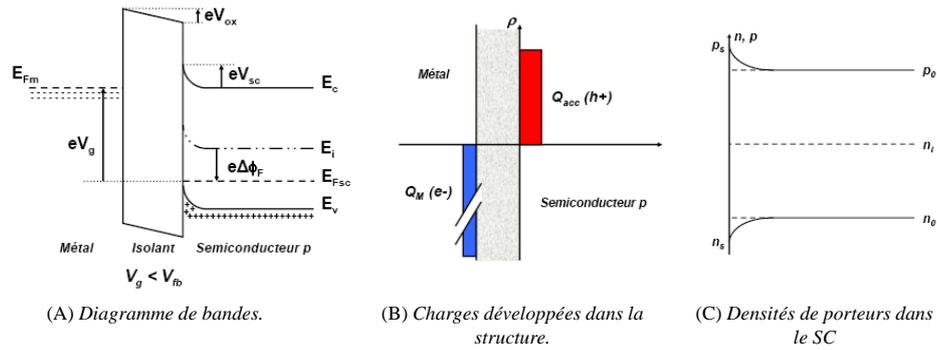


Figure 1.4 : Caractéristiques électriques de la structure *nMOS* en régime d'accumulation.

A l'interface, l'accroissement de la concentration des porteurs majoritaires s'accompagne par une réduction des porteurs minoritaires, donc l'équilibre thermodynamique exige la relation suivante [2] :

$$n.p = n_i^2 = C^{te}$$

Ainsi, il existe un excès de trous ($p_s > p_0$) et un déficit d'électrons ($n_s < n_0$), voir figure 1.4. Il existe une zone chargée positivement Q_{acc} , nommée zone de charge d'espace (figure 1.4(B)), donc il y a un excès de trous sur la surface du semi-conducteur par rapport à son volume. Selon le principe de la neutralité électrique du système, le métal porte une charge négative (excès d'électrons) située à une très faible épaisseur à l'interface grille-oxyde, telle que $Q_M = -Q_{acc}$.

Régime de désertion : $V_g > V_{fb}$

Dans ce cas, le champ électrique joue un rôle d'écarteur, il repousse les porteurs majoritaires de l'interface, la situation correspond à la courbure des bandes contraire à celle produite lors de l'accumulation.

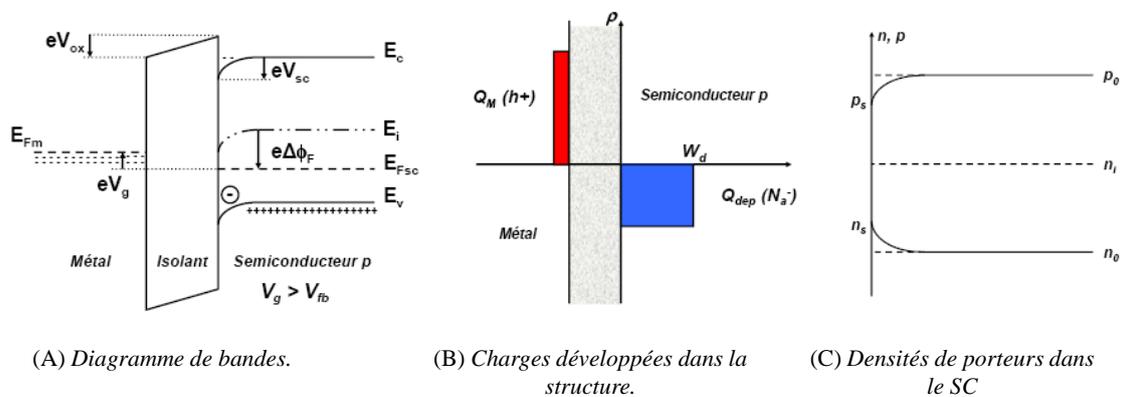


Figure 1.5 : Caractéristiques électriques de la structure *nMOS* en régime de déplétion.

Dans le cas d'un semi-conducteur de type p , la déplétion est obtenue pour une polarisation $V_g > V_{fb}$. La tension positive aux bornes de la grille repousse les trous vers l'intérieur du substrat. Alors, le semi-conducteur est vidé de porteurs mobiles à l'interface et une charge négative, due aux ions accepteurs ionisés, apparaît dans la zone de charge espace.

Donc une courbure des bandes du semi-conducteur $V_{sc} > 0$. Le diagramme de bandes de ce régime est présenté dans la figure 1.5(A). A l'interface, le niveau de Fermi s'écarte de la bande de conduction, d'où une diminution de la concentration des trous libres à la surface p_s (figure 1.5(C)) d'un côté et devient très inférieur à la densité de porteur majoritaires p_0 , et d'un autre côté, une augmentation de la concentration des porteurs minoritaires à la surface n_s .

Dans le même temps, la concentration des porteurs minoritaires à la surface n_s augmente. Dans la zone de désertion, les densités des porteurs majoritaires et minoritaires deviennent donc négligeables et la zone de charge d'espace est ainsi composée des dopants ionisés. Nous pouvons formuler cette charge à partir du dopage initial suivant la relation :

$$Q_{dep} = A \cdot e \cdot N_a^- \cdot W_d < 0 \quad (1.4)$$

où A représente la surface de la structure $nMOS$ et W_d est la profondeur de déplétion, telle que montrée dans la figure 1.5(B).

La charge d'accumulation est composée de charges libres et mobiles, par contre, la charge de désertion est composée de charges fixes (les dopants ionisés) dont la densité est donnée par le dopage. Ainsi, la charge de déplétion montre une extension spatiale importante dans le semi-conducteur et un changement de V_g cause donc un changement de la profondeur W_d de la zone désertée à la place d'un changement de la densité de charges.

Pour satisfaire l'électro-neutralité globale du système, le métal porte cette fois-ci une charge positive (déficit d'électrons) située à une très faible épaisseur à l'interface grille-oxyde, de façon que $Q_M = -Q_{Dep}$. Cette condition est illustrée sur la figure 1.5(B).

Régime d'inversion forte : $V_g \gg V_{th}$

Le régime d'inversion est atteint lorsque $\Psi_{sc} > 2\Phi_f$ et si V_g devient très supérieur à V_{th} alors la courbure de bandes continue à s'infléchir. Dans ce régime, la concentration de porteurs minoritaires (électrons) près de l'interface oxyde/substrat est beaucoup plus grande que la concentration de porteurs majoritaires dans le substrat. Les porteurs minoritaires

deviennent alors majoritaires à la surface (alors les majoritaires deviennent minoritaires). Cette condition est représentée sur la figure 1.6(C). Il y a une inversion apparente du type du semi-conducteur au voisinage de l'interface oxyde/semi-conducteur. Lorsque le régime d'inversion est établi, la charge d'espace du semi-conducteur est constitué de :

- la charge Q_{inv} des électrons « ex-minoritaires » devenus excédentaires. Cette charge mobile est très proche de l'interface et peut atteindre une forte valeur.
- la charge Q_{dep} correspondant à la déplétion, formée par les dopants ionisés. Cette charge fixe se répartit sur un volume de semiconducteur plus important que la charge d'inversion car la densité de dopants est limitée à $\rho_{dep} = e \cdot N_a^-$.

Le courant de drain dépend des polarisations appliquées au drain et à la grille. On peut distinguer deux régimes différents :

- Pour $V_d < V_g - V_{th}$, le transistor est en régime ohmique, ou linéaire. Le courant de drain, noté I_{dlin} , dépend linéairement de la tension V_d , selon l'équation suivante :

$$I_{dlin} = \frac{\mu_{eff} C_{ox} W}{L} \left(V_g - V_{th} - \frac{V_d}{2} \right) V_d \quad (1.5)$$

Où W est la largeur du canal, L est la longueur du canal et μ_{eff} est la mobilité effective des porteurs.

- Pour $V_d > V_g - V_{th}$, le potentiel le long du canal augmente et réduit l'épaisseur de la couche d'inversion. Pour une tension de polarisation $V_d = V_{dsat}$, la capacité MOS n'est plus en inversion coté drain. Alors le canal est en point de pincement. On est en régime de saturation, le courant de sortie n'augmente pas avec la tension de drain. On obtient alors l'expression de la tension et du courant de saturation :

$$I_{dsat} = \frac{1}{2} \frac{\mu_{eff} C_{ox} W}{L} (V_g - V_{th})^2 \quad (1.6)$$

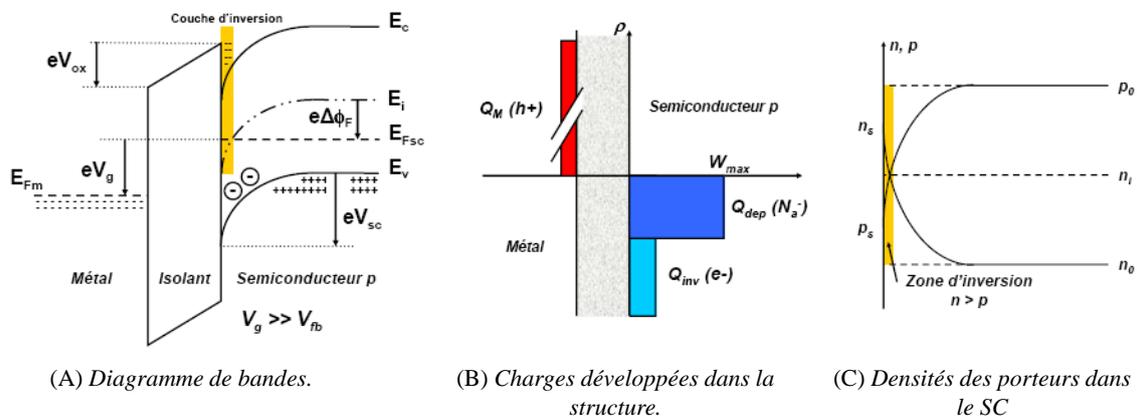


Figure 1.6 : Caractéristiques électriques de la structure MOS en régime d'inversion.

Les deux équations (1.5) et (1.6) permettent de calculer le courant du transistor *MOS* dans les deux régimes (Linéaire et Saturation).

La concentration des porteurs minoritaires à la surface devient égale à la concentration initiale des porteurs majoritaires soit $n_s = p_0$. Cette inversion forte est obtenue pour une courbure de bandes V_{sc} équivalant à $2\Delta\Phi_F$. Pratiquement, la charge de déplétion n'évolue plus une fois l'inversion forte est atteinte [2]. Cela est dû au changement très rapide de la concentration des porteurs en inversion forte par rapport au changement beaucoup plus lente de la profondeur de désertion. La zone désertée a donc la même profondeur W_{max} . La limite inversion faible/inversion forte joue un rôle essentiel dans le fonctionnement du transistor.

1.3. Caractéristiques d'un transistor à effet de champ *MOSFET*

Nous avons précédemment introduit les différents régimes du transistor *MOS*. Maintenant, nous présentons les différentes manières de caractériser un transistor et d'extraire les paramètres électriques. Ces dernières vont permettre de déterminer les performances électriques du transistor.

1.3.1. Caractéristique I_d-V_g

La courbe de transfert I_d-V_g est une courbe fondamentale de la caractérisation des transistors *MOS*, car nous pouvons extraire une grande partie de ses paramètres fondamentaux. La figure 1.7 montre une courbe caractéristique $I_d(V_g)$, à partir de laquelle plusieurs paramètres peuvent être directement extraits, tels illustrés sur la figure.

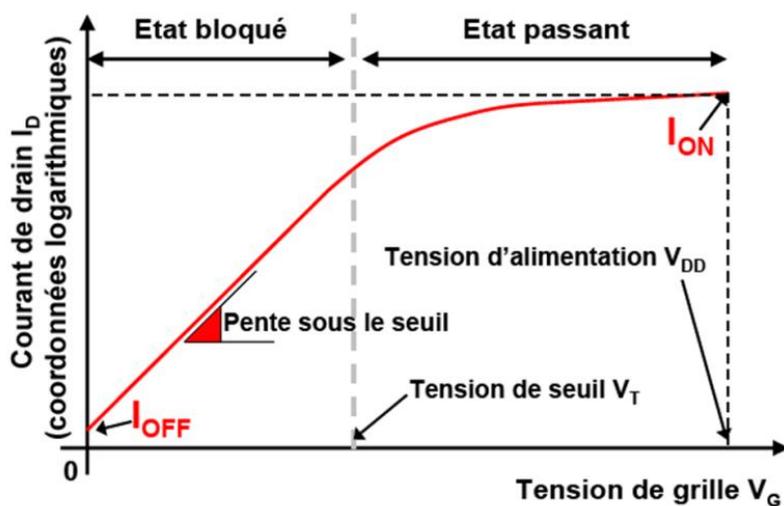


Figure 1.7 : Représentation schématique de la caractéristique $I_d(V_g)$, en échelle semi logarithmique, d'un transistor *nMOS*.

1.3.2. Courant de drain sous le seuil

Le courant sous le seuil est un courant qui circule entre le drain et la source du transistor en régime d'inversion faible, c'est-à-dire $V_g < V_{th}$. Ce courant a pour origine la diffusion des porteurs et peut être décrit par l'équation suivante [15] :

$$I_{DS} = \mu_0 C_{ox} \frac{W}{L} \Phi_t^2 \exp\left(\frac{V_{gs}-V_g}{n\Phi_t}\right) \left(1 - \exp\left(-\frac{V_{ds}}{\Phi_t}\right)\right) \quad (1.7)$$

où $\Phi_t = \frac{kT}{q}$ et $n = 1 + \frac{C_{dep}}{C_{ox}}$ avec C_{dep} est la capacité de la couche de déplétion.

1.3.3. La pente sous le seuil

Il est possible d'extraire le facteur S (swing) correspondant au coefficient directeur de la pente de la courbe $I_d(V_g)$ en semi-log pour $V_g < V_{th}$. Ce paramètre correspond à l'inverse de la pente sous le seuil (noté SS pour « Subthreshold Slope » ($S=1/SS$) et qui s'exprime en mV/dec selon l'équation (1.8) [16] ce paramètre permet d'évaluer les performances de commutation du transistor.

$$SS = \frac{\partial V_g}{\partial \ln(I_{ds})} = n \frac{kT}{q} \ln(10) \quad (1.8)$$

Ce paramètre traduit l'augmentation de la tension de grille V_g nécessaire pour augmenter le courant I_{ds} d'une décade, sa valeur théorique idéale étant de 60mV par Dec à une température 300K.

1.3.4. Le courant de fuite

Ce courant noté I_{off} , il correspond au courant quand le transistor n'est pas alimenté ($V_g=0$). Ce paramètre résulte de la somme des courant tunnel entre la grille et le substrat (I_{gb}) et entre la grille et les extensions du drain (I_{gd}) et de la source (I_{gs}), de la qualité des jonctions PN coté source et coté drain impactant entre le drain et le substrat (I_{db}) et entre la source et le substrat (I_{sb}), ainsi que la hauteur de la barrière de potentiel entre le canal et les extensions (impactant le courant entre la source et le drain I_{sd}).

1.3.5. La tension de seuil

Noté V_{th} , c'est un paramètre très important qui détermine la limite de l'état bloqué et de l'état passant d'un transistor. Nous avons introduit théoriquement ce que représentait la tension de seuil V_{th} lors de l'introduction des régimes de fonctionnement du transistor. Dans la suite, nous rappelons quelques méthodes d'extraction classiques de cette tension de à partir des courbes caractéristiques $I_d(V_g)$.

1.4. Extraction de la tension de seuil du transistor MOS : V_{th}

Nous présentons dans cette partie les méthodes d'extraction de V_{th} qui permettent de la déterminer à partir des courbes $I_d(V_g)$. Principalement, il y a deux méthodes fréquemment utilisées pour déterminer la tension de seuil, V_{th} , à savoir :

1.4.1. Méthode d'extrapolation en régime linéaire

Cette méthode d'extraction se base sur l'expression du courant de drain en régime linéaire donné par l'expression (1.5) et sur l'expression de la mobilité effective des porteurs qui peut s'exprimer sous la forme :

$$\mu_{eff} = \frac{\mu_0}{1+\theta_1(V_g-V_{th}-V_d/2)+\theta_2(V_g-V_{th}-V_d/2)^2} \quad (1.9)$$

Avec μ_0 est la mobilité des porteurs à champ faible, θ_1 et θ_2 sont les facteurs de réduction de la mobilité dues aux interactions porteurs/phonon du réseau cristallin et la rugosité Si/SiO₂ [17], [18]. En déterminant le paramètre de gain en transconductance $\beta = \mu_0 WC_{ox}/L$, le courant de drain peut s'écrire sous la forme :

$$I_d = \beta \frac{V_g-V_{th}-V_d/2}{1+\theta_1(V_g-V_{th}-V_d/2)+\theta_2(V_g-V_{th}-V_d/2)^2} \quad (1.10)$$

La transconductance, G_m , du transistor est donnée par la formule suivante :

$$G_m = \frac{\partial I_d}{\partial V_g} \quad (1.11)$$

En dérivant (1.10) par rapport à V_g , nous obtenons

$$G_m = \beta \frac{1-\theta_2(V_g-V_{th}-V_d/2)^2}{[1+\theta_1(V_g-V_{th}-V_d/2)+\theta_2(V_g-V_{th}-V_d/2)^2]^2} \quad (1.12)$$

nous définissons V_{ext} la tension de grille extrapolée linéairement à partir du point d'inflexion de la caractéristique $I_d(V_g)$ et V_{gGmmax} est la tension V_g pour laquelle Gm atteint son maximum. Donc V_{ext} s'écrit :

$$V_{ext} = V_{gGmmax} - \frac{I_d(V_{gGmmax})}{G_{mmax}} \quad (1.13)$$

Ce qui donne :

$$V_{ext} = V_{th} + \frac{V_d}{2} - \frac{\theta_1(V_{gGmmax}-V_{th}-V_d/2)^2+2\theta_2(V_{gGmmax}-V_{th}-V_d/2)^3}{1-\theta_2(V_{gGmmax}-V_{th}-V_d/2)^2} \quad (1.14)$$

D'où, si nous négligeons les réductions de mobilité ($\theta_1=\theta_2=0$), nous obtenons :

$$V_{th} = V_{ext} - \frac{V_d}{2} = V_{gGm_{max}} - \frac{I_d(V_{gGm_{max}})}{Gm_{max}} - \frac{V_d}{2} \quad (1.15)$$

La figure 1.8 montre la méthode d'extraire de V_{th} sur la courbe $I_d(V_g)$.

1.4.2. Méthode d'extraction de V_{th} à courant constant

Dans cette méthode, nous cherchons à estimer la tension de grille qui permet au courant d'atteindre une certaine valeur, $I_{V_{th}}$. Ce critère est choisi de façon à ce que la tension de seuil extraite avec cette méthode ressemble à la tension de seuil extraite par la méthode d'extrapolation. Ce courant de seuil est déterminé (voir figure 1.9) en fonction des dimensions du transistor (W, L) selon la formule :

$$I_{V_{th}}(A) = A \cdot 10^{-7} \frac{W}{L} \quad (1.16)$$

Avec L la longueur de grille du transistor, W sa largeur et la valeur de A dépend du type de transistor. Cette technique est plus simple à utiliser. De plus, elle permet d'évaluer rapidement V_{th} , ce qui permet aussi, son utilisation à grande échelle (sur des lings de fabrication en salle blanche).

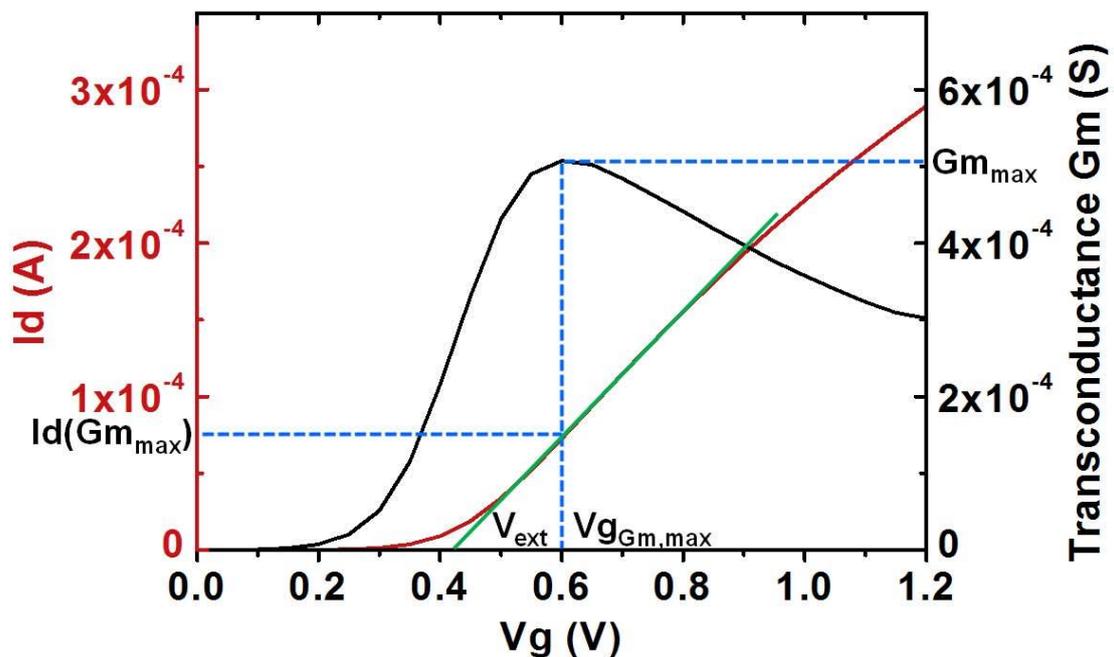
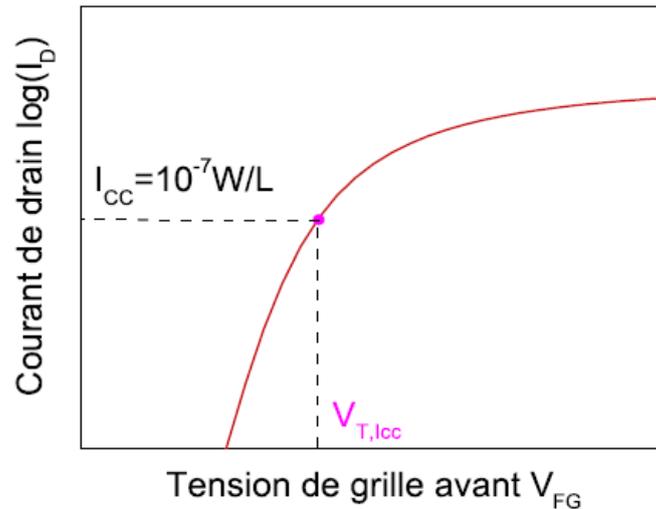


Figure 1.8 : Méthode d'extraction de V_{th} par extrapolation

Figure 1.9 : Extraction de V_{th} par la méthode du courant constant

1.5. Limitation de la réduction d'échelle des MOSFET

De nos jours, les composants intégrés sur puce micrométriques, sont considérablement réduits et atteignent des dimensions nanométriques pour satisfaire les spécifications du roadmap *IRTS (International Technology Roadmap for Semiconductors)* et la loi de Moore. Des effets parasites induits par l'impact de la réduction de la longueur de grille et par conséquent une dégradation des performances électriques du transistor [19]. Par exemple, les effets de canaux courts impactent fortement le contrôle électrostatique de la grille sur le canal [20], [21]. La tension de seuil du transistor est ainsi dégradée. La polarisation du drain induit le phénomène *DIBL (Drain Induced Barrier lowering)* et contribue de ce fait à une augmentation du courant I_{off} [22]. Afin d'améliorer au mieux le contrôle du canal, une solution technologique consiste à diminuer l'épaisseur de l'oxyde de grille. D'autres phénomènes parasites sont alors observés, tels que l'apparition de courants de fuite de grille et une quantification des porteurs dans la couche d'inversion. Des solutions ont été proposées pour empêcher ces effets parasites et des adaptations de nouvelles architectures du transistor pour les nœuds technologiques à venir.

1.5.1. Empilement *High-κ Metal Gate (HKMG)*

1.5.1.1. Utilisation de grilles métalliques

Jusqu'au nœud 40nm, la grille était constituée de poly-silicium (silicium polycristallin fortement dopé). En fonction du dopage du poly-silicium de type *N* ou *P*, ce choix permettait de bénéficier à la fois de transistor *NMOS* et *PMOS* ayant de faibles valeurs de tensions de seuil V_{th} . Cependant lorsque le transistor se trouve en régime d'inversion, la

grille, du fait de son fort dopage, se trouve en régime de déplétion conduisant à une chute d'énergie potentielle dans la grille. On parle de phénomène de poly-déplétion [23], [24]. Cette déplétion dans la grille s'étale sur une épaisseur de quelques angströms suivant le niveau de dopage, induisant une augmentation effective de l'épaisseur d'oxyde t_{ox} équivalente, ce qui crée alors un effet capacitif parasite. Cet effet jusqu'alors négligeable devant l'épaisseur de l'oxyde, est devenu contraignant avec la diminution des épaisseurs d'oxyde et d'autant plus compliqué avec l'arrivée des diélectriques à haute permittivité (*high- κ*).

La solution choisie a été de remplacer la grille en poly-silicium par une grille métallique [25]. L'avantage majeur d'utiliser un métal en tant que matériau de grille est donc l'élimination des phénomènes de désertion de grille, de plus, on supprime l'effet de diffusion du bore propre du poly-silicium dopé. En effet, la grille obtenue en *TiN* est un type mid-gap, c'est-à-dire choisi pour son travail de sortie qui place le niveau de Fermi à la moitié du gap du silicium. C'est donc un matériau spécifiquement choisi pour faciliter l'obtention de tensions de seuils sensiblement symétriques pour les transistors *NMOS* et *PMOS*.

1.5.1.2. Les oxydes hauts permittivités (*high- κ*)

La réduction des dimensions des transistors nécessite d'utiliser des épaisseurs d'oxyde de grille de plus en plus fines. Ceci conduit malheureusement à des courants de fuite I_g à travers la grille plus importants. Un moyen de conserver une capacité équivalente sans trop diminuer l'épaisseur de l'oxyde de grille est alors d'utiliser un matériau à haute permittivité (*high- κ*). De nombreux diélectriques de grille ont été étudiés comme *high- κ* potentiels (AlO_3 , HfO_2 , ZrO_2 , etc.); l'oxyde d'hafnium HfO_2 semble être un bon candidat pour les diélectriques de permittivité moyenne ($\epsilon_r \approx 20$) de par son grand gap (5.65 eV) et sa relative stabilité thermodynamique sur le silicium. Une couche intermédiaire ou interfaciale (*Interfacial layer IL*) de SiO_2 de quelques angströms d'épaisseur est réalisée comme couche tampon avant le dépôt du *high- κ* , donc l'oxyde de grille est finalement composé d'une bicouche *high- κ* + *IL* avec comme matériaux HfO_2/SiO_2 (figure 1.10)

1.5.2. Cas d'un isolant de grille bicouches et notion d'EOT

Dans les paragraphes précédents, nous avons rappelé le principe de structure *MOS* idéale contenant un seul diélectrique de grille (une seule couche d'oxyde SiO_2). Cependant, les critères de performance imposent actuellement à l'industrie microélectronique de

remplacer la couche unique de SiO_2 par un empilement à deux couches, constitué d'un oxyde interfacial (SiO_2) et d'une couche d'oxyde de forte permittivité dit *high- κ* (HfO_2) (figure 1.11). Ainsi donc, nous sommes obligés d'introduire une grandeur ou une notion de l'EOT (*Equivalent Oxide Thickness*) épaisseur équivalente d'oxyde.

Dans le cas d'un isolant de grille formé d'un oxyde unique, la couche présente une capacité par unité de surface valant : ϵ_{ox}^r/t_{ox} avec ϵ_{ox}^r est la permittivité diélectrique relative de l'oxyde (3.9 pour SiO_2) et t_{ox} est l'épaisseur *physique* d'oxyde.

Dans le deuxième cas où l'isolant de grille est formé de deux couches superposées d'oxyde. Cet empilement peut être considéré comme l'association en série de deux capacités, l'une liée à l'oxyde interfacial C_{IL} et l'autre liée au matériau de forte permittivité C_{hk} . Avec les mêmes conventions que dans l'équation (1.17), la capacité surfacique totale s'écrit :

$$\frac{1}{C_{tot}} = \frac{1}{C_{IL}} + \frac{1}{C_{hk}} = \frac{t_{IL}}{\epsilon_{inter}^r \cdot \epsilon_0} + \frac{t_{hk}}{\epsilon_{hk}^r \cdot \epsilon_0} \quad (1.17)$$

La notion d'EOT (figure 1.12) est définie afin de déterminer l'apport réel de l'introduction du *High- κ* par rapport à l'oxyde de grille standard en SiO_2 . Cette grandeur permet de ramener tout empilement de grille pour un diélectrique *high- κ* quelconque à l'épaisseur équivalente d'oxyde (et la capacité équivalente C_{eq} correspondante)

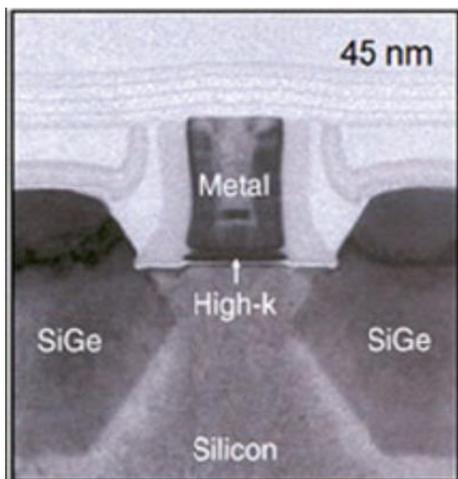


Figure 1.10 : Micrographies TEM de MOSFET à nœud Intel 45 nm, introduisant la technologie *high- κ* /metal gate [26]

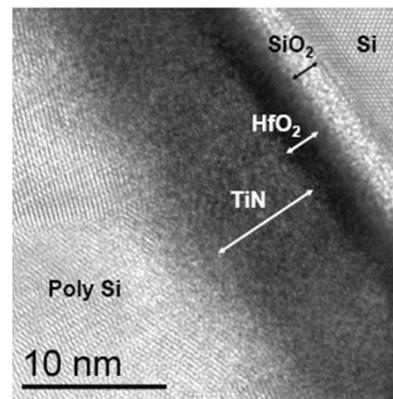


Figure 1.11 : Image TEM représentative des structures MOS. La grille est constituée de nitrure de titane (*TiN*) recouverte par du silicium polycristallin (*Poly Si*) tandis que l'oxyde de grille est formé par une *bi-couches* oxyde de silicium (SiO_2)/oxyde d'hafnium (HfO_2).

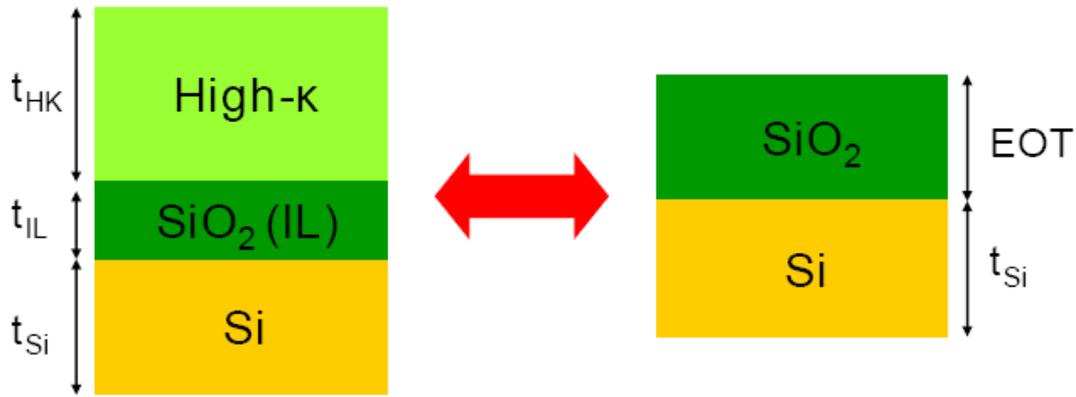


Figure 1.12 : Illustration de la notion d'épaisseur équivalente d'oxyde EOT.

Nous pouvons alors formuler la capacité totale (ou équivalente) de l'empilement (équation (1.18)) comme valant :

$$C_{tot} = \frac{\varepsilon_{ox}^r \varepsilon_0}{EOT} \quad (1.18)$$

Les équations 1.17 et 1.18 montrent donc que d'un point de vue électrique, une structure *MOS* constituée d'un isolant de grille *bi-couches* d'épaisseur totale $t_{inter} + t_{hk}$ et de constantes diélectriques respectives ε_{IL}^r et ε_{hk}^r peut être étudiée de la même manière qu'un empilement mono-couche de constante diélectrique ε_{ox}^r et d'épaisseur *physique* *EOT*. L'épaisseur équivalente d'oxyde représente ainsi l'épaisseur *physique* d'oxyde qu'il faudrait utiliser pour remplacer l'empilement *bi-couches* et avoir la même épaisseur électrique que ce dernier (même courbure des bandes dans le semi-conducteur pour une polarisation de grille donnée).

1.6. La technologie *Tri-gate* (*FinFET*)

1.6.1. Aperçu sur le *FinFET*

La dégradation des performances du dispositif était le résultat du processus de mise à l'échelle du *MOSFET* qui s'approchait de la limite technologique $\sim 20\text{nm}$. La nouvelle structure alternative, *FinFET*, remplace le *MOSFET* conventionnel qui permet aux transistors d'être réduits et de contribuer à plus d'avantages par rapport au *MOSFET*, tels qu'un courant de drain plus important, une tension de commutation plus petite et un très faible courant de fuite statique. La technologie *FinFET* a été développée par Liu et son équipe de recherche à l'Université de Californie, Berkeley [27]. *FinFET* se réfère à une structure non planaire avec multi-grille, construite sur un substrat *SOI* ou un *bulk* de la

plaquette de silicium et qui peut être fabriquée en utilisant une technologie compatible CMOS existante telle que la lithographie [28].

Un *FinFET* avec un isolant (oxyde) au-dessus du canal est un transistor à double grille d'ailleurs il s'agit d'une structure "*Tri-Gate*". Intel l'a introduit en 2011 pour le nœud 22 nm comme une innovation considérable dans la technologie CMOS. L'architecture planaire traditionnelle a été remplacée par l'architecture 3D "*Tri-Gate*" pour un fonctionnement complètement déserté, également, appelée « *FinFET* » (figure 1.13). En septembre 2012, GlobalFoundries, a prévu d'offrir un transistor *FinFET* tridimensionnel "*3D*" de technologie 14 nm en 2014 [29]. En octobre 2012, TSMC a planifié de fabriquer des puces *FinFET* de 20 nm en 2013 et de 14 nm en 2014[30].

FinFET est également appelé dispositif multi-grille où son mode de fonctionnement est presque similaire au transistor *MOSFET* conventionnel. *FinFET* dispose également d'une source (S), d'un drain (D) et d'une grille (G) pour contrôler le flux de courant. La seule chose qui différencie *FinFET* du *MOSFET* est le canal entre la source et le drain. Le canal de *FinFET* au-dessus du substrat de silicium est conçu avec une barre tridimensionnelle, appelée "*aileron*" (*fin* en anglais). La conception de cette barre rend la grille du *FinFET* entièrement recouverte autour du canal, comme présenté sur la figure 1.14, pour former plusieurs électrodes de grille de chaque côté.

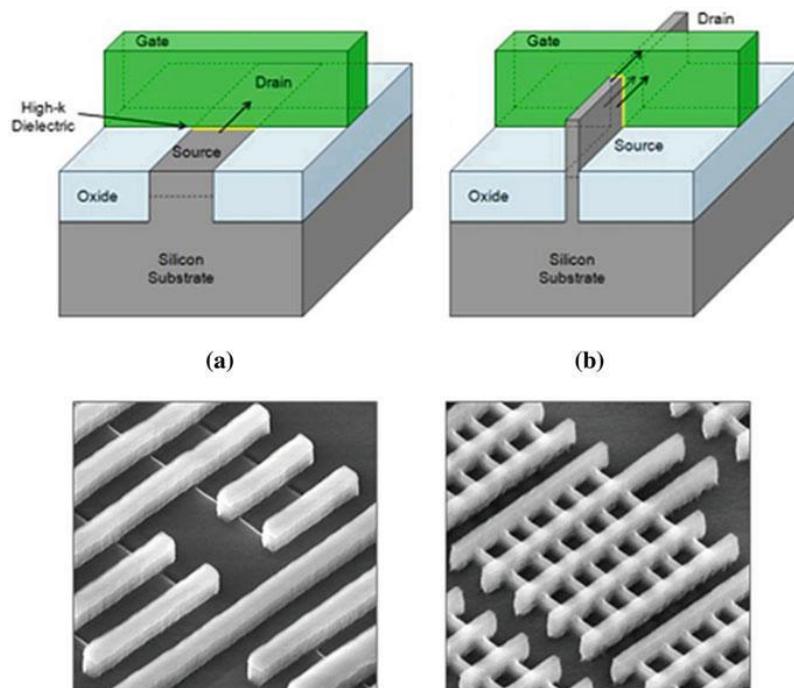


Figure 1.13 : Représentation (haut) et images de MEB (A) 32nm transistors planaires par rapport au (B) transistors *Tri-Gate* 22nm [26].

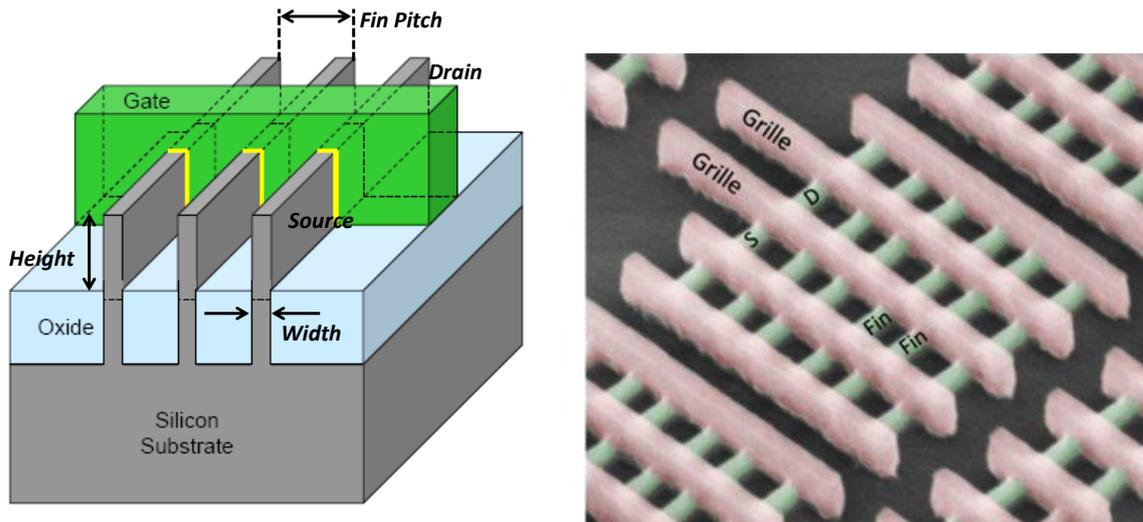


Figure 1.14 : Schéma et image MEB en vue de dessus de transistors *FinFET* sur silicium massif [26].

Ces électrodes peuvent contribuer à la réduction des effets de fuite et à améliorer le courant d'entraînement. Sur la base de la structure de conception, la hauteur d'aileron d'un *FinFET* à un seul aileron doit être la moitié de la largeur effective du canal, W_{eff} [31]. Cependant, si le W_{eff} est grand, *FinFET* peut être construit en utilisant plusieurs ailerons parallèles (figure 1.14) pour fournir des intensités de courant d'entraînement plus élevées par unité de surface que les dispositifs planaires, le W_{eff} de *FinFET* est donné par :

$$W_{eff} = N_{Fin} \times (2H_{Fin} + T_{Fin}) \quad (1.19)$$

où N_{Fin} est le nombre d'ailerons alignés en parallèle, tandis que T_{Fin} est l'épaisseur de l'aileron et H_{Fin} la hauteur de l'aileron [32].

1.7. Conclusion

Ce premier chapitre a été consacré à l'introduction des principes physiques de fonctionnement d'un transistor MOSFET, nous avons notamment introduit la structure du transistor MOS, puis les différents régimes de fonctionnement. Nous avons aussi donné une introduction de la technologie ayant un oxyde de grille de type *high-κ* et de grille de type métal et la technologie *FinFET* "Bulk".

La courbe de Transfert a aussi été introduite. Celle-ci permet d'extraire différents paramètres électriques, notamment la tension de seuil V_{th} dont sa dérive ΔV_{th} permet de mesurer la dégradation BTI. Le prochain chapitre est consacré à la fiabilité des transistors MOS, la dégradation BTI et aux différents modèles proposés pour expliquer cette dégradation.

Chapitre 2 Fiabilité des Transistors *MOSFET* Sous Contrainte *BTI*

Introduction

Après un rappel, dans le premier chapitre, sur les principes de base du transistor *MOS*, nous commencerons dans ce deuxième chapitre par donner une description des différents types des charges qui peuvent exister dans les deux empilements soit *MOS* et *HKMG*. Nous nous concentrerons beaucoup plus sur l'aspect fiabilité de ces dispositifs. Nous définirons la notion de fiabilité puis les mécanismes de dégradation les plus dominants « *Bias Temperature Instability BTI* ». Ensuite nous présenterons l'évolution des modèles proposés pour expliquer la dégradation *BTI*. Les méthodes électriques et les techniques de caractérisation de la dégradation *BTI*, implémentés dans ce travail, seront présentées dans le chapitre 3.

2.1 Les défauts dans l'oxyde de grille d'un transistor *MOS*

Qu'un dispositif soit fiable ou non, il y a une chose à reprocher : les défauts qui existent dans l'oxyde de grille du transistor [33]. Depuis des années, la technologie *CMOS* a été réussie grâce aux propriétés avantageuses du SiO_2 [34]: bande haute énergie, faible densités de défauts, intégration facile au procédé, etc. Mais l'introduction des matériaux *high- κ* , comme le HfO_2 introduit également des problèmes supplémentaires. Dans cette partie, nous présenterons un aperçu des différents types de défauts d'oxydes et essayerons de voir l'effet de chaque type de défauts sur le rendement et la fiabilité. L'origine des défauts présents dans la couche interfaciale vient essentiellement du désaccord de maille qui existe entre le silicium *Si* et la silice SiO_2 . En effet, le silicium présente une structure cristalline alors que celle de la silice est amorphe. Ce désaccord de maille est à l'origine d'une couche interfaciale de quelques angströms (4-5Å) [35] (illustré sur la figure 2.1) et provoque la distorsion des liaisons électroniques qui engendrent des défauts à l'interface et dans le volume du SiO_2 [36].

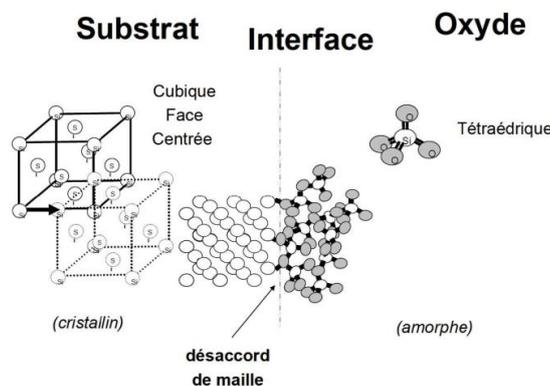


Figure 2.1 : Désaccord structurel entre le silicium et l'oxyde de silicium [14]

2.2 Classification des types de charges dans l'oxyde de silicium et à l'interface Si/SiO_2

Les charges ou les défauts de la grille sont classés selon différents points, basés sur leur nature chimique, leur profondeur énergétique ou leur profondeur spatiale. Cependant, il y a deux types de défauts qui peuvent exister. Le premier type est les défauts intrinsèques qui apparaissent lors d'un réarrangement de la maille de Si ou SiO_2 . L'autre type est les défauts extrinsèques qui sont le résultat de la recombinaison d'un atome autre que Si ou O avec le réseau. Ces espèces chimiques peuvent être ajoutées lors des étapes d'implantation, de nettoyage ou de métallisation, etc. .

2.2.1 Charges fixes

Ces charges sont proches de l'interface Si/SiO_2 , $high-\kappa/SiO_2$, métal/ $high-\kappa$ [37] Elles résultent de l'étape d'oxydation du silicium. Aussi, plus le procédé est optimisé mieux sera la qualité de l'oxyde. Ces défauts influent sur la tension de seuil du transistor, mais ces charges fixes n'interagissent pas avec le canal du silicium. Elles ne dégradent pas la fiabilité du transistor MOS mais peuvent affecter les paramètres initiaux, comme la tension de bande plate (V_{fb}).

2.2.2 Charges mobiles ioniques

Lors de la fabrication du transistor MOS , l'oxyde de silicium peut être contaminé par des ions et des impuretés tels que Li^+ , Na^+ , K^+ , H^+ [38], etc. Ces charges mobiles se trouvent partout dans l'oxyde, ils diffusent dans l'oxyde à partir de 200°C. L'application d'une tension de stress positive provoque un shift de la tension de seuil, le sodium (Na^+) et l'hydrogène (H^+) sont considérés comme les impuretés qui sont liées à l'instabilité de la tension de seuil [39].

2.2.3 Charges d'oxyde

Au cours de l'oxydation de silicium, des défauts liés aux procédés de fabrication sont formés dans le volume. Aussi, dans la phase de stress électrique sur la grille, des porteurs énergétiques, positifs ou négatifs, peuvent combler ces défauts. Sous l'effet de la température et/ou sous un champ électrique inverse, la charge peut être dé-piégée et le défaut se reformer. Les défauts en volume SiO_2 sont identifiés comme suit :

- Oxygène non lié : $O_3 \equiv Si - O$
- Pont peroxyde : $O_3 \equiv Si - O - O - Si \equiv O_3$

- Silicium bivalent : $O_2 \equiv Si$
- Lacune d'oxygène : $O_3 \equiv Si - Si \equiv O_3$
- Centre E' : $O_3 \equiv Si$

Les centres E' (figure 2.2), appelés aussi silicium trivalent, sont les plus fréquemment rencontrés [40]. La présence d'un électron non apparié dans ce défaut a permis leur identification par Weeks et al. en 1956 [41] en utilisant la technique *ESR* (*Electronic Spin Resonance*).

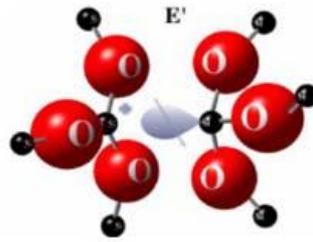


Figure 2.2 : Illustration d'un centre E' [42].

2.2.4 Charges et défauts d'interface

Ce sont les charges les plus proches du canal avec lequel elles interagissent électriquement. Le piège d'interface dit amphotère, qu'il peut être soit donneur (piège à trous), soit accepteur (piège à électron). Dans le premier cas, son énergie E est située dans la moitié inférieure de la bande interdite du silicium ($E_T \leq E_g/2$), dans le second c'est dans la partie supérieure ($E_T \geq E_g/2$). Cette distribution est illustrée par la figure 2.3 pour les conditions de bandes plates et d'inversion des transistors *NMOS* et *PMOS*. Les mécanismes de piégeage/dé-piégeage peuvent être formalisés par le modèle Shokly-Read-Hall [43].

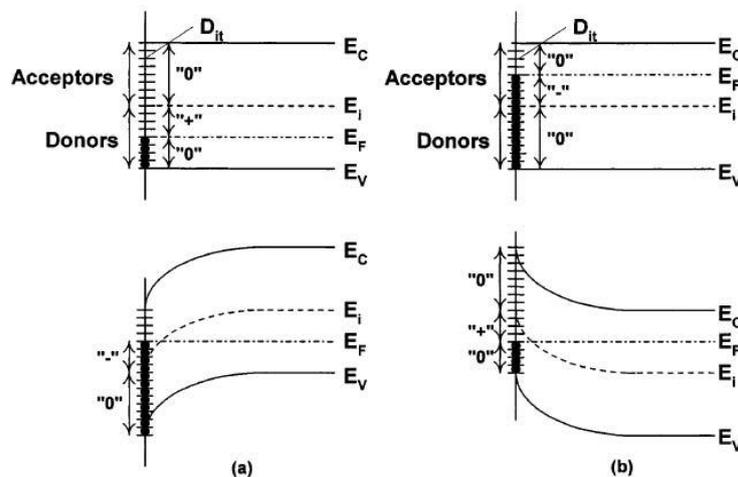


Figure 2.3 : Influence de la distribution des pièges d'interface sur la charge piégée dans les transistors *NMOS* (A) et *PMOS* (B) [44].

Dû à la proximité de ces charges au canal, elles jouent un rôle majeur sur la fiabilité électrique du transistor. Les effets provoqués sur la fiabilité de transistor sont: l'impact sur la capacité, le courant de fuite et, bien sûr le *Bias Temperature instability (BTI)* que nous allons étudier dans le reste de ce manuscrit. Nous avons mentionné, antérieurement, qu'une création de défauts résulte du désaccord de maille entre le silicium et la silice. Ainsi, certains atomes de silicium à l'interface ne peuvent pas se lier à un atome d'oxygène puisqu'ils sont déjà liés à trois autres atomes de silicium. Ils créent alors une liaison pendante de silicium, la densité totale de ces liaisons pendantes est D_{it} , et agit comme un défaut électriquement actif appelé centre P_b [45] (P pour Paramagnétique et b comme l'indexation du pic de résonance)

Deux différents types de centre P_b ont été par la suite distingués selon l'orientation du substrat et qui sont illustrés sur la figure 2.4 :

- Les centres P_{b0} $\bullet Si \equiv Si_3$ [46]
- Les centres P_{b1} $Si_2 = Si \bullet - Si_2 \equiv Si_2O$ [47].

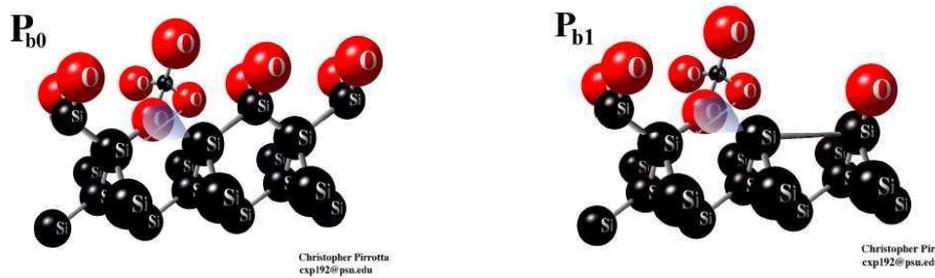


Figure 2.4 : Illustration des deux types de défauts d'interface [42]

Ces défauts sont électriquement actifs lors de la polarisation du transistor. Le nombre de charges piégées va varier. Ceci aura un impact direct sur la tension de seuil. Nous pouvons évaluer cette variation par l'expression :

$$\Delta V_{th} = \frac{q\Delta N_{it}}{C_{ox}} \quad (2.1)$$

où $q\Delta N_{it}$ est la variation du nombre de porteurs piégés dans les défauts et C_{ox} est la capacité d'oxyde. Une étape très importante est incluse dans le procédé de fabrication pour limiter le piégeage de charges à l'interface, il s'agit du recuit sous atmosphère hydrogénée ($T \approx 400^\circ\text{C}$). Ce recuit permet que l'atome d'hydrogène vienne compléter la lacune pour former une liaison $Si-H$ électriquement neutre [48]. On parle alors de la passivation des liaisons pendantes.

2.2.5 Charges piégées à la frontière

Un autre type de charges qui a été introduit à la liste des charges d'oxyde de grille par Fleetwood [49], est appelé les charges piégées à la frontière « *Border-Traps* ». Les plus courants de ces pièges de frontière sont les lacunes d'oxygène (O) et/ou les défauts contenant de l'hydrogène (pont hydrogène et centre E'_γ). Ils sont caractérisés comme des pièges proches de l'interface d'oxyde (*near-interface traps*) et peuvent communiquer avec le silicium par effet tunnel. Ils ont des constantes de temps d'émission et de capture plus grandes que les pièges de l'interface ou de l'oxyde. Les pièges responsables des charges *Border-Traps* sont situés à une distance de ~ 3 nm à partir de l'interface Si/SiO_2 [49]. Des études récentes ont montrés que la communication, dans les transistors *pMOSFETs*, peut se faire non seulement par l'effet tunnel, mais aussi par l'effet tunnel assisté par piège ou même par activation thermique [50], [51]. Tous ces éléments semblent être familiers car ce sont des processus similaires se produisant pendant la phase de relaxation d'une mesure *NBTI* rapide [52]. La figure 2.5 illustre les différents types de charges présents dans l'oxyde de silicium et à l'interface d'après Fleetwood [49].

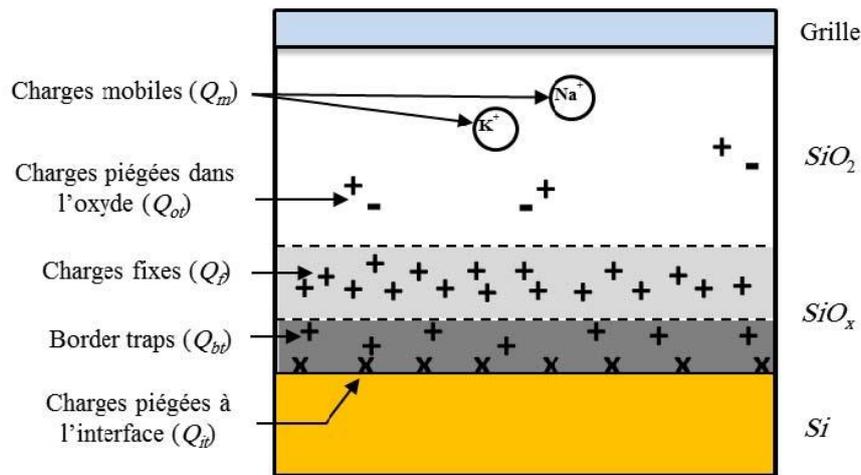


Figure 2.5 : Schéma des différents types de charges dans l'oxyde de silicium et à l'interface Si/SiO_2 [49].

2.3 Défauts dans l'oxyde *high-κ*

Les matériaux *high-κ* les plus utilisés dans l'empilement *HKMG* sont ceux constitués à partir d'Hafnium (Hf) tels que HfO_2 ou $HfSiO(N)$, selon leur propriété isolante (haute permittivité) mais aussi pour leur fiabilité et leur faisabilité en condition industrielle (couches minces et budget thermique le plus faible possible). Comme nous avons présenté auparavant pour l'empilement *MOS* à base d'oxyde de silicium (SiO_2), des défauts peuvent apparaître suite à des réarrangements de liaisons électroniques durant le procédé de

fabrication. Toutefois, le type des défauts dans les *high- κ* est moins bien connu que pour la silice (SiO_2).

La croissance du HfO_2 en couche mince peut induire des défauts liés à la stœchiométrie tels que les lacunes d'oxygène et d'hafnium, ces défauts peuvent être générés par la croissance de la couche ou par le procédé de dépôt. On tiendra quand même deux types de défauts selon Forest et *al.* [53]:

- Oxygène interstitiel : à l'aide de la théorie de la densité fonctionnelle Forest et *al.* [53] ont démontré qu'il était possible d'avoir une migration d'oxygène vers les sites interstitiels. L'incorporation d'oxygène est très dépendante du précurseur utilisé, donc l'oxygène interstitiel peut être : neutre (O^0), ou chargé négativement (O^-) ou (O^{2-}).
- Lacune d'oxygène : de la même manière que dans le cas du SiO_2 , les défauts peuvent être générés durant la croissance de la couche HfO_2 ou bien être le résultat d'une injection de porteurs. Elles peuvent constituer un piège à électrons ou bien à trous. Elles présentent différents niveaux de charges tels que V_O^+ , V_O^{2+} , V_O^- et V_O^{2-} est ils sont considérés comme étant à l'origine des problèmes de piégeage d'électrons dans les *high- κ* [54].

2.4 La fiabilité des transistors MOS

2.4.1 Notion de la fiabilité

La fiabilité peut être définie comme « la probabilité qu'a un dispositif d'exécuter une fonction requise dans des conditions données, et ce, pendant une période du temps déterminée ». La fiabilité est essentiellement qualifiée par le taux de défaillance (ou taux de pannes) en fonction du temps. La durée d'utilisation d'un dispositif électronique possède trois phases. La première phase considère la mortalité infantile. Il s'agit des dispositifs ayant subi des problèmes lors de la fabrication. Sur une très courte durée ces dispositifs fonctionnent au mieux, au pire ne fonctionnent pas du tout. Car tous les dispositifs fabriqués sont testés électriquement avant de les vendre et ceux-ci sont écartés directement. Une fois cette mortalité infantile passée, le dispositif est dans la phase d'utilisation optimale. Durant cette phase, la majeure partie des dispositifs fonctionne sans encombre sauf quelques défaillances. Enfin, vient l'usure. Le dispositif est vieillissant et ses performances baissent. Le diagramme de la figure 2.6 met ces trois phases en lumière.

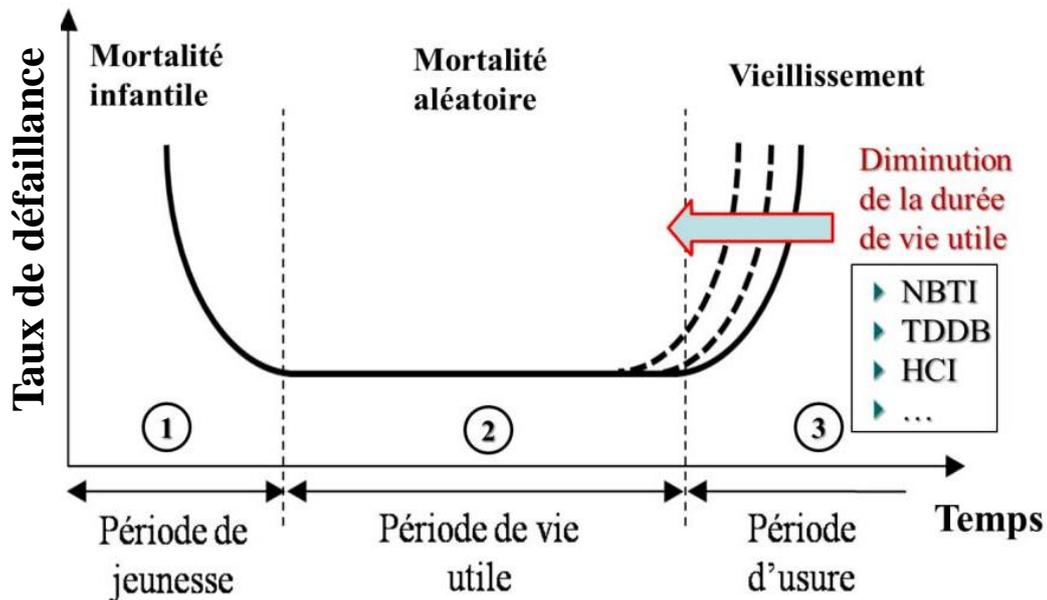


Figure 2.6 : Illustration du taux de défaillance d'un dispositif électronique en fonction du temps [55].

L'objectif des études de la fiabilité électrique est de définir à quel moment le dispositif devient défaillant et atteint sa troisième phase. Autrement dit, elles permettent de garantir une durée de vie au dispositif.

La durée de vie pour un transistor peut aller jusqu'à plusieurs années. Il apparaît donc certainement impossible d'attendre ce temps avant d'assurer la durée de vie du transistor. Donc pour accélérer le vieillissement, il y a deux paramètres essentiels : les tensions électriques et la température. Ainsi, en appliquant différentes contraintes électriques et thermiques au dispositif, on génère différents mécanismes de dégradation. Concernant le transistor *MOS*, il existe trois contraintes principales : la contrainte *BTI* « *Bias Temperature Instability BTI* », le stress par porteurs chauds et le claquage d'oxyde.

Nous allons nous intéresser, dans cette partie, à la fiabilité liée à des contraintes *BTI*, c'est-à-dire des contraintes électriques sur la grille à haute température, comme illustré sur la figure 2.7. Les tensions de stress appliquées sur la grille peuvent être négatives (*NBTI*) pour les transistors *PMOS*, ou positives (*PBTI*) pour les transistors *NMOS*. A propos de la température, elle est un paramètre d'accélération de la dégradation et ne doit pas déformer la structure ($T < 220^{\circ}\text{C}$).

2.5 Dégradation BTI (*Bias Temperature Instability*)

Le *BTI* est l'un des mécanismes de dégradation des dispositifs les plus critiques dans les technologies *CMOS* conventionnelles *poly-Si/SiON* et *MG/HK* et se caractérise par une variété de procédures de mesures électriques. La stabilité électrique des dispositifs *MOS* a fait l'objet de nombreuses études scientifiques. Au début de la fabrication des dispositifs *MOS*, la recherche s'est concentrée sur la contamination ionique [39], [56] et sur la passivation des états de surface électriquement actifs à l'interface *Si/SiO₂* [57], [58]. En ce temps, le *BTI* était à peine mentionné comme une source de problème de fiabilité [59]. Et puis, avec l'évolution de la technologie le *BTI* est devenu l'un des mécanismes de dégradation le plus fréquemment discuté dans les dispositifs *CMOS*.

Comme son nom l'indique, le *BTI* fait référence à une instabilité des transistors dépendante du temps qui est accélérée avec l'augmentation de la polarisation et de la température. Plus précisément, lors d'un test *BTI*, la valeur absolue de la tension de seuil du transistor *MOSFET* augmente, tandis que le dispositif est polarisé en mode d'inversion. Le shift de la tension de seuil mène à une diminution du courant de drain et l'état *ON* du transistor [60]. Le stress Négative *BTI* (*NBTI*) est utilisé sur les dispositifs *p-MOSFET* en appliquant une tension de stress négative à la grille du transistor, alors que le stress Positive *BTI* (*PBTI*) est utilisé sur les dispositifs *n-MOSFET* par l'application d'une tension de stress positive.

Pour les électrodes *poly-Si* conventionnelles, le *BTI* est important dans les *p-MOSFETs*. Cependant, avec la venue des nouveaux diélectriques, le *BTI* est devenu plus sévère avec le *SiON* qu'avec le *SiO₂*. Par contre, l'introduction des diélectriques à haute permittivité (*high- κ : HK*) dans le procédé de fabrication du *CMOS* [61], [62], a rendu les deux types de transistors *p-* et *n-MOSFET* très sensibles au *BTI*.

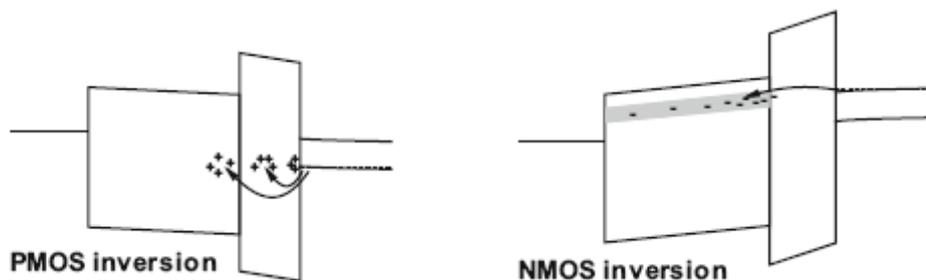


Figure 2.7 : Diagramme de bandes de *HKMG PMOS* (à gauche) et *NMOS* (droite) polarisé en mode d'inversion selon les paramètres de [63]. Le piégeage de charge positive et de charge négative (mécanisme *BTI*) pour les dispositifs *PMOS* et *NMOS* est, respectivement, montré.

Les mêmes méthodes de caractérisation sont utilisées pour étudier *NBTI* et *PBTI*, malgré des différences dans les mécanismes de dégradation physique, en grande partie dues à la structure défectueuse des diélectriques, à l'asymétrie dans la structure de bande de l'empilement *Si/HK/Métal*, et à la polarité inverse de la tension de la grille. Sur la figure 2.7 les structures de bandes schématisent des transistors *p-* et *n-MOSFET* avec empilement *HKMG* pendant le fonctionnement sont comparées et les mécanismes de dégradations dominants sont indiqués.

Au cours du *NBTI*, le piégeage de charge positive et la génération d'état d'interface ont été reportés [45]. Le processus de la dégradation physique de base pour les dispositifs conventionnels *poly-Si/SiON* est très similaire aux empilements *HKMG* invoquant le piégeage de charge positive dans la couche *SiON* et la génération d'état d'interface à l'interface *Si/SiON*

Au cours du *PBTI* dans les dispositifs *HKMG*, il a été observé [64] le piégeage d'une charge négative dans la couche *HK* ou dans la région entre la couche *HK* et la couche interfaciale (*IL*).

La différence dans la position de la charge pour *NBTI* et *PBTI* a mené à des dégradations différentes des caractéristiques électriques du transistor. Les modifications des caractéristiques du dispositif par *BTI* sont résumées dans la figure 2.8 pour *PMOS* et *NMOS*, la charge piégée est séparée du canal d'inversion par la couche d'oxyde interfaciale. Par conséquent, la dispersion de Coulomb est faible et la mobilité des porteurs du canal reste constante, indépendamment de la quantité de charge piégée. En conséquence, la caractéristique du transistor n'est décalée qu'horizontalement sur l'échelle de tension, et le décalage de tension (shift) sur toute la plage de fonctionnement du transistor est déterminé par :

$$\Delta V_{th} = \Delta Q / C_{ox} \quad (2.2)$$

Pour le *NBTI*, la situation est différente puisque des charges positives peuvent être piégées aux états d'interface, dans des défauts proches de l'interface (*near-interface defects* (*border-traps*)) et dans le bulk de l'oxyde. Les charges piégées près de la couche d'inversion conduisent à une forte dispersion supplémentaire de Coulomb et dégradent la mobilité des porteurs de canal. Ce type de dégradation est fréquemment rapporté pour le *NBTI* dans les deux dispositifs *PMOS poly-Si/SiON* [65] et *HKMG* [66]. Du fait de la dégradation de la mobilité, le pic de la transconductance du dispositif dans le régime linéaire

diminue avec l'augmentation du shift de tension. En même temps, la caractéristique sous-seuil se dégrade pendant le stress *NBTI* aussi par rapport à la caractéristique vierge comme indiqué par les flèches sur la figure 2.8.

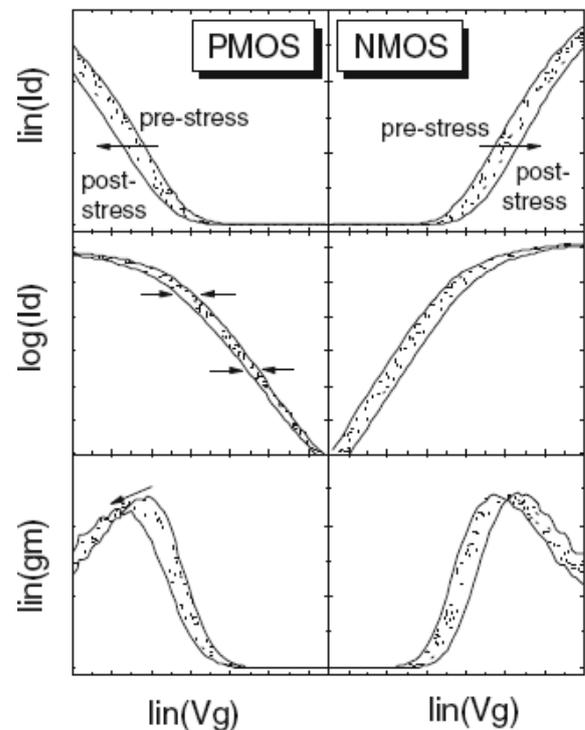
2.6 Modèle Réaction-Diffusion

Dès le début, la dégradation a été reliée à la génération de défauts de type centre P_b . Durant la contrainte *NBTI*, un mécanisme de génération d'états d'interfaces N_{it} prend place entre l'oxyde de grille et le substrat noté N_{it} . L'origine de ces défauts vient de la dépassivation des liaisons *Si-H* [67] donnée par l'équation (2.3)



Ainsi, le premier modèle expliquant la création d'états d'interface lors d'une contrainte *NBTI* est le modèle *Réaction-Diffusion* (*R-D*), proposé par Jeppson et Svensson [5] et formulé analytiquement par Ogawa et Shiono [68]. Par la suite, il a été constaté que l'équation (2.3) (décrivant la réaction seule) n'est pas suffisante pour expliquer les observations expérimentales, d'où l'ajout du mécanisme de diffusion des espèces hydrogénées, libérées après la rupture des liaisons *Si-H* (Figure 2.9) [69].

Figure 2.8 : Caractéristiques du transistor prises avant (*précontrainte*), pendant (*pointillés*) et après (*post-contrainte*) la contrainte *BTI*. Sachant que le stress *BTI* mène à une augmentation de la valeur absolue de la tension seuil pour les dispositifs *PMOS* et *NMOS* (*flèches figures supérieures*). Pour les dispositifs *NMOS*, la caractéristique est typiquement décalée seulement, Pour les dispositifs *PMOS* la dégradation du sous-seuil et le G_m apparue (*voir les flèches*) [70].



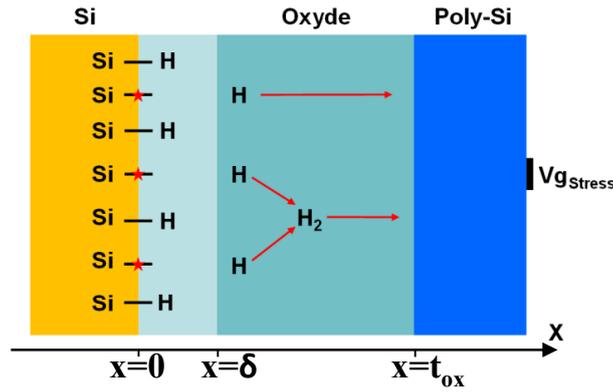


Figure 2.9 : Illustration de la diffusion d'espèce hydrogénée neutre dans la structure. δ correspond à l'épaisseur de l'interface Si/SiO_2 [69].

Les équations utilisées pour décrire le modèle RD [69] sont des équations différentielles couplées et sont données par :

$$\frac{dN_{it}}{dt} = k_f(N_0 - N_{it}) - k_R N_{it} N_H^0 \quad (2.4)$$

La passivation et de-passivation des liaisons $Si-H$ sont présentées par l'équation (2.4), où k_f est le taux de réaction, N_0 est la densité initiale des liaisons $Si-H$ avant stress, N_{it} est la densité d'états d'interface et N_H^0 est la densité d'hydrogène à l'interface $Si/Diélectrique$.

$$\frac{\delta}{2} \frac{dN_H^0}{dt} = D_H \frac{dN_H^0}{dx} + \frac{dN_{it}}{dt} - \delta k_H [N_H^0]^2 + \delta k_{H_2} N_{H_2}^0 \quad (2.5)$$

$$\frac{\delta}{2} \frac{dN_{H_2}^0}{dt} = D_{H_2} \frac{dN_{H_2}^0}{dx} + \frac{dN_{it}}{dt} - \frac{\delta}{2} k_H [N_H^0]^2 - \delta k_{H_2} N_{H_2}^0 \quad (2.6)$$

$$\frac{dN_H}{dt} = D_H \frac{d^2 N_H}{dx^2} - k_H N_H^2 + k_{H_2} N_{H_2} \quad (2.7)$$

$$\frac{dN_{H_2}}{dt} = D_{H_2} \frac{d^2 N_{H_2}}{dx^2} + \frac{1}{2} k_H N_H^2 - \frac{1}{2} k_{H_2} N_{H_2} \quad (2.8)$$

Perpendiculairement à l'interface, la génération de l'atome hydrogène (H) et de la molécule d'hydrogène (H_2) est décrite par les deux équations (2.5) et (2.6), respectivement. La diffusion de ces deux espèces (H et H_2) le long de l'axe x est donnée par les deux équations (2.7) et (2.8), respectivement.

avec :

- N_H : la concentration d'hydrogène
- k_R : le taux de recombinaison des atomes Si et H

- $k_H N_H^2$ et $k_{H_2} N_{H_2}$: Ils décrivent la conversion de $H-H_2$ dans le cadre du $R-D$.
- k_H et k_{H_2} : les taux de génération et de dissociation de H_2 .
- D_H et D_{H_2} : les coefficients de diffusion de H et H_2 respectivement
- N_H et N_{H_2} : les concentrations atomiques des espèces H et H_2
- δ : l'épaisseur interfaciale (IL).

La dégradation $NBTI$ est donc contrôlée par deux phases ; la première est la création d'états d'interface et la deuxième est la diffusion de H . La formulation développée par Alam et Mahapatra [71] est connue sous le nom du modèle $R-D$ étendu, dans lequel l'espèce hydrogénée considérée est le dihydrogène (la molécule) H_2 . Ce modèle permet de décrire la génération d'états d'interface $N_{it}(t)$ avec une loi en puissance t^n . Cinq différents régimes peuvent être considérés et sont représentés sur la figure 2.10 où les cinétiques n sont prédites. Cependant, seul le troisième régime en $t^{0.25}$, contrôlé par la diffusion de H dans l'oxyde de grille, est généralement observé expérimentalement.

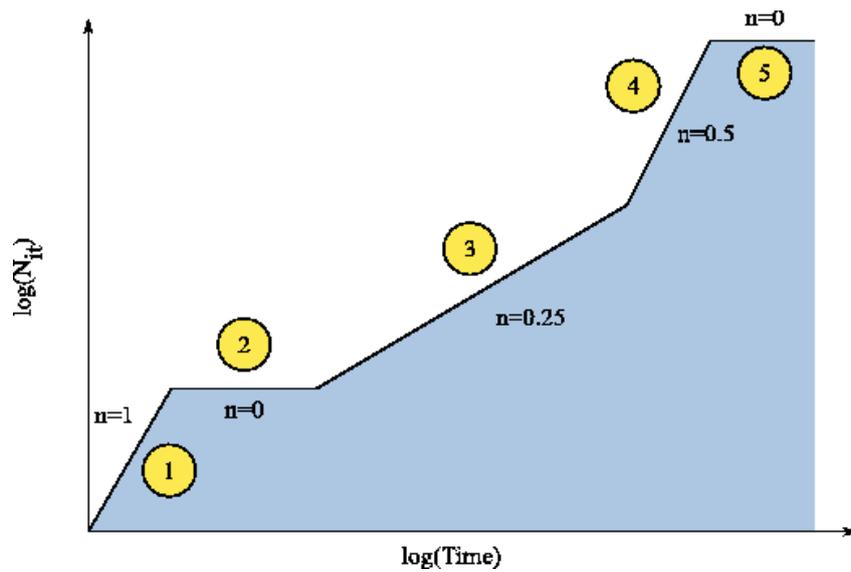


Figure 2.10: Illustration des différentes phases du modèle R-D

Alam a inclus dans son modèle une dépendance en champ électrique et en température [71] pour mieux modéliser la dégradation $NBTI$. La dépendance en champ électrique dans l'oxyde intervient via le coefficient k_F de dissociation des liaisons $Si-H$:

$$k_F = B \sigma_0 p T_{coeff} \tag{2.9}$$

Le coefficient k_F dépend donc de la densité de trous p , de leur capacité à atteindre les liaisons $Si-H$ par effet tunnel $T_{coeff} \propto \exp(E_{ox}/E_0)$ (E_0 étant le champ électrique localisé à

l'interface), de la section de capture σ_0 des liaisons *Si-H* et d'une fonction *B* non déterminée modélisant la dépendance en champ de la dissociation de la liaison.

Pour l'activation en température, Alam et al [71] ont montré qu'elle est contrôlée par le coefficient de diffusion d'hydrogène D_H :

$$E_a(NBTI) \approx \frac{E_a(D_H)}{4} = 0.12 - 0.15 \text{ eV} \quad (2.10)$$

D'autres variantes ont été proposées pour prendre en compte la dépendance en température lors d'une contrainte *NBTI*, elles reposent sur la diffusion dispersive de l'hydrogène [72], [73]. La diffusion n'est pas parfaitement gaussienne, mais dispersive due au système *SiO₂* qui est désordonné, par conséquent le coefficient de diffusion D_H varie dans le temps.

Cependant, le modèle *R-D* prévoit des temps de relaxation longs, limitant son habilité à expliquer les phénomènes de relaxation. En effet, lorsqu'une contrainte *NBTI* est interrompue, la cinétique de la relaxation peut prendre la forme d'une relaxation uniforme suivant une loi $\log(t)$. Le modèle *R-D* explique ce phénomène par une rétrodiffusion d'espèces hydrogénées neutre (H_2) et donc une relaxation indépendante de la tension de relaxation V_{Grecov} , ce qui montre un désaccord avec l'expérience. Il a été le modèle de référence jusqu'aux années 2010 où l'apparition de mesures rapides a montré qu'il ne permet pas d'élucider la dégradation sur l'ensemble de la fenêtre expérimentale. En conséquence, il ne permet pas de prédire les durées de vie des composants avec précision.

2.7 Modèle “Two-Stage”

Certains auteurs [74] intègrent au modèle *R-D* le piégeage rapide des trous et la rétrodiffusion de l'hydrogène. D'autres [75] optent pour le dé-piégeage de trous dans des défauts préexistants. Par contre, Grasser et al. [10] ont proposé un modèle de piégeage dans les défauts générés pendant la contrainte, et plus précisément dans des lacunes d'oxygène de type E' . Ce modèle est nommé modèle à deux étapes (*Two-Stage model*).

Certains travaux considèrent que les centres E' sont les défauts les plus favorables au piégeage de trous et notamment ceux de type E'_γ [76]. A partir d'une lacune d'oxygène neutre (*précurseur*), un centre E'_γ peut-être généré lorsqu'un trou est piégé. Ces centres E'_γ peuvent jouer le rôle de « pièges commutatifs » (*switching traps*). Dans ce type de piège, une fois qu'ils ont réémit un trou (*capture d'un électron*), la liaison entre les atomes de

silicium ne se reforme pas complètement et le piège se retrouve dans un état neutre dans lequel il peut facilement réémettre un électron [77].

Le modèle en deux étapes “*Two-Stage*” est basé, essentiellement, sur un processus de création de défauts en deux étapes [10]. Dans la première étape, les trous sont admis être capturés dans les pièges situés dans la région proche de l’interface Si/SiO₂ (des défauts préexistants, E'_γ) par un mécanisme appelé le processus *Multiphonon-Field-Assisted Tunneling (MPFAT)* processus [78] et émis par le processus *MultiPhonon Emission (MPE)*. Ces deux mécanismes sont des processus thermiquement activés [78]. Dans la deuxième étape, l’augmentation considérable de trous piégés déclenche la création de défauts à l’interface, à savoir les centres P_b qui sont des défauts faiblement recouvrables. L’hydrogène libéré sature une liaison non passivée de la moitié du centre E'_γ , ce qui conduit au verrouillage de l’autre moitié du centre E'_γ à la charge positive.

Ce modèle a été inspiré par le centre E' (*première étape*), décrit par le modèle *Harry Diamond Laboratory (HDL)* [77], [79] et étendu par un mécanisme d’activation des centres P_b (*deuxième étape*), (voir figure 2.11). Dans *la première étape*, le piégeage de trous de centres E' proches de l’interface avec deux états neutres et un état positif est modélisé dans la théorie *NMP* [80] (notez que l’émission d’électrons correspond à la capture d’un trou par le défaut). Dans *la deuxième étape*, la dé-passivation d’un centre P_b n’est possible qu’avec un centre E' positif comme précurseur qui fournit un atome d’hydrogène. Ce processus est modélisé par une activation thermique sur une barrière dépendant du champ électrique [10]. La charge des centres P_b dé-passivés est déterminée à l’aide du mécanisme *Shockley Read Hall (SRH)*.

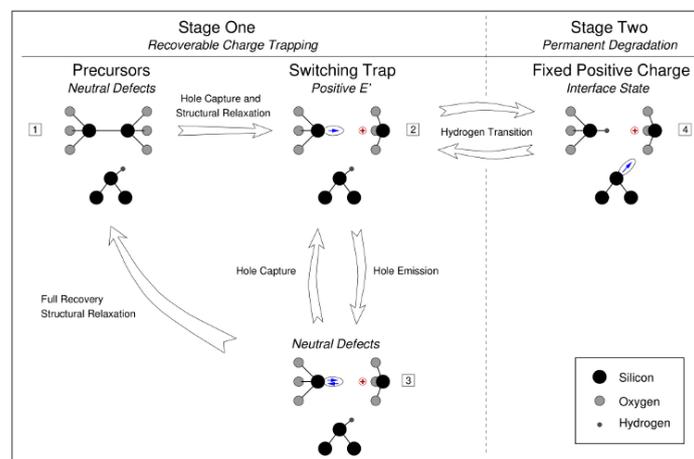


Figure 2.11 : Dans le modèle à deux étapes, un centre P_b est dé-passivé par un atome d’hydrogène fourni par un centre E' dans la région proche de l’interface. Ce centre E' comporte trois états qui sont modélisés avec des transitions *NMP* [10].

Il est considéré comme une première tentative de modélisation à la fois de la composante permanente et la composante recouvrable du *NBTI* en se basant systématiquement sur la relocalisation de l'hydrogène tout en tenant compte des transitions *NMP*. Ses idées ont été affinées par la suite. Premièrement, le modèle *NMP* à 4 états a été présenté en 2010 [81] qui s'est concentré sur les détails de la composante recouvrable en considérant les états métastables. Plus tard en 2015, le rôle de l'hydrogène a été réétudié en détail dans le modèle de libération d'hydrogène côté grille [82].

2.8 Le modèle “*Defect Centric*”

Le modèle « *Defect Centric* » [83] considère que l'origine du *NBTI* réside dans le piégeage et le dé-piégeage des trous selon les premiers travaux de Huard et *al* [7]. Ce groupe a établi que le dé-piégeage de charge était la cause majeure de la partie relaxante du *NBTI* et que les états d'interface sont beaucoup plus difficiles à recuire, et que la récupération dans les dispositifs de petites tailles se déroule par étapes discrètes, probablement en raison d'événements de dé-piégeage à un seul trou.

La version la plus récente *MSM (Multi-State-Model)* [83] a été inspirée par le travail sur les défauts centre E' ($Si\cdot$ in bulk SiO_2) avec des configurations à la fois à l'état neutre et aussi à l'état positif [84]. Ainsi, il y a 4 états correspondant à l'état neutre, chargé et à deux états métastables. Pour mieux comprendre ce modèle, il faut prendre en considération un modèle de chimie physique pour décrire les réactions de transfert de charge [85]. Ce modèle a été introduit pour expliquer les différentes observations sur la dépendance à la tension de polarisation des temps de capture et d'émission dans les expériences *DC TDDS et RTN*, et permet aussi d'expliquer certains effets en fréquence sur la dégradation *NBTI* [86]. Pendant le stress, la transition entre les états neutres (1) et métastables (2') se fait par un processus multi-phonon, puis vers un état chargé stable (2) via un processus thermo-ionique. Pendant la relaxation, le système revient de l'état (2), à l'état (2') puis à l'état (1) pour une polarisation plus élevée, et de l'état (2) à l'état (1) via un autre état métastable (1') pour une polarisation plus faible. Pour ce dernier cas, la transition de l'état (2) à l'état (1') se produit via un processus multi-photon et ensuite vers l'état (1) via un processus thermo-ionique. Le modèle complet « *four-state* » nécessite la détermination de onze (11) paramètres physiques pour décrire un défaut, neuf (9) d'entre eux peuvent être obtenus à partir de calculs *DFT* [87].

Dans la plupart des cas pratiques, par exemple pour une mesure de ΔV_{th} à une tension fixe et pour modéliser certains nombres de stress *AC* et *DC* un simple modèle à deux états est suffisant, ce modèle est une version simplifiée du modèle *MSM* [88]–[90]. Dans le modèle *MSM* à quatre états comme dans le modèle à deux états, les taux de réaction du premier ordre découlent des surfaces d'énergie potentielle théoriques. Cependant, la physique est illustrée par les temps de capture et d'émission largement distribués de chaque défaut, dans des cartes empiriques de temps de capture-émission (*CET map*) [91], qui sont appropriées pour un défaut à deux états (chargé vs non chargé), états métastables décrits par un processus de premier ordre. Brièvement, les taux sont empiriquement donnés par une distribution normale bivariée des énergies d'activation [91]. Cette approche permet une construction simple des cartes *CET* qui peuvent être comparées directement aux résultats expérimentaux, obtenus à partir de la seconde dérivée des courbes de relaxation. Pour un modèle de réaction (processus de premier ordre), la carte *CET* correspond directement à la densité de défauts. Pour d'autres modèles comme le *RD*, la carte *CET* correspondante peut ne pas avoir une interprétation physique simple, mais ce serait quand même une description mathématique complète de la dépendance temporelle de la tension de seuil V_{th} pour des conditions de tension et de température données. Si la distribution d'énergie est uniforme, alors le modèle carte *CET* produit une dépendance en $\log(t)$ pour la relaxation. Les distributions Gaussiennes et dérivée de Fermi donnent expérimentalement des dépendances en t^n . [92]. La figure 2.12 donne les mécanismes physiques qui entrent en jeu.

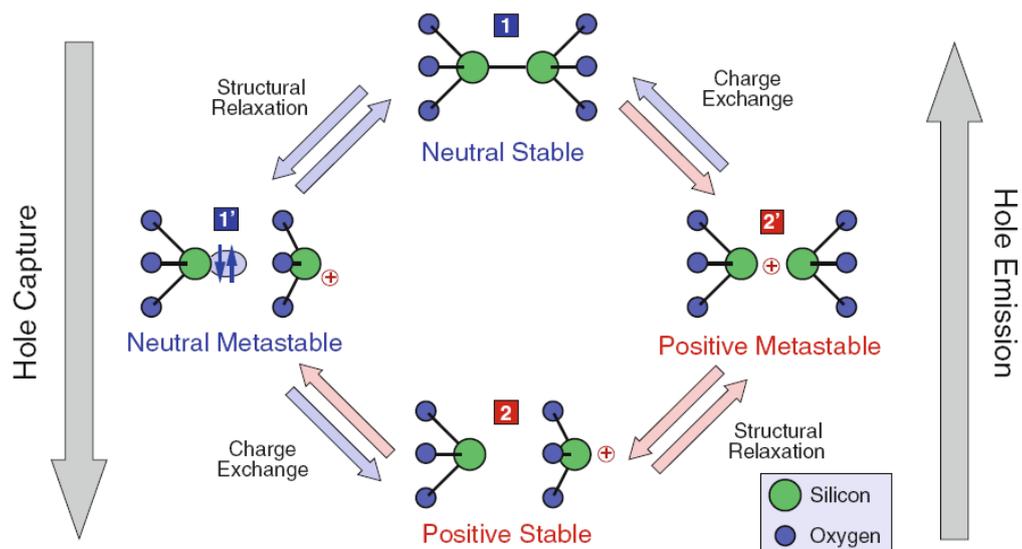


Figure 2.12 : Diagramme d'état du modèle « *multi-state* » pour la capture et l'émission de trous. Le défaut est présent dans un état de charge neutre stable (1) et un état chargé stable (2), où chacun d'eux a un deuxième état métastable (1',2') [92].

2.9 Le modèle récent de réaction diffusion

Les mécanismes physiques de base qui sous-tendent le modèles *RD* ont été déroutants car ils ont été affinés eu cours du temps. Nous donnons donc dans cette partie une brève description de la version la plus récente de ce modèle [93]. Le modèle *RD* [93] suppose que les trous de la couche d'inversion et le champ électrique d'oxyde assistent à la rupture des défauts passivés H à l'interface Si/SiO_2 pendant le stress, libérant un H des liaisons $Si-H$ pour former des pièges, supposées être des liaisons pendantes de silicium ($Si\cdot$), à l'interface Si/SiO_2 . C'est la réaction directe, telle que décrite par l'équation (2.3) l'hydrogène libéré s'accumule à l'interface Si/SiO_2 au point qu'il se refixe sur les liaisons pendantes de Si . Ainsi un équilibre se forme entre la génération et la passivation de pièges. Puis cet équilibre commence à être légèrement perturbé par la diffusion des espèces d'hydrogènes loin de la couche d'interface, conduisant à une augmentation progressive des liaisons pendantes de Si , qui suit une loi en puissance. Il s'agit du régime à diffusion limitée, qui domine la dégradation, selon le modèle *RD*, pendant des temps au-delà d'une seconde. De plus, l'espèce qui diffuse est supposée être H_2 qui se forme par dimérisation, assistée par défaut H -passivé à l'interface $SiO_2/poly-Si$, dans le diélectrique SiO_2 , ou à l'interface $SiO_2/high-\kappa$ dans le diélectrique $high-\kappa$ pour la technologie *HMG*. Par simplicité, tous les défauts sont regroupés dans une « *interface efficace* » dans le diélectrique, appelée modèle à deux interfaces [94].

Le processus inverse (relaxation) est alors $H_2 + Si\cdot \rightarrow SiH + H$ à l'interface interne, suivi par $H + Si\cdot \rightarrow SiH$ à la première interface. Pendant la relaxation, la diffusion du H_2 ralenti dans le temps, car le H_2 doit sauter et trouver des liaisons pendantes, ce qui devient plus difficile avec le temps de relaxation pendant que la densité de liaison non passivée diminue [93]–[95]. En plus de la passivation des états d'interface, le transitoire de relaxation de V_{th} comprend une composante due au changement d'occupation de l'état de l'interface (appelé *Transient Trap Occupancy Model (TTOM)*) qui suit une loi empirique de la forme exponentielle étiré [93].

Le modèle *RD* est utilisé juste pour décrire la génération et la passivation des états d'interface (N_{it}). Il doit être complété par un modèle empirique de type exponentielle étirée pour tenir compte du piégeage dans les pièges préexistants du diélectrique (N_{HT}), ce qui permet de décrire les effets ultra rapides de la contrainte *NBTI*. Le modèle intègre aussi la génération de défauts dans l'isolant de la grille N_{OT} (causée par des tensions de stress et/ou des températures de stress élevées). Ces trois composantes (N_{it} , N_{OT} et N_{HT}) sont supposées

être non corrélées. Un maximum de 13 paramètres dépendant du procédé technologique doit varier pour expliquer les données du stress et de relaxation extraites de différentes technologies. Les autres paramètres du modèle sont fixés, et n'ont pas besoin d'être ajustés pour la variation du procédé dans un type de technologie. Ces paramètres comprennent quatre paramètres pour le processus de dissociation qui permettent la création de l'état d'interface (pré-facteur, énergie d'activation et deux facteurs pour modéliser la dépendance au champ et la polarisation de la liaison) ; un paramètre ajustable pour le terme d'occupation d'état d'interface donnant la fraction d'état d'interface générés dont l'occupation change pendant la phase de relaxation, plus la constante de temps et le paramètre étiré de l'exponentielle. Trois paramètres seront nécessaires pour la composante N_{HT} ; et un pré-facteur pour la composante N_{OT} . De plus, deux constantes pour le nombre de liaisons (passivées) disponibles aux deux interfaces (Si/SiO_2 et $SiO_2/grille$) varieront en fonction de l'orientation de la surface et du procédé d'oxydation.

2.10 Critiques du modèle « *Defect Centric* » et du modèle récent de *RD*

Bien que les deux modèles (« *Defect Centric* » et *RD*) aient eu un bon succès pour expliquer les observations expérimentales, aucun des deux modèles n'a atteint la condition sine qua non de la théorie en prédisant uniquement un effet avant son observation, ni de parvenir à un consensus sur le fait que l'autre modèle est incompatible avec l'expérience (malgré plusieurs essais publiés [83], [96], [97]). Les critiques de ces deux modèles peuvent être résumées en deux points majeurs:

- (1) Alors que le modèle *RD* peut maintenant très bien décrire une grande variété de données observées sur un large ensemble d'expérimentations, la validité de l'interprétation physique sous-jacente est remise en question [83] car les paramètres du modèle sont en conflit avec la littérature établie sur H dans les systèmes Si/SiO_2 ;
- (2) Le modèle *Defect Centric* a une base solide en physique, soutenue par la mesure microscopique des défauts discrets, mais jusqu'à récemment [82], [98], [99] il a accordé peu d'attention à la génération des états d'interface et sa capacité de décrire de manière exhaustive les données du stress *NBTI*, sur un large ensemble de conditions, de procédés et stress, est remise en question [96].

2.11 Conclusion

Ce chapitre est une introduction à la fiabilité des transistors ainsi qu'au phénomène de la dégradation *BTI*. Nous avons présenté les divers types de charges et défauts qui peuvent être générés par le stress *BTI* lors du fonctionnement du transistor.

Nous avons aussi donné un aperçu sur l'état de l'art concernant la modélisation de la contrainte *BTI*. Nous avons également présenté les anciens modèles qui ont permis de modéliser le *BTI* jusqu'à l'apparition des techniques de mesures rapides, ensuite nous avons introduit des modèles récents notamment les deux modèles concourants les plus avancés. Enfin, l'accent a été, en particulier, mis sur les critiques de ces deux modèles.

Chapitre 3 Méthodes de Caractérisation du Phénomène *BTI*

Introduction

L'aspect crucial du phénomène *BTI* est son recouvrement partiel après suppression des conditions de stress. En raison de la relaxation significative déjà observée après quelques microsecondes [100], les approches de mesure simples qui consistaient en des interruptions périodiques de stress pour surveiller la caractéristique $I-V$ complète des *DUT* ne sont plus appropriées pour les études *BTI*. Deux principales catégories de techniques avancées ont été proposées dans la littérature pour faire face à la relaxation *BTI*. La première famille comprend les techniques dites *Mesure-Stress-Mesure (MSM)* qui focalise sur la capture du comportement de la dégradation à la fois durant le stress *BTI* et la relaxation *BTI*. La deuxième famille comprend les techniques dites à la volée (*OTF*) qui visent, à l'inverse, à surveiller la dégradation complète induite par le *NBTI* sans aucune interruption (aucune relaxation).

Dans ce chapitre, un aperçu sur ces deux catégories de techniques de mesure ainsi que sur la caractérisation de la dégradation *BTI* est donné. En plus, nous décrirons la technique de pompage de charge « *charge pumping* », les deux méthodes *OTFIT* et *OTFOT* implémentées par l'équipe *FCS* [101] et la mesure rapide implémentée aussi par la même équipe « *fast I-Vg measurement* » (basée sur un convertisseur courant tension (*OPA*)).

Les détails des techniques choisies et mises en œuvre dans ce travail, seront discutés dans ce chapitre ainsi que les méthodologies utilisées pour évaluer la fiabilité du dispositif à partir des données de mesures brutes. Nous présenterons aussi quelques détails sur les dispositifs utilisés dans ce travail en incluant les transistors *FinFETs*.

3.1 Technique de Pompage de charges

La technique de pompage de charges (« *charge pumping* » en anglais) a été introduite par Brugler et Jaspers [102] suite à l'observation d'un courant de substrat quand on fait basculer périodiquement le transistor *MOS* du régime d'inversion au régime d'accumulation. Ces deux régimes sont illustrés par les diagrammes de bandes (figure 3.1), où le remplissage des pièges est indiqué par un rectangle (plein lorsque le piège est occupé par un électron, vide dans le cas contraire). Pendant le régime d'inversion, les porteurs minoritaires de la source et du drain remplissent les pièges d'énergie en dessous du niveau de Fermi ($E_T < E_F$). Par contre, pendant le régime d'accumulation, ce sont les porteurs majoritaires du substrat qui seront capturés par les pièges d'énergie au-dessus du niveau de

Fermi ($E_T > E_F$). Aussi, à chaque période un porteur minoritaire est capturé par un état d'interface puis se recombine avec un porteur majoritaire du substrat capturé à son tour, donnant lieu au courant « pompé » proportionnel à la densité d'état d'interface N_{it} .

Lorsqu'on applique des impulsions (*pulses*) de tension sur la grille du transistor, ce phénomène conduit à différentes méthodes de caractérisation de la densité des états d'interface. La forme du pulse peut varier [103], la méthode la plus classique utilise un signal trapézoïdal caractérisé par :

- Un niveau haut V_H et un niveau bas V_L choisis de telle sorte que l'amplitude du signal ΔV_G permette de basculer le transistor de l'accumulation à l'inversion et vice versa. Soit $\Delta V_G = V_H - V_L > V_{th} - V_{fb}$
- Des temps de montée (*rise*), t_r et temps de descente (*fall*), t_f .
- Une fréquence f du signal.

Le protocole expérimental est présenté dans la figure 3.2 pour un transistor sur silicium massif :

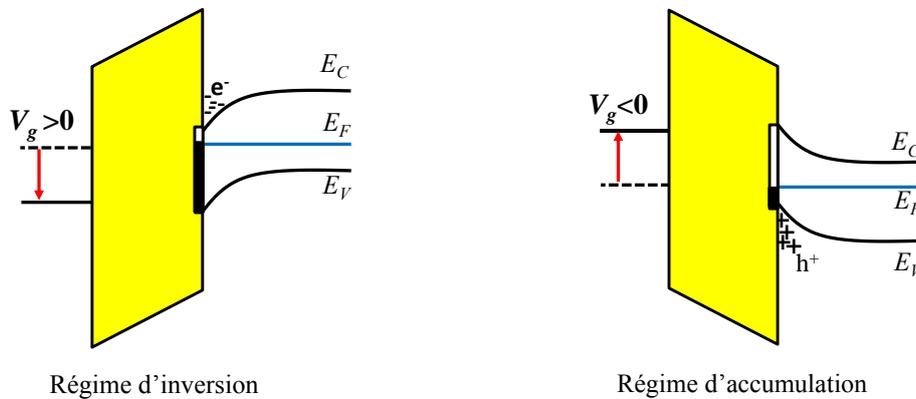


Figure 3.1 : Remplissage des états d'interface en inversion et en accumulation.

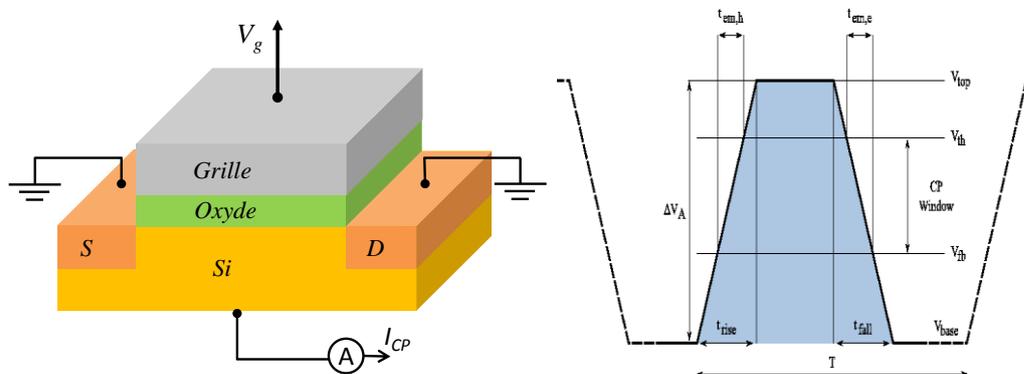


Figure 3.2 : Principe de la méthode de pompage de charges

3.1.1 Expression du courant pompé, I_{CP}

L'expression du courant I_{CP} tenant en compte les émissions de porteurs a été apportée par Groesneken et *al.* en 1984 [104], soit :

$$I_{CP} = qA_G f \int_{E_{em,h}}^{E_{em,e}} D_{it}(E) dE \quad (3.1)$$

$$\approx qA_G f (E_{em,e} - E_{em,h}) D_{it} \quad (3.2)$$

où $E_{em,e} - E_{em,h}$ est la fenêtre d'énergie dans laquelle il y a recombinaison dans les états d'interface et D_{it} est la densité moyenne des pièges (considérée uniforme dans le canal et indépendante de l'énergie). A_G est la surface du transistor.

$E_{em,e}$ et $E_{em,h}$ sont plus précisément les énergies au-delà desquelles les trous et les électrons ne sont plus émis, respectivement. En effet, un piège peut être plein soit par la capture d'un électron de la bande de conduction soit par l'émission d'un trou vers la bande de valence. Pour que la recombinaison se produise, le piège doit être rempli en capturant un électron de la bande de conduction du silicium puis il se vide en capturant un trou de la bande de valence (figure 3.1). Autrement, pour $E_F > E_{em,e}$, le piège aura tendance à réémettre l'électron piégé vers la bande de conduction et pour $E_F < E_{em,h}$ le piège aura tendance à être rempli par émission d'un trou plutôt que par capture d'un électron.

Les formules $E_{em,e}$ et $E_{em,h}$ sont données par [105]:

$$E_{em,e} = E_i - kT \ln \left(t_f \frac{|V_T - V_{FB}|}{V_H - V_L} n_i v_{th} \sigma_n \right) \quad (3.3)$$

$$E_{em,h} = E_i + kT \ln \left(t_r \frac{|V_T - V_{FB}|}{V_H - V_L} n_i v_{th} \sigma_p \right) \quad (3.4)$$

avec n_i est la densité intrinsèque des porteurs, v_{th} est la vitesse thermique, σ_n et σ_p sont respectivement les sections de capture de trous et d'électrons des états d'interface.

D'après Elliot [106], l'amplitude de l'impulsion appliqué à la grille est maintenue constante tandis que la base de l'impulsion de la grille varie de l'accumulation à l'inversion. Heremans et *al.* [107] ont expliqué plus clairement la courbe du courant de pompage de charge-tension (courbe Elliot) en variant le niveau de base de l'impulsion. La figure 3.3 présente la caractéristique du courant de pompage de charge en fonction du niveau bas de l'impulsion ($I_{CP}(V_L)$) d'un transistor *MOSFET* à canal *n*. Les niveaux relatifs de l'impulsion aux tensions de seuil et de bandes plates sont présentés dans 5 zones (régimes) de fonctionnement, qui correspondent à chaque région du courant pompé.

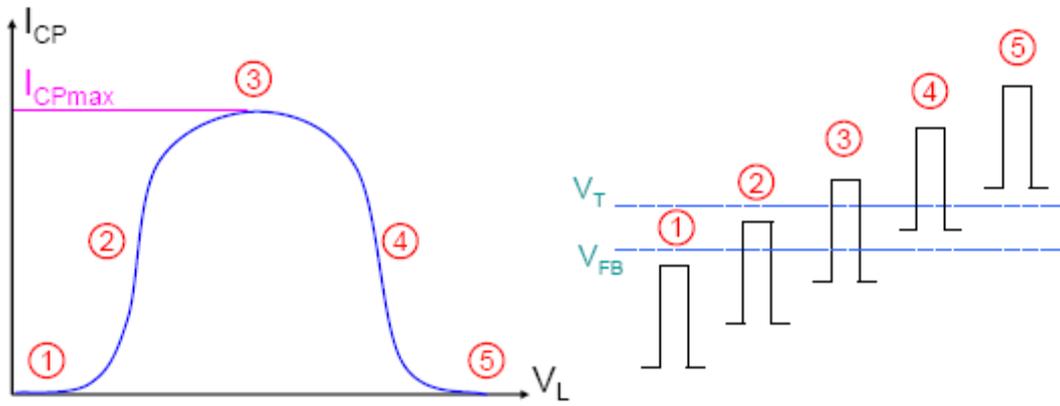


Figure 3.3 : Caractéristique du courant de pompage de charge en fonction du niveau bas de l'impulsion de la grille (V_L) dans un transistor *MOSFET* à canal *n*.

- (1) La surface du semi-conducteur reste accumulée et le vidage/remplissage des pièges ne met en jeu que des trous \Rightarrow pas de recombinaison possible
- (2) Zone intermédiaire où la recombinaison est limitée à cause de l'émission de trous
- (3) Durant un cycle, la surface du semi-conducteur passe de l'accumulation à l'inversion \Rightarrow courant de recombinaison maximal I_{CPmax} pour les pièges situés entre $E_{em,e}$ et $E_{em,h}$
- (4) Zone intermédiaire où la recombinaison est limitée à cause de l'émission d'électrons
- (5) La surface du semi-conducteur reste inversée et le vidage /remplissage des pièges ne met en jeu que des électrons \Rightarrow pas de recombinaison possible

Enfin, les équations (3.3) et (3.4) montrent que $E_{em,h}$ et $E_{em,e}$ dépendent des temps de montée t_r et de descente t_f du signal. Il est donc possible de changer la fenêtre de recombinaison des états d'interface en jouant sur ces paramètres. Plus précisément, en dérivant l'équation (3.1) et en considérant que les sections de capture sont indépendantes du niveau d'énergie de l'état d'interface, on obtient [104]:

$$D_{it}(E_{em,e}) = \frac{t_f}{qAfKT} \frac{dI_{CP}}{dt_f} \quad (3.5)$$

$$D_{it}(E_{em,h}) = \frac{t_f}{qAfKT} \frac{dI_{CP}}{dt_r} \quad (3.6)$$

3.1.2 Pompage de charge : l'approche de la composante géométrique

Le courant de la composante géométrique (I_{Geo}) est déterminé par la quantité des porteurs restants de la couche d'inversion transférée au bulk du *MOSFET* après la mise hors tension. Étant donné qu'il considère que la densité des porteurs de la couche

d'inversion p_s (cm^{-2}) restante est inférieure à celle des porteurs majoritaires du bulk, il est raisonnable de supposer que tous les porteurs restants se recombinent avec les porteurs majoritaires entrants. Ainsi I_{Geo} peut être exprimé par :

$$I_{Geo} = qfWLp_s \quad (3.7)$$

où q est la charge électronique, f est la fréquence du signal de la grille, L et W sont la longueur et la largeur de la grille, respectivement.

Nous supposons des transistors *PMOS*. Étant donné que, dans la configuration *CP*, la source-substrat et le drain-substrat sont polarisés à la même tension, les porteurs ne se déplacent que du milieu du canal vers la source/drain. Le comportement des porteurs (trous) dans la couche inversée est décrit par les équations de continuité :

$$\frac{\partial p_s(x,t)}{\partial t} + \frac{\partial p}{\partial t} \Big|_{N_{it}} + \frac{\partial p}{\partial t} \Big|_{N_{ot}} = \frac{1}{q} \nabla J_p \quad (3.8)$$

où $p_s(x,t)$ est la concentration de trous par unité de surface dans la couche d'inversion, x est la direction de propagation des charges le long de l'interface. Le deuxième et le troisième terme du côté gauche de (3.8) représentent la contribution des porteurs émis par l'interface (pendant le temps de transition de grille (t_f)) et les pièges de l'oxyde (pendant l'accumulation), respectivement. Le deuxième terme peut être négligé pendant un temps de transition faible, ($t_f=t_r=10$ ns), Le troisième terme peut être négligé à haute fréquence. J_p est la densité de courant de trou et peut s'écrire :

$$J_p = qp_s(x,t)\mu_p E_L + q\beta\mu_p \frac{\partial p_p(x,t)}{\partial x} \quad (3.9)$$

E_L est le champ électrique latéral, μ_p est la mobilité des trous, β est la tension thermique.

En substituant (3.9) dans (3.8) et en supposant que la mobilité est uniforme dans le canal du transistor, on peut réécrire (3.8) sous la forme :

$$\frac{\partial p_x(x,t)}{\partial t} = \frac{\partial p_x(x,t)}{\partial x} \mu_p E_L + p_x(x,t) \mu_p \frac{\partial E_L}{\partial x} + \beta \mu_p \frac{\partial^2 p_x(x,t)}{\partial x^2} \quad (3.10)$$

Pour le temps de transition du signal de grille supérieur au temps de frontière donné par la limite entre l'évacuation par le champ auto-induit et le champ électrique dû à la jonction source/drain-substrat (ce cas est le plus rencontré dans les expériences *CP*), les porteurs restants après la mise hors tension du *MOSFET* peut être exprimée comme :

$$p_s(x,t) = g(x) \exp\left(-\frac{t}{\tau}\right) \quad (3.11)$$

où τ est donné par: $\tau = -\frac{1}{\mu_p \frac{dE_L}{dx}}$

$g(x)$ (cm^{-2}) est la concentration initiale des porteurs au début de l'évacuation ($t=0$) en l'absence du champ auto-induit et elle est indépendant du temps, τ est la constante de décroissance exponentielle associée aux deux champ électrique et diffusion thermique. A partir de (3.10) et (3.11), on peut écrire l'équation suivante :

$$\mu_p E_L \frac{\partial g(x)}{\partial x} + \left(\mu_p \frac{\partial E_L}{\partial x} + \frac{1}{\tau} \right) g(x) + \beta \mu_p \frac{\partial^2 g(x)}{\partial x^2} = 0 \quad (3.12)$$

L'équation caractéristique de l'équation différentielle (3.12) s'écrit :

$$\left(\mu_p \frac{\partial E_L}{\partial x} + \frac{1}{\tau} \right) + (\mu_p E_L)R + \beta \mu_p R^2 = 0 \quad (3.13)$$

et le déterminant de (3.13) peut s'écrire :

$$\Delta = (\mu_p E_L)^2 - 4\beta \mu_p \left(\mu_p \frac{\partial E_L}{\partial x} + \frac{1}{\tau} \right) \quad (3.14)$$

La longueur du canal, L_C pour que $\Delta=0$, est donné par (utilisé $E_L=2V_r/L$):

$$L_C = \sqrt{\frac{\tau \mu_p V_r (V_r + 4\beta)}{\beta}} \quad (3.15)$$

Le courant CP avec le composant géométrique en fonction de la longueur de la grille (L) peut être exprimé par [108]:

$$I_{CP} = -\alpha + \alpha \exp\left(\frac{L}{\lambda}\right) \quad (3.16)$$

Où α et λ sont donnés par [109], [110]:

$$\alpha = qfW\lambda \left(\frac{(C_{ox}(V_H - V_{th})) \exp\left(-\frac{t}{\tau}\right)}{q} \right) \quad (3.17)$$

$$\lambda = \frac{2\beta \mu_p}{V_E} \quad (3.18)$$

où C_{ox} est la capacité de grille par unité de surface, μ_p est la mobilité des trous, V_E est la vitesse d'évacuation des trous, β est la tension thermique, V_L est la limite du signal de grille, V_{TH} est la tension de seuil. τ est la constante de décomposition exponentielle associée à l'influence du champ électrique et de la diffusion thermique. W est la largeur de la grille, q est la charge d'électrons et f est la fréquence du signal de la grille.

L'expression de pièges d'interface N_{it} peut être écrit par :

$$N_{it} = \frac{(C_{ox}(V_H - V_{th})) \exp\left(-\frac{t}{\tau}\right)}{q} \quad (3.19)$$

3.2 Techniques de mesure à la volée « *On The Fly* »

La technique « *On the Fly* » ou « à la volée » a été développée par Denais et *al.* [14] dans le but de capturer la dégradation sans relaxation. Cette technique est basée sur l'application de deux impulsions (*pulses*) de faibles amplitudes $\pm V_{Gpulse}$, typiquement 50mV, autour de la valeur de la tension de contrainte (*stress*) $V_{Gstress}$ afin de mesurer le pic de la transconductance g_m . On peut mesurer un courant linéaire I_{Dlin} en trois points : I_D à $V_{Gstress}$ puis I'_D et I''_D à $V_{Gstress} \pm V_{Gpulse}$ et une faible tension au drain est maintenue. Le principe de cette technique est présenté dans la figure 3.4

Il est faisable de donner une approximation de la transconductance à $V_{Gstress}$, à partir de ces trois courants en tout point i de l'échantillonnage, soit :

$$g_{m_i} = \frac{\partial I_D}{\partial V_G} \approx \frac{I'_{D_i} - I''_{D_i}}{2V_{Gpulse}} \quad (3.20)$$

Dans le régime linéaire, l'approximation de la transconductance g_m suivante est effectuée :

$$g_m(t) = \left. \frac{\partial I_{Dlin}}{\partial V_G} \right|_{V_{th}} \approx \left. \frac{\partial I_{Dlin}}{\partial V_{th}} \right|_{V_{Gstress}} \quad (3.21)$$

Donc on peut exprimer la variation de la tension de seuil dV_{th} sous la forme :

$$dV_T(t) = -\frac{dI_{Dlin}(t, V_{Gstress})}{g_m(t)} \quad (3.22)$$

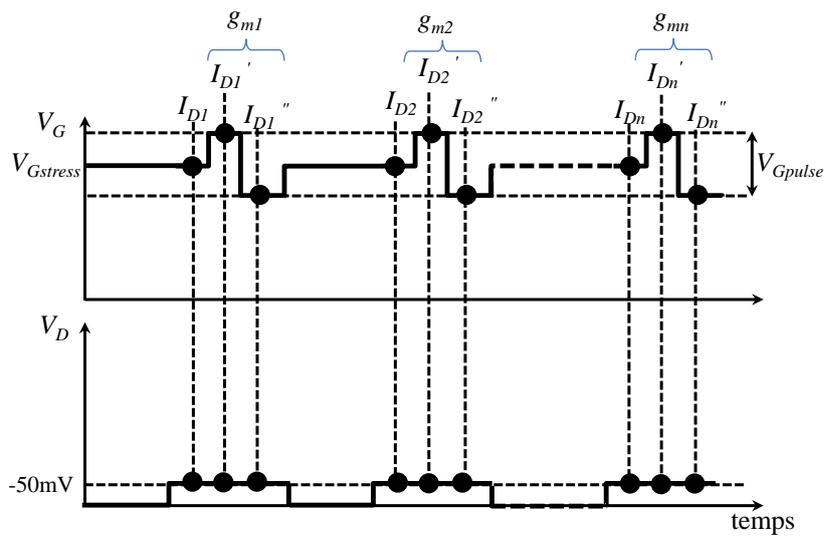


Figure 3.4 : Principe de la mesure « *On The Fly* » [14].

Enfin, en intégrant l'équation (3.22), on obtient ainsi $\Delta V_T^n(t)$ à chaque mesure n ($n > 2$) :

$$\Delta V_T^n(t) = - \int_{I_D(t=0)}^{I_D(t)} \frac{dI_{Dlin}(t)}{g_{m_i}(t)} = - \sum_{i=1}^n 2 \frac{I_{D_i} - I_{D_{i-1}}}{g_{m_i} - g_{m_{i-1}}} \quad (3.23)$$

Cette méthode est largement utilisée ainsi que les différentes variantes qui en découlent [11], [111]. Mais, elle reste limitée particulièrement du fait que l'on vient estimer ΔV_{th} à $V_{Gstress}$. Ainsi, les études de relaxation avec cette technique ne sont possibles que quelques millisecondes après la phase de stress.

3.3 Technique de mesure à la volée dit e *On-The-Fly interface trap* *OTFIT*

La technique du pompage de charges est la technique communément utilisée pour quantifier la densité des états d'interface des dispositifs *MOSFETs*. L'évaluation de N_{it} est basée sur une mesure du courant de pompage de charge I_{CP} . Tout comme les techniques classiques, la technique *CP* est inapte de capturer la totalité de la dégradation. La technique conventionnelle nommée *CCP*, illustrée sur la figure 3.5, permet de capturer un peu plus de dégradation induite par la contrainte *NBTI* mais une partie de la dégradation s'échappe.

A cet effet, Liu et *al.* [112] ont développé une méthode permettant de mesurer la densité d'états d'interface sans l'effet de la relaxation entre le stress et la mesure. Le principe des deux techniques *CCP* et *OFIT*, consiste à appliquer sur la grille du transistor une tension V_S durant la phase de stress, et à appliquer pendant la mesure du courant I_{CP} , un train d'impulsion de *CP*. La différence fondamentale entre les deux techniques *CCP* et *OFIT* réside dans le niveau bas du signal (V_L) au cours de la mesure. Il est maintenu au même niveau que la tension de stress ($V_L = V_S$) pour la méthode *OFIT* (voir la figure 3.6), tandis que pour la technique *CCP* le V_L est fixé à peine supérieur à la tension V_{TH} .

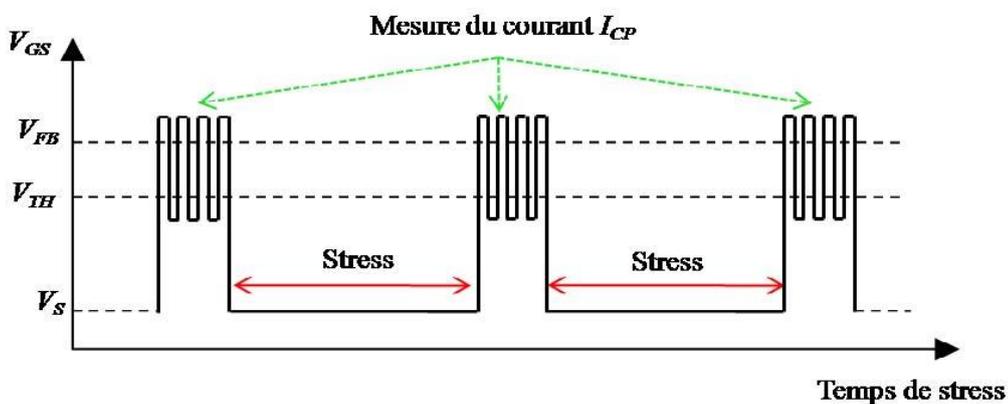
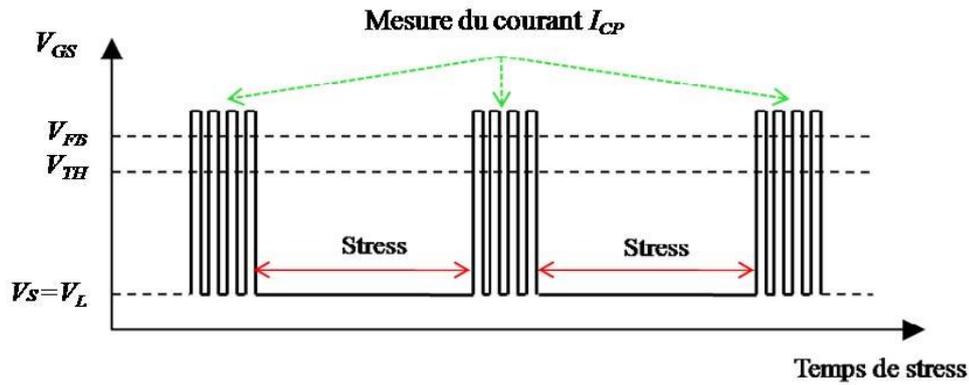
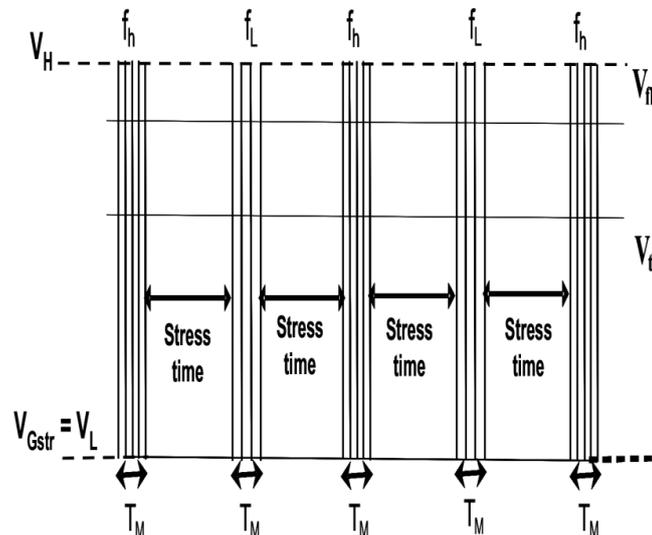


Figure 3.5 : Protocole de mesure de la densité N_{it} par la technique *CCP*

Figure 3.6 Protocole de mesure de la densité N_{it} par la technique *OFIT*.

3.4 Technique de mesure à la volée dit e *On-The-Fly oxide trap OTFOT*

Cette méthode, proposée par Djeddar et *al.* [101], est basée sur la technique de pompage de charge. Elle permet d'extraire la densité des états d'interface et la densité des pièges d'oxyde près de l'interface (*border traps*). La figure 3.7 montre le protocole de stress/mesure/stress (*SMS*) de la méthode *OTFOT*. Pendant l'intervalle de contrainte, la tension du stress ($V_{Gstress}$) est appliquée, via une tension continue, sur la grille du dispositif. Après chaque temps de stress, un train d'impulsions de grille est appliqué, sans modifier le montage expérimental. Dans ce cas, deux signaux trapézoïdaux de grille d'amplitude $V_g = V_h - V_{Gstress}$, où $V_l = V_{Gstress}$, rapport cyclique 50%, mêmes temps de montée et de descente, et deux fréquences différentes (haute, f_h et basse, f_l) sont alternativement appliquées sur la grille pour mesurer les courants *CP* maximums, $I_{CP,h}$ et $I_{CP,l}$.

Figure 3.7 : Protocole de la méthode Stress/Mesure/Stress of *OTFOT* [101].

Ces courants résultent de la recombinaison d'électrons et de trous au niveau du piège d'interface (pour les hautes fréquences) et à la fois au niveau des pièges d'interface et à la frontière (*near-interface*) (pour les basses fréquences). La valeur de basse fréquence doit être choisie assez basse que pour le signal CP se distinguer du courant de fuite. Dans ce cas, la moyenne courant de fuite dc de la grille des transistors étudiés est comprise entre 1 et 5 pA, il dépend des tensions de stress de grille -2 à -10 V, respectivement. Avant de calculer Q_{CP} , de courant de fuite dc est soustrait d'abord du courant I_{CP} tel que mesuré. Evidemment, le courant de fuite limite la profondeur balayée dans la couche d'oxyde quand il est du même ordre de grandeur de I_{CP} tel que mesuré, mais ceci ne constitue pas un problème, car la dégradation $NBTI$ est en moyenne située dans de la région interfaciale.

Classiquement, le courant CP doit être indépendant de l'amplitude du signal, V_g lorsque le transistor est en forte inversion [113]. Cependant, il a été démontré que lors de l'augmentation de V_g même lors de la fixation de V_H et de la variation de V_L (V_L est utilisée pour la tension $NBTI$ stress, en méthode $OTFOT$), le courant CP augmente. Cela est attribué aux pièges d'interface et d'oxyde induit par les stress [104]. En fait, cet effet doit être pris en compte pour la comparaison entre les phases de recouvrement et de stress. Mais cela ne pose pas de problème si la comparaison est effectuée dans la même phase, c'est-à-dire dans la phase de stress ou la phase de relaxation indépendamment. Cependant, dans la méthode $OTFOT$, la première valeur de la phase de stress est prise comme valeur de référence pour évaluer la dégradation $NBTI$ en phase de stress, c'est-à-dire que la dégradation incrémentée du courant CP est comparée à la première valeur qui est prise avant de commencer le stress dans le temps.

La figure 3.8 illustre les densités ΔN_{it} et ΔN_{bt} en fonction de la tension et de la température en échelle log-log. L'axe de droite présente les dégradations de tension induits par les pièges d'interface et à la frontière. Les évolutions de ΔN_{it} et ΔN_{bt} en fonction du temps de stress montrent une dépendance temporelle évidente en loi de puissance t^n pour les deux types pièges avec un exposant n de 0,16–0,17 et 0,03–0,08, respectivement. Ces résultats sont en accord avec ceux précédemment publiés par différents groupes [112]–[115]. Le premier exposant est souvent attribué au mécanisme de diffusion H_2 dans le cadre du modèle RD [74], tandis que dans le CP conventionnel, n est d'environ 0,3 [74]. Par conséquent, $n = 0,16$ démontre une réduction du recouvrement pendant le stress dû à la précision de la méthode $OTFOT$ [101].

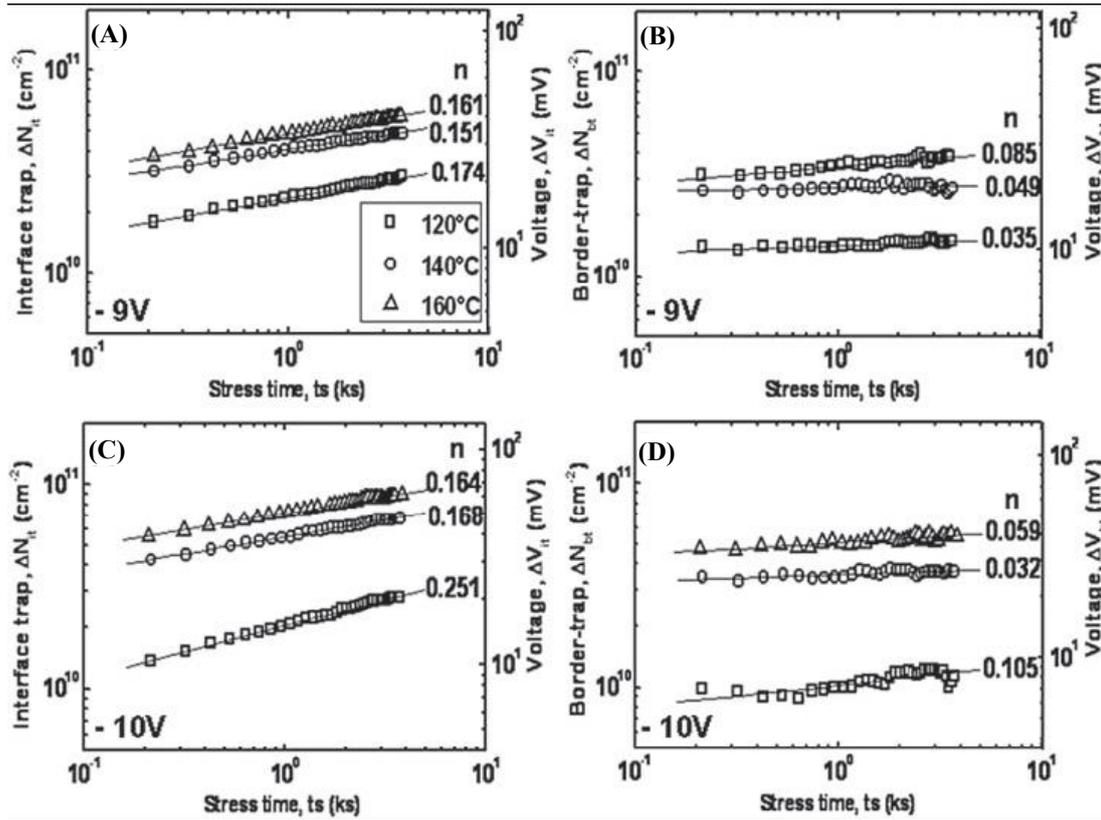


Figure 3.8 : Pièges d'interface et à la frontière induits par le stress *NBTI* (ΔN_{it} et ΔN_{bt}) (sur l'axe gauche) ainsi que leur contribution au décalage de tensions ΔV_{it} et ΔV_{bt} (sur l'axe droit). (A, C) piège d'interface induit par *NBTI* à -9 et -10 V, respectivement. (B, D) *Border-trap* induit par le stress *NBTI* à -9 et -10 V, respectivement. [101].

Le deuxième exposant est très inférieur à l'exposant ΔN_{it} indiquant la présence d'un deuxième processus de dégradation induit par le stress *NBTI*. Il est attribué au processus de piégeage /dé-piégeage des trous au niveau du piège près de l'interface (*border traps*) [116]. La dispersion des valeurs de n pourrait être expliquée par la distribution énergétique dispersive des pièges frontaliers (*border traps*) préexistants et/ou nouvellement générés.

3.5 Mesure rapide à base d'un amplificateur

L'idée générale de la mesure rapide est basée sur la mesure du courant du drain (I_d) puis de le convertir en V_{out} en utilisant (3.24) pour être enregistrée par un oscilloscope utilisant un ampli-op à faible bruit en mode transimpédance. Ainsi, en nous basant sur la méthode I_d - V_g pulsée développée par *IMEC* [117], et en suivant les procédures élaborées par Chen et *al* [11], [118], nous avons implémenté cette technique [119].

Le *MOSFET* (*DUT*) est connecté à l'amplificateur opérationnel (*OPAMP*) configuré en mode transimpédance. Par propriété de court-circuit virtuel (point *D*) de l'*OPAMP*, les

tensions aux deux bornes d'entrée est approximativement égales lorsque la rétroaction négative est présente à travers R . La tension de drain du *MOSFET* est ainsi fixée à V_{ds} fournie par une source de tension. Comme l'impédance d'entrée à la borne d'entrée de l'*OPAMP* est très élevée, le courant de drain circule entièrement à travers la résistance de gain R . En d'autres termes, le courant de drain est mesuré par la résistance de gain R . Une résistance de $10\text{ k}\Omega$ est utilisée dans cette étude pour du gain de transimpédance (figure 3.9).

La tension de sortie de l'*OPAMP* est liée au courant de drain *MOSFET* par

$$V_{out} = (I_d - I_{gd}) \cdot R + V_{ds} \quad (3.24)$$

où R est la résistance de détection, V_{ds} est la tension de drain et I_{gd} est le courant de grille/drain à travers la capacité parasite C_{gd} .

I_{gd} est négligeable pour les *MOSFET* à canal court dont la tension de sortie devient

$$V_{out} = I_d \cdot R + V_{ds} \quad (3.25)$$

Un *OPAMP* haute vitesse (*OPA657*), avec un produit de bande passante de gain $1,6\text{ GHz}$, est utilisé pour obtenir une mesure rapide [119]. Une mesure précise et rapide repose, principalement, sur la minimisation de la longueur des chemins de signal et le contrôle de l'impédance. Dans la figure 3.9, les câbles à impédance contrôlée sont étiquetés explicitement, tandis que les fils minces représentent les traces de *PCB*, les fils et les pointes.

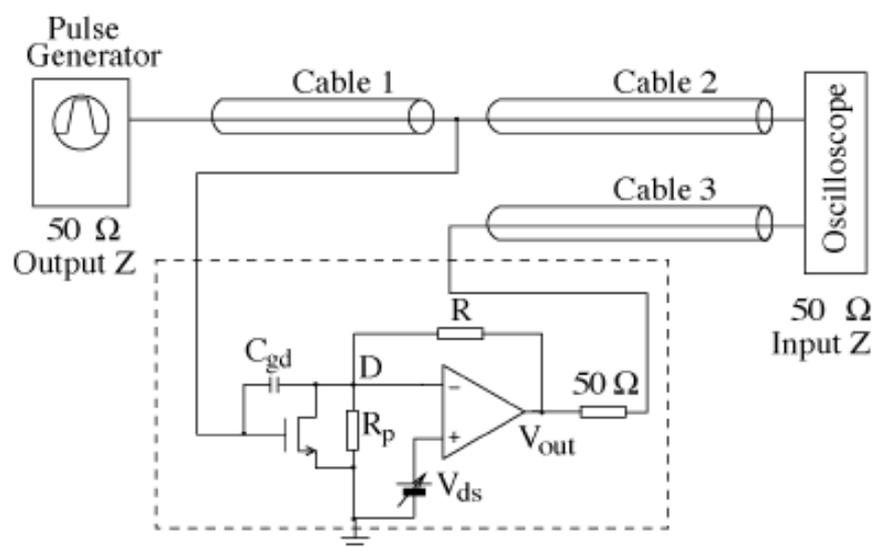


Figure 3.9 : Schéma illustrant la configuration de mesure rapide I_d - V_g utilisant un amplificateur transimpédance, avec une impédance adaptée.

Les composants entourés par un rectangle en pointillés (sauf le *DUT*) se trouvent sur une carte de circuit imprimé. Le *PCB* est monté au-dessus du support de porte pointes comme illustré à la figure 3.10. Le trajet du signal sur toute section non contrôlée par impédance (par exemple le trajet du drain du transistor à l'entrée de l'*OPAMP*, et de la grille à la connexion avec le câble 1 et le câble 2) est plus court, afin de minimiser les parasites.

Toutes les lignes de transmission sont des câbles coaxiaux de 50Ω . L'impédance de sortie du générateur d'impulsions et l'impédance d'entrée de l'oscilloscope sont également ajustées à 50Ω . Une résistance de $R_{out} \approx 50 \Omega$ est utilisée pour correspondre à l'impédance des câbles.

Si une impulsion de tension est appliquée à la grille du transistor *DUT*, un courant de drain est généré induisant une impulsion de tension correspondante à la sortie. Les deux impulsions sont enregistrées par l'oscilloscope, comme le montre la figure 3.11, et la conversion de V_{out} en I_d est possible avec (3.25). Un tracé paramétrique de $V_g(t)$ et $I_d(t)$ donne la courbe $I_d - V_g$ normale.

3.5.1 Protocole de mesure/stress du *NBTI*

Le setup, illustré sur la figure 3.12, a été réalisé à l'aide de différents instruments; Sélecteur Agilent 16440A pour balancer entre les deux phases (mesure/stress), *Agilent 4156C* pour appliquer le signal de stress ($V_{max} = 100V$), le générateur de signaux *Keithley 3940* pour effectuer les impulsions de mesure et l'oscilloscope Tektronix modèle *TDS 3054B* avec un temps d'échantillonnage de 5 GHz/s pour mesurer la tension de sortie V_{out} de l'ampli-op (3.25). L'acquisition a été réalisée à l'aide de *LabView* via le bus *GPIO*.



Figures 3.10 : Image de la carte de mesures rapides, à base d'un *OPA* transimpédance, implémentée dans le montage expérimental du *CDTA*.

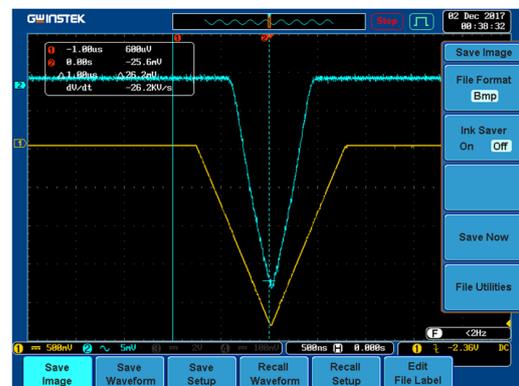


Figure 3.11 : Les deux impulsions (grille et drain) enregistrées par l'oscilloscope.

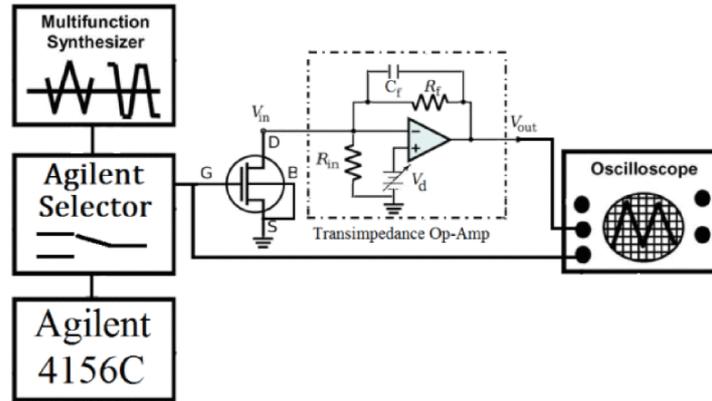


Figure 3.12 : Schéma de base de la configuration expérimentale de la mesure rapide « Fast I_d - V_g ».

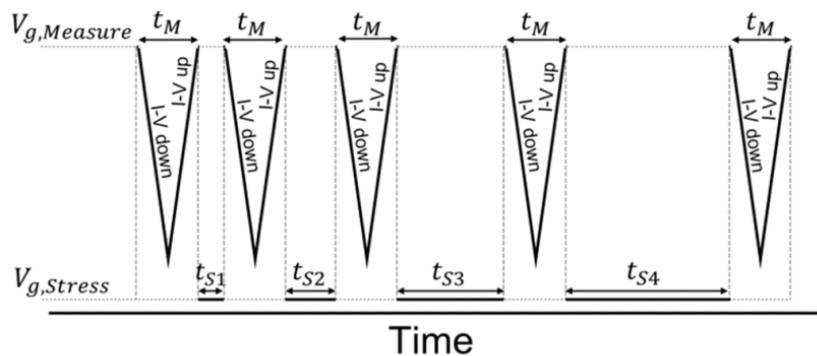


Figure 3.13 : Protocole *MSM* (*Measure-Stress-Measure*) utilisé pour la mesure rapide avec $t_M = 10 \mu s$ ($f_M = 100 \text{ kHz}$) pour différents temps de stress $t_s = (2s, 4s, 6s, 8s, 10s, \dots, 100s, 200s, 1000s)$ [120], [121].

Comme protocole de mesure/stress/mesure (voir figure 3.13), les dispositifs (*DUTs*) ont été soumis à une contrainte logarithmique, c'est-à-dire le temps de contrainte $t_s = (2s, 4s, 6s, 8s, 10s, \dots, 100s, 200s, 1000s)$; avec $V_g = V_{g, \text{stress}}$ pendant 19 min ; sous différents champs de contraintes électriques ($5 \text{ MV/cm} < E_{ox} < 7.5 \text{ MV/cm}$ avec incrément de 0.5 MV/cm) et différentes températures ($T_s = 27, 80, 100, 120 \text{ }^\circ\text{C}$). Les impulsions de mesure (pouvant être étiquetées comme double V_g) ont été prises à V_g avec un temps de mesure t_M .

3.6 Technique de Measure-Stress-Measure

Dans une première tentative pour réduire le délai entre le stress et la mesure, Kaczer et al. [72] ont proposé une méthodologie de mesure spécifique, indiquée comme technique *MSM* (*Measure-Stress-Measure*) rapide, pour estimer rapidement la ΔV_{th} induite par le *NBTI* ne permettant qu'une quantité limitée de relaxation. Son principe de fonctionnement est illustré par la figure 3.14 Une caractéristique I_d - V_g complète du *DUT* est d'abord

mesurée avant le stress. Au cours du test *NBTI*, au lieu de mesurer toute la caractéristique I_d-V_g , la tension de grille est rapidement réduite de la condition de stress à une valeur constante autour de la tension de seuil initiale (avant stress) du transistor, $V_g \approx V_{th0}$. Une seule mesure I_d est prise à cette tension. Sur la base de la valeur $I_d (V_g \approx V_{th0})$ surveillée, une estimation de la ΔV_{th} est obtenue en utilisant la mesure I_d-V_g de référence (avant stress) du nouveau *DUT*.

Puisqu'un seul courant de drain doit être obtenu (au lieu d'une gamme de courants de drain à différentes tensions de grille), cette approche est considérablement plus rapide que celle basée sur $I-V$, limitant ainsi de manière significative la relaxation. Cependant, cette technique souffre toujours d'un retard de mesure de l'ordre de 1 ms lorsqu'elle est mise en œuvre avec des instruments de mesure *DC* standard, et elle ne tient pas compte de la fraction inconnue de recouvrement déjà en cours.

Une évolution de cette technique, nommée *MSM* étendu (*extended Measure-Stress-Measure, eMSM*), a été proposée par les mêmes auteurs [122]. Elle vise à collecter autant d'informations que possible sur la relaxation afin de reconstruire la dégradation réelle à partir de mesures différées standards. Un aperçu pertinent des processus de relaxation *NBTI* est obtenu en enregistrant une courte partie du recouvrement au cours de chaque phase de mesure périodique. Un schéma de cette méthodologie est illustré à la figure 3.15

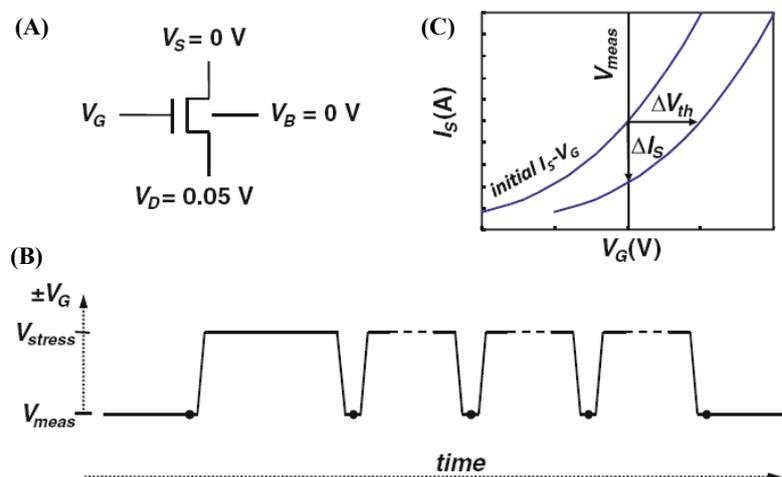


Figure 3.14 : Croquis de la technique *MSM* rapide proposée par Kaczer et al. [72]. (a) Le *DUT* est polarisé avec une tension de stress sur la grille et une faible tension (typiquement -50 mV) sur le drain pour permettre de mesurer un courant *source-drain*. (b) La tension de grille est périodiquement relâchée rapidement à une valeur tension inférieure pour la mesure de $I_d (V_g \approx V_{th0})$. (c) Les valeurs de I_d mesurées ($V_g \approx V_{th0}$) sont converties en ΔV_{th} en utilisant une caractéristique I_d-V_g du dispositif vierge comme référence, c'est-à-dire en supposant un décalage parallèle de la courbe.

Le *DUT* est soumis à une séquence préprogrammée de tensions de grille V_g , comprenant des phases de contrainte (stress) alternées à V_{stress} et des phases de mesure (ou «relaxation») à $V_{meas} \approx V_{th0}$. Un petit V_d (par exemple, -50 mV) reste toujours appliqué pour permettre l'enregistrement du courant *FET* pendant toute l'expérience. Comme d'habitude pour les tests de fiabilité, la durée de chaque phase de contrainte est géométriquement augmentée pour couvrir plusieurs décades. D'un autre côté, chaque phase de mesure est conçue pour collecter un maximum d'informations sur la relaxation *NBTI* de manière efficace dans le temps. En règle générale, la relaxation est enregistrée sur quatre décades, c'est-à-dire de ~ 1 ms à ~ 10 s.

La figure 3.16 présente un transitoire de relaxation typique obtenu avec la technique *eMSM*. La grande quantité d'informations d'un tel transitoire est évidente, y compris également le sous-ensemble d'informations que l'on obtiendrait en utilisant des techniques différées plus simples, telles que le *MSM* rapide ou une technique de mesure I_d - V_g . En conséquence, *l'eMSM* permet une comparaison correcte avec les données mesurées avec différentes techniques. De plus, malgré le délai de mesure inévitable (généralement ~ 1 ms), un ajustement aux données de relaxation enregistrées pourrait produire la dégradation «complète» que l'on mesurerait au $t_{relax} = 0$ s, à condition que le comportement transitoire soit compris.

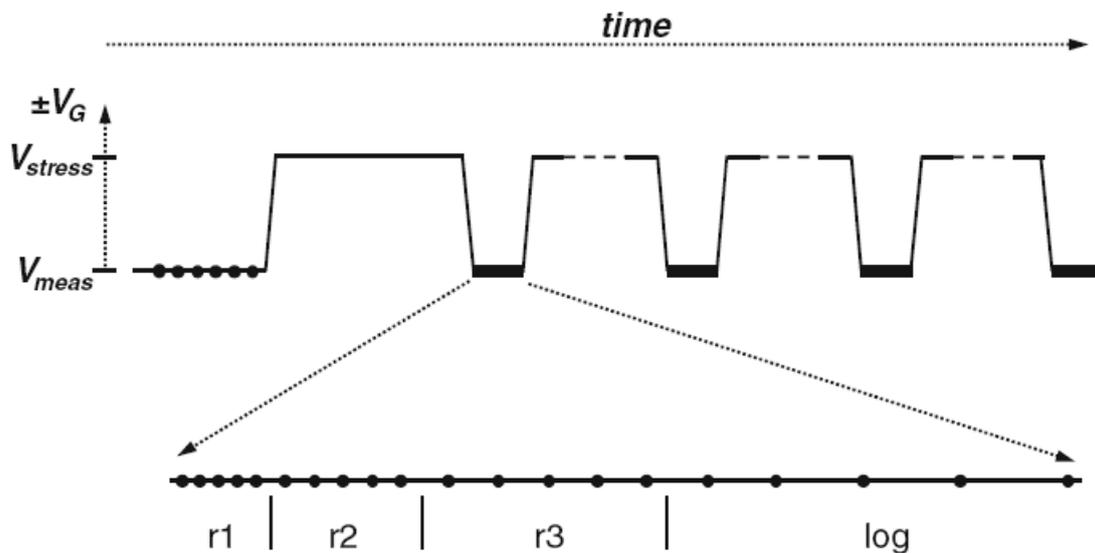


Figure 3.15 : Croquis du principe de fonctionnement de la technique *eMSM* introduite par Kaczer et al. [122].

Chaque phase de «*measure*» est conçue pour collecter un maximum d'informations sur la relaxation (généralement sur quatre décades). Les segments de chaque phase de relaxation, étiquetés «*r1*, *r2*, *r3*, *log*», représentent différents taux d'échantillonnage des mesures de courant qui sont utilisés pour couvrir efficacement des échelles de temps logarithmiques.

Un ensemble complet de transitoires de relaxation enregistrée après un ensemble correspondant de phases de stress avec une durée croissante est illustré à la figure 3.17.

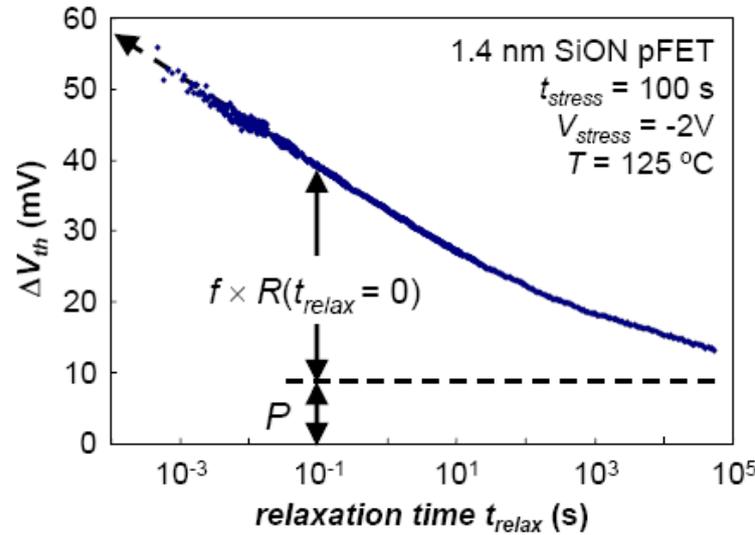


Figure 3.16 : Une transitoire typique enregistrée avec la technique *eMSM* fournit des informations sur la relaxation *NBTI* sur plusieurs décades. Les informations différées recueillies avec d'autres techniques (telles que le *MSM* rapide ou la simple surveillance des caractéristiques *DC I_d-V_g*) peuvent être recherchées sur l'un de ces transitoires. De cette manière, la technique *eMSM* permet également de comparer des mesures obtenues avec différentes techniques [122].

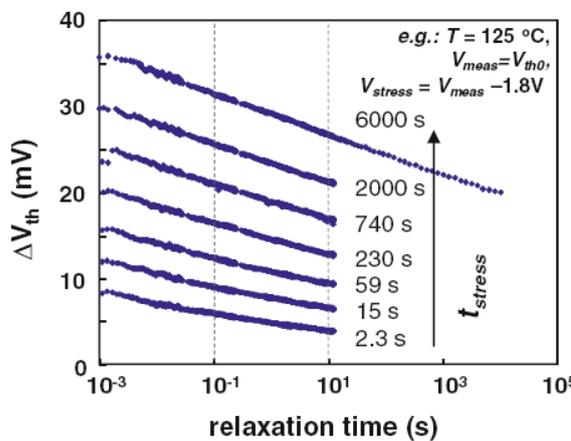


Figure 3.17 : Un ensemble de transitoires de relaxations enregistrées après des phases de stress de durée croissante. Notez-le transitoire de relaxation de durée prolongée après le temps de stress le plus long, montrant une tendance $\log(t)$ sur * 7 décades.

3.7 Technique et méthodologie utilisées

La technique de choix utilisée dans ce travail est la technique *eMSM*, car elle fournit une grande quantité d'informations sans nécessiter des circuits spécifiques construits sur mesure pour sa mise en œuvre. Dans cette section, la mise en œuvre utilisée de la technique *eMSM* est décrite. Les étapes procédurales pour estimer la durée de vie d'un dispositif à partir de données de mesure brutes sont illustrées. De plus, une méthodologie

proposée [123] pour reconstruire la dégradation complète du *NBTI* à partir des traces de relaxation *eMSM* est discutée.

3.7.1 Mise en œuvre de l'*eMSM*

Un groupe de *SMU* a été utilisé pour implémenter la technique *eMSM*. Une faible tension de drain de -50 mV a été constamment appliquée pour permettre de mesurer le courant de source pendant toute la mesure. Après avoir mesuré une courbe I_d-V_g de référence du nouveau transistor (section 3.6.), la stabilité initiale du *DUT* a été vérifiée en surveillant ~ 10 ou ~ 100 s le courant de drain tout en polarisant la grille à la tension de relaxation V_{relax} , généralement égal à la tension de seuil du nouveau dispositif. Après la caractérisation initiale, une séquence préprogrammée de tension de stress et de relaxation (V_{stress} et V_{relax}) a été appliquée. Les phases de stress avaient une durée croissante (commençant à ~ 2 s et allant typiquement jusqu'à ~ 10000 s de manière exponentiellement croissante) tandis que les phases de relaxation étaient de durée fixe (typiquement 12s). La commutation de la tension de grille prenait généralement $\sim 0,1$ ms, tandis que toute situation à 0 V pendant la commutation était soigneusement évitée pour exclure toute influence artificielle sur le processus de relaxation *NBTI*.

Pour chaque phase, le courant de drain a été constamment mesuré avec un taux d'échantillonnage variable: au début d'une nouvelle phase (segment «r1» dans le croquis de la figure 3.15), les taux d'échantillonnage les plus élevés offerts par les *SMU* utilisés ont été exploités en utilisant un *buffer* interne pour stocker les données mesurées. De cette manière, 100 mesures de courant de drain ont été prises toutes les 0,2 ms. Pour les segments de mesure suivants (chacun composé de cent valeurs mesurées), des périodes d'échantillonnage croissantes égales à 2, 20 et 100 ms ont été utilisées. Après cela, le courant a été mesuré à des intervalles espacés logarithmiquement jusqu'à la fin de la phase actuel (segment «log» sur le croquis de la figure 3.15). Un exemple d'échantillons de courant généralement collectés est illustré à la figure 3.18.

À la fin de chaque séquence de mesure *eMSM*, une caractéristique finale I_d-V_g a été enregistrée pour garantir que le *DUT* était toujours fonctionnel et qu'aucune augmentation significative de la fuite de la grille n'était causée par la contrainte électrique (due aux mécanismes *SILC* ou *TDDDB*) car elle pouvait affecter la conversion du courant de source mesuré en ΔV_{th} .

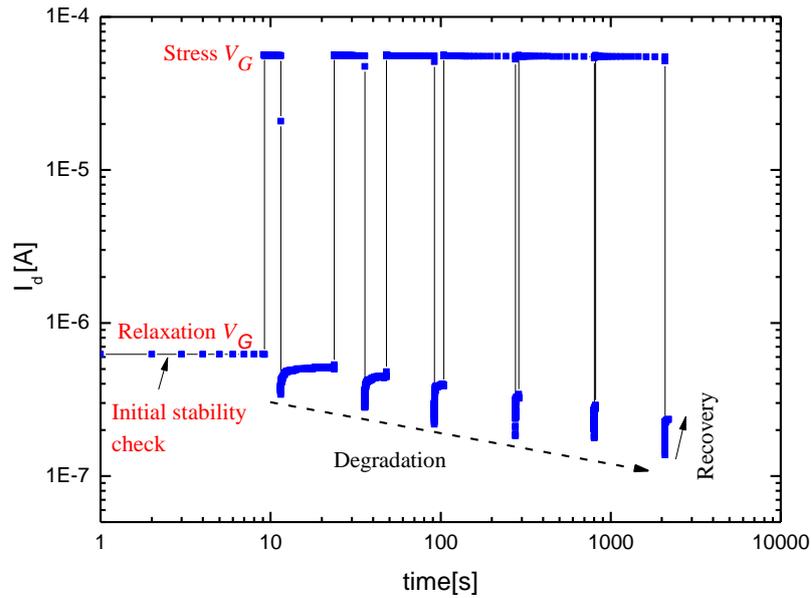


Figure 3.18 : Le courant du drain du dispositif I_d pendant une séquence $eMSM$ est tracé en fonction du temps absolu. La stabilité du dispositif est vérifiée en contrôlant initialement I_d à V_{Grelax} . Ensuite, une séquence de tension de stress et de relaxation est appliquée. I_d est réduit après chaque phase de stress, alors qu'il récupère partiellement vers sa valeur d'origine pendant les périodes de mesure de relaxation.

Les données mesurées ont donc été post-traitées dans un environnement de manipulation de données tel que *Mathematica* afin de convertir les phases de relaxation actuelles en ΔV_{th} en utilisant la caractéristique I_d - V_g initiale comme tableau de référence (voir figure 3.14(C)). Un exemple de traces de relaxation ΔV_{th} converties était déjà montré sur la figure 3.17.

3.7.2 Des données $eMSM$ à l'extrapolation de durée de vie et à l'analyse comparative

Afin de comparer la fiabilité BTI des différents empilements de grille, il est convenable d'estimer le délai de défaillance du DUT . Pour estimer cette quantité, ΔV_{th} a été évaluée à $t_{relax} = 1$ ms (c'est-à-dire le délai minimum pour une mesure fiable avec la configuration utilisée après la commutation de la tension de grille). Ce délai a été fixé dans les expériences pour permettre une comparaison croisée. Les valeurs ΔV_{th} mesurées peuvent ensuite être tracées en fonction du temps de stress cumulé, comme illustré sur la figure 3.19. Le temps de contrainte nécessaire pour atteindre un critère de défaillance, supposé à un décalage de tension de seuil de 30 mV, a été extrait en ajustant les données expérimentales avec une loi de puissance.

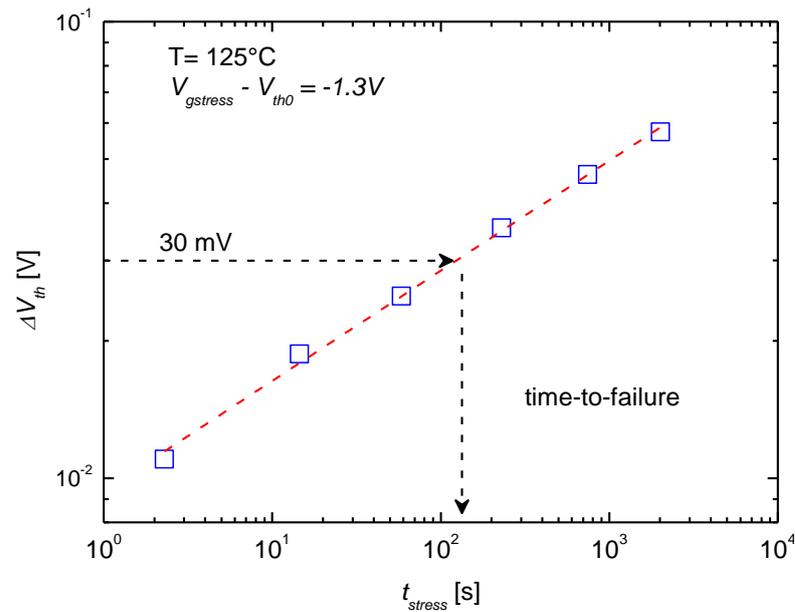


Figure 3.19 : ΔV_{th} mesurée en fonction du temps de contrainte à $t_{relax} = 1\text{ ms}$. Compte tenu d'un critère de défaillance (par exemple, $\Delta V_{th} = 30\text{ mV}$ utilisé dans ce travail), le temps de défaillance (*TTF*) du dispositif a été extrapolé à partir de ce graphique.

Afin d'estimer la tension de fonctionnement maximale d'un empilement de grille donnée, l'expérience de contrainte *BTI* a été répétée à plusieurs tensions de stress (en utilisant un nouveau dispositif pour chaque tension). A chaque tension de stress, le temps de défaillance a été déterminé comme décrit ci-dessus. La durée de vie de 10 ans de l'overdrive de la grille ($V_{ov} = |V_{Gmax} - V_{th0}|$) a ensuite été extrapolé par un ajustement des moindres carrés (sur une échelle logarithmique) au délai de défaillance par rapport au données du overdrive de la grille (figure 3.20). Les tendances de la loi en puissance se sont généralement révélées correspondre aux meilleurs ensembles de données collectées sur l'empilement de grilles avec $EOT > 0,8\text{ nm}$.

3.7.3 Description empirique des traces de relaxation *NBTI*

Comme mentionné dans la section. 3.7, la technique *eMSM* capture une quantité importante d'informations sur le comportement de la relaxation *BTI*. Bien qu'un délai de mesure après la suppression du stress soit pratiquement inévitable, les traces de relaxation mesurées peuvent être ajustées avec des modèles empiriques afin d'estimer la dégradation complète du *BTI* comme si elle avait été mesurée immédiatement après la suppression du stress (c.-à-d. avec un délai nul), comme illustré dans la figure. 3.21. De plus, à partir de ces calculs, on peut estimer les fractions dites recouvrables (*R*) et permanentes (*P*) de la dégradation.

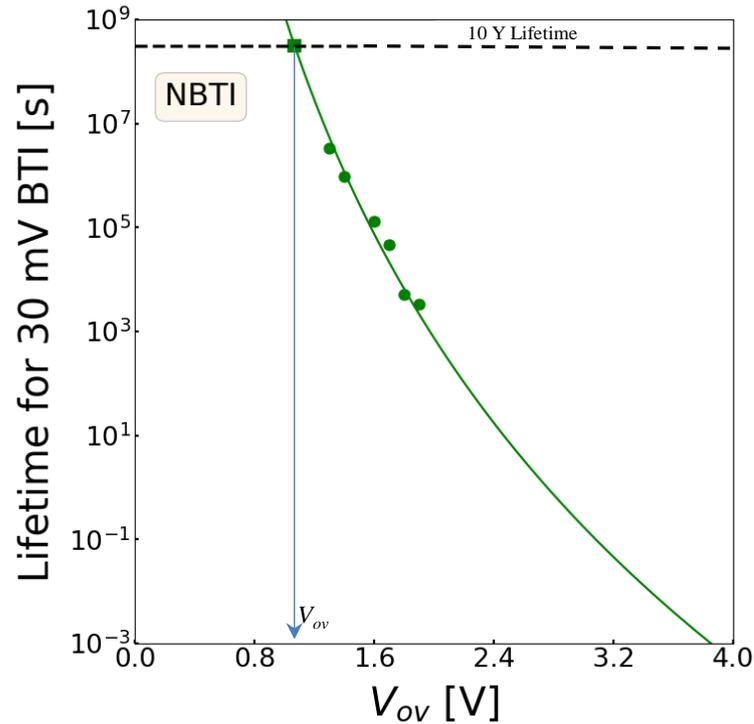


Figure 3.20 : En traçant le temps de défaillance estimé pour différentes tensions d'overdrive de stress de grille, l'overdrive maximal pour un fonctionnement continu fiable de 10 ans a été estimé.

Il n'y a pas de consensus sur la question de savoir si ces deux composants souvent invoqués proviennent de deux mécanismes microscopiques différents ou s'ils sont une simple conséquence de la large distribution des constantes de temps du mécanisme de piégeage de trous. Cependant, il est souvent utile pour des raisons pratiques lors de la comparaison des différents empilements de grille de supposer que la dégradation totale peut être divisée en une fraction recouvrable rapidement (R) et une fraction recouvrable lentement / permanente (P) comme:

$$\Delta V_{th}(t_{stress,i}, t_{relax}) = R(t_{stress,i}, t_{relax}) + P(t_{stress,i}) \quad (3.26)$$

Ici, $t_{stress,i}$ représente le temps de stress total après la i -ème phase de stress, tandis que t_{relax} représente le temps écoulé depuis le début de la dernière phase de relaxation. Selon les observations précédentes [122], [123], toutes les données de relaxation obtenues à différents moments de stress tombent sur la même courbe, donnée par la fonction de relaxation universelle $r(\zeta)$, où $\zeta = t_{relax}/t_{stress,i}$ est le temps de relaxation universel [123]. De très bons ajustements à un large éventail de données expérimentales ont été obtenus dans la littérature en utilisant la relation empirique:

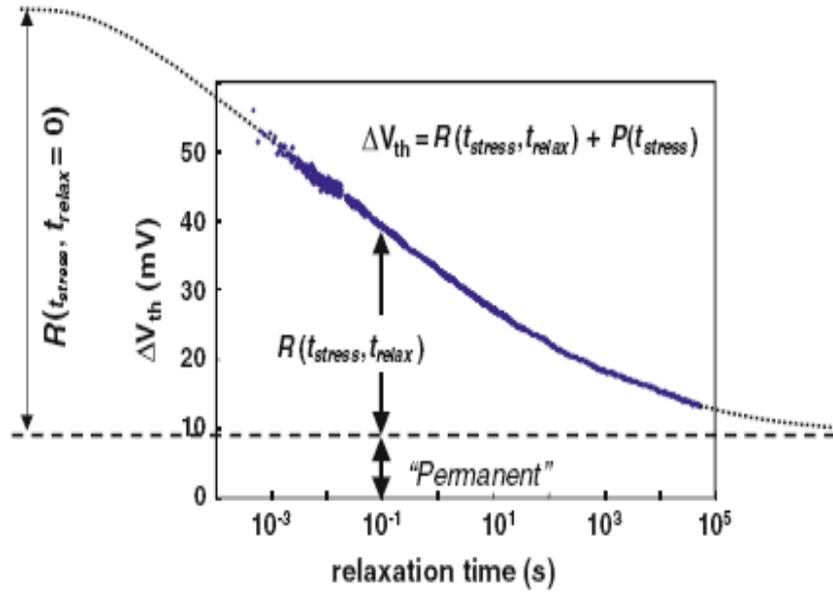


Figure 3.21 : Symboles: trace de la relaxation *NBTI* typiquement mesurée. Un délai de mesure après suppression des contraintes est pratiquement inévitable; cependant, des modèles empiriques peuvent être ajustés aux données mesurées afin d’estimer la dégradation à «délai nul» et la dégradation résiduelle à de longs temps de recouvrement [122].

$$r(\xi) = \frac{1}{1+B\xi^\beta} \tag{3.27}$$

Par conséquent, la relaxation de la partie recouvrable des endommages peut être décrite comme:

$$R(t_{stress,i}, t_{relax})=R(t_{stress,i}, t_{relax}=0).r(\xi) \tag{3.28}$$

où $R(t_{stress,i}, t_{relax}=0)$ représente la composante R «full» extrapolée à $t_{relax}=0$, comme si elle était mesurée avec un délai nul après la suppression du stress. Ainsi, il est possible d’estimer le R total à partir de mesures retardées standard.

Inversement, la composante P , c’est-à-dire $P(t_{stress,i})$ dans l’équation (3.26) est défini comme la dégradation qui serait idéalement encore mesuré après un temps infini dès l’élimination du stress, puisque $R(t_{stress,i}, t_{relax} = \infty)=0$ [123].

Enfin, il convient de noter que cette simple approche analytique pour décrire les traces de relaxation *eMSM* a une autre application utile: elle permet de reconstruire la cinétique de la dégradation (c’est-à-dire la dépendance de ΔV_{th} en temps de stress) qui aurait été observée avec d’autres mesures techniques à différents délais de mesure [122] en redimensionnant la composante R . Cette capacité peut être utile pour comparer les données

expérimentales de différents groupes (par exemple, montrant des exposants de temps *NBTI* apparemment contradictoires).

3.8 Dispositifs de test et bancs de caractérisation électrique

3.8.1 Dispositifs de test du procédé technologique *CMOS*, $1\mu\text{m}$ d'*ISiT*

Les dispositifs, qui ont fait l'objet dans la première partie du travail de la thèse, sont des transistors *pMOSFET*. Ces transistors ont différentes longueurs L_G et différentes largeurs W_G allant de 0.5 à $10\mu\text{m}$. Ces structures de test sont sur une même puce de test non encapsulée, issue de la fonderie Allemande *ISiT* selon le procédé technologique conventionnel *CMOS* $1\mu\text{m}$ (*Complementary Metal Oxide Semiconductor*) double puits (*Well*) double métal.

Les structures de test sont fabriquées sur une plaquette de silicium type *P* avec une orientation $\langle 100 \rangle$, la puce est de dimension : $11270\mu\text{m}$ de longueur et $11090\mu\text{m}$ de largeur. L'oxyde de grille est un oxyde de silicium (SiO_2) d'épaisseur (T_{ox}) de 20nm et de capacité par unité de surface (C_{ox}) de $2.12 \cdot 10^{-7}$ ($\text{F}\cdot\text{cm}^{-2}$) réalisé par un procédé d'oxydation sèche. Les dispositifs *pMOSFET* comportent des structures *LDD* formées par l'implantation de Bore. Une fois que les bords de la grille sont couverts par le *TEOS* (*Tetra Ethyl Ortho Silcate*), les régions fortement dopées p^+ de *source/drain* sont formées par implantation de BF_2 . Dans la technologie *CMOS* $1\mu\text{m}$ (figure 3.22), les deux transistors *p* et *nMOSFET* sont isolés les uns de autres par l'oxyde de champ (*LOCOS*).

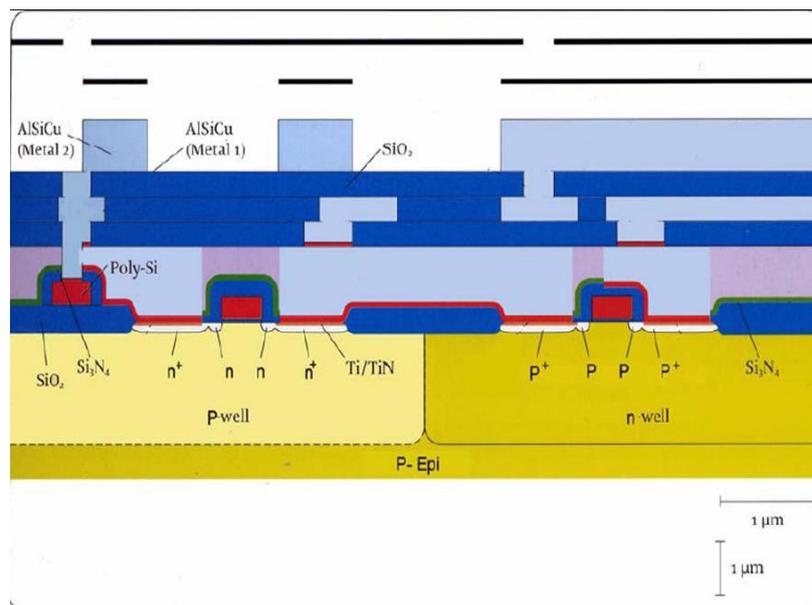


Figure 3.22 : Schéma illustratif de la structure *CMOS* $1\mu\text{m}$ d'*ISiT*

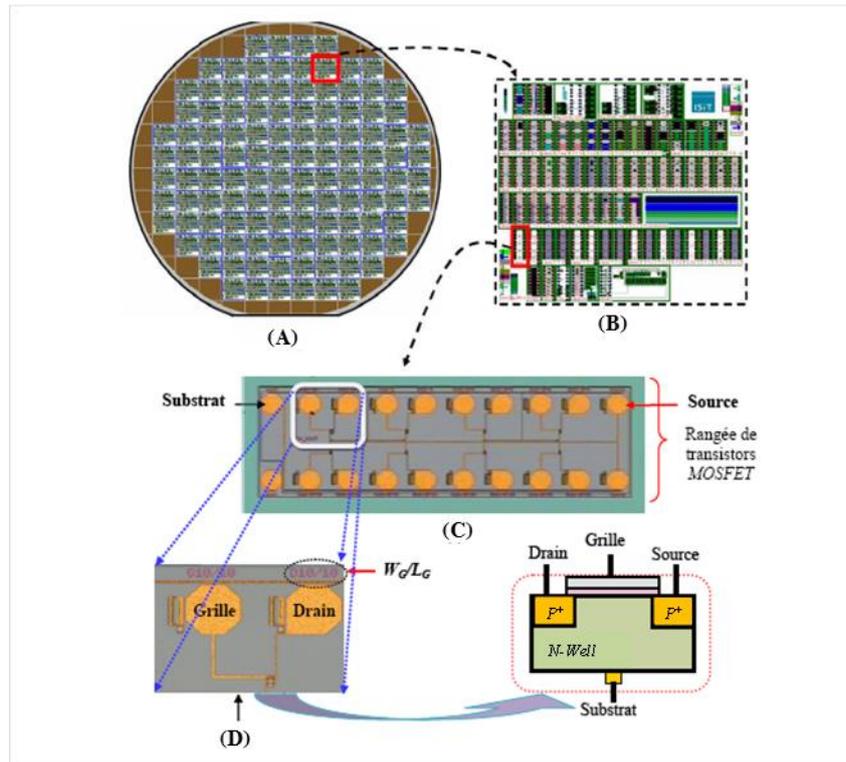


Figure 3.23 : L'image présente (A) une plaquette de silicium comprenant des puces de test, (B) des dispositifs de test, (C) une rangée des transistors *MOSFETs* et en (D) un transistor *MOSFET*.

Les transistors à caractériser sont disposés dans des rangées, chaque rangée contient huit transistors, soit de type p ou de type n . les transistors se distinguent par leurs différents rapports géométriques (W_G/L_G). La figure 3.23 illustre une image détaillée d'une structure de test.

3.8.1.1 Banc de caractérisation électrique pour les transistors *CMOS* $1\mu\text{m}$

L'ensemble des équipements du banc de test électrique illustré dans la figure 3.24 dont nous disposons dans le laboratoire de caractérisation de l'équipe *FCS* a été utilisé pour les tests *CP*, *MSM* et *on the fly*. Le banc de test et de caractérisation électrique est constitué d'un :

- Testeur sous pointes, Karl-Suss AP4 Prober : est un testeur semi-automatique muni de :
 - Porte-échantillon : mobile, peut se déplacer sur un plan horizontal et vertical via une station de pilotage
 - Micro-positionneur : composé d'un porte-pointe qui contient trois vis permettant d'effectuer des déplacements de la pointe dans les trois directions de l'espace (x ,

y, z). La pointe est précieusement ajustée sur le plot du dispositif pour assurer un bon contact électrique.

- Microscope optique : utilisé pour l'identification des structures à caractériser et l'ajustement des pointes sur les plots des transistors.
- Une carte implémentée à base d'un *OPA* pour la mesure rapide montée sur le micro-positionneur.

Le testeur sous pointes est monté dans une cage *Fraday* reliée à la masse pour empêcher toute sorte d'interférences avec le milieu extérieur (ondes électromagnétique, lumière)

- Analyseur des paramètres de semi-conducteurs, Agilent 4156C : cet équipement est dédié pour mesurer et analyser les caractéristiques courant-tension $I(V)$ et pompage de charges CP des transistors. Ces caractéristiques sont mesurées par des *SMU* de haute résolution (1fA/2 μ V, 100mA/100V) permettant d'appliquer et de mesurer simultanément soit une tension ou bien un courant. Ces *SMU* possèdent des sorties triaxiales assurant des mesures allant jusqu'à 10^{-15} A. Cet analyseur contient également un générateur d'impulsion appelée *PGU* permettant le contrôle des temps de front de montée et de descente d'un signal arbitraire d'une fréquence maximale de 500 KHz.
- Capacimètre, Agilent 4284A : permet de mesurer l'impédance et d'effectuer des mesures des caractéristiques *capacité-tension* $C(V)$. La gamme de fréquences s'étend de 20 Hz à 1MHz et l'amplitude de la tension continue est de ± 20 V.
- Electromètre, Keithley 617 : constitué d'une source de tension continue (± 100 V, max 2mA) et d'un électromètre pour mesurer des faibles courants de l'ordre du *pico-ampère*.
- Générateur de signaux, Keithley 3940 : permet de délivrer différents signaux (sinusoïdal, carré, triangulaire et arbitraire) de fréquence allant de 0 Hz à 20 MHz avec une résolution de 0.1 MHz. L'amplitude de tension V_{p-p} est de 20 V à la tension d'offset 0V.
- Oscilloscope numérique, Tektronix TDS3054B : permet de visualiser les différents signaux et de suivre leur évolution avant et au cours de leur application sur le dispositif.

Notons que tous ces instruments disposent d'un bus de communication *GPIB* (*General Purpose Interface Bus*) qui permet leur contrôle par ordinateur. Les programmes

de commande et d'acquisition de données ont été réalisés à l'aide du langage graphique *LabView*.

- Systeme de chauffage : le montage utilisé (figure 3.25) pour la régulation de la température pendant le stress *BTI* est composé des éléments suivants :
 - Un organe de régulation, qui est une plaque chauffante au sein de laquelle une résistance est enroulée, et dont le chauffage est assuré par effet *Joule*.
 - Une alimentation électrique, qui est une alimentation possédant un port d'interface *GPIB* délivrant une tension de 20V et un courant de 2.5A.
 - Un thermomètre, qui est un instrument de mesure de la température à travers une sonde à résistance de température (*Pt100*).
 - Un microordinateur, sur lequel la commande et l'acquisition s'effectuent par un programme de contrôle implémenté sous *LabView*.

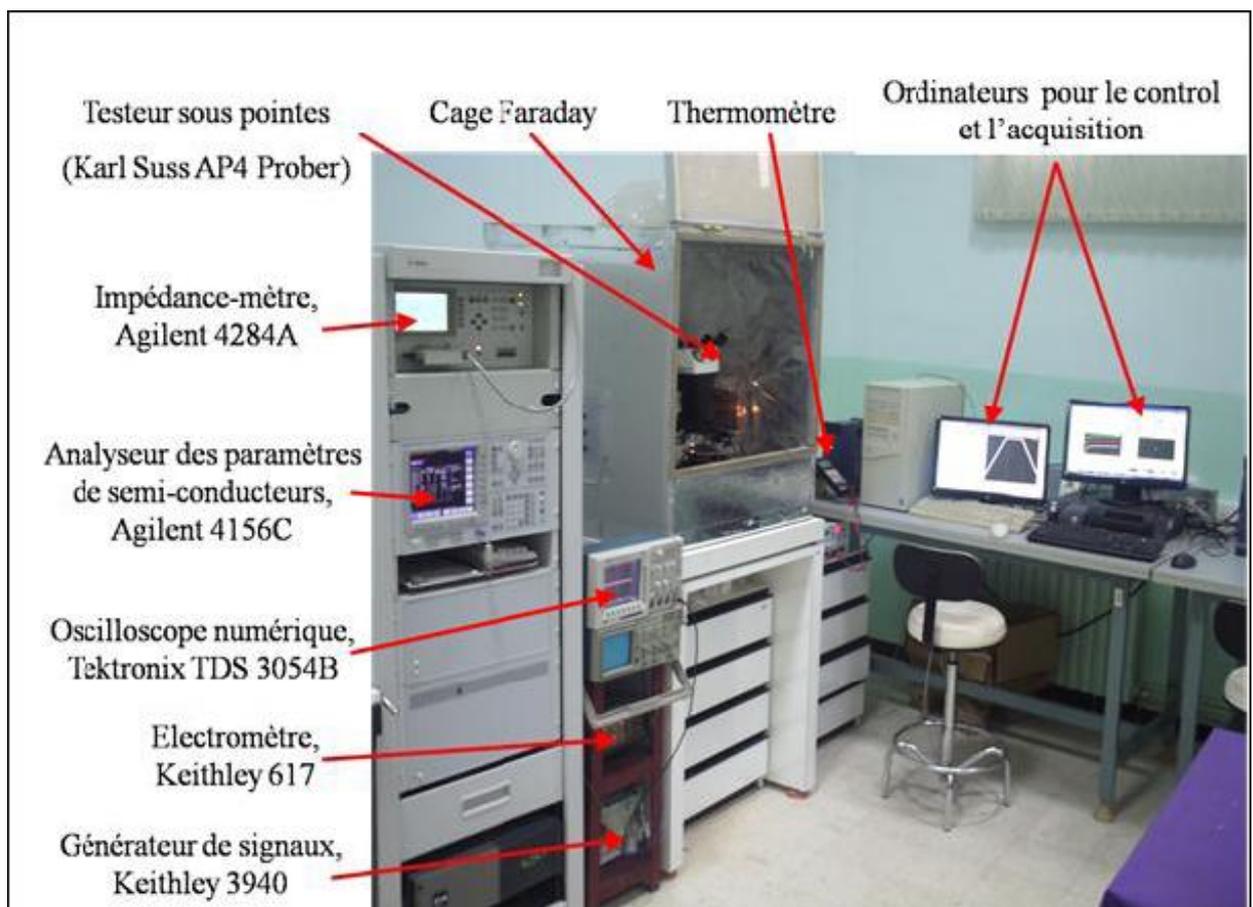


Figure 3.24 : Vue d'ensemble du banc de caractérisation électrique (salle de caractérisation *CDTA*) utilisée dans les mesures.

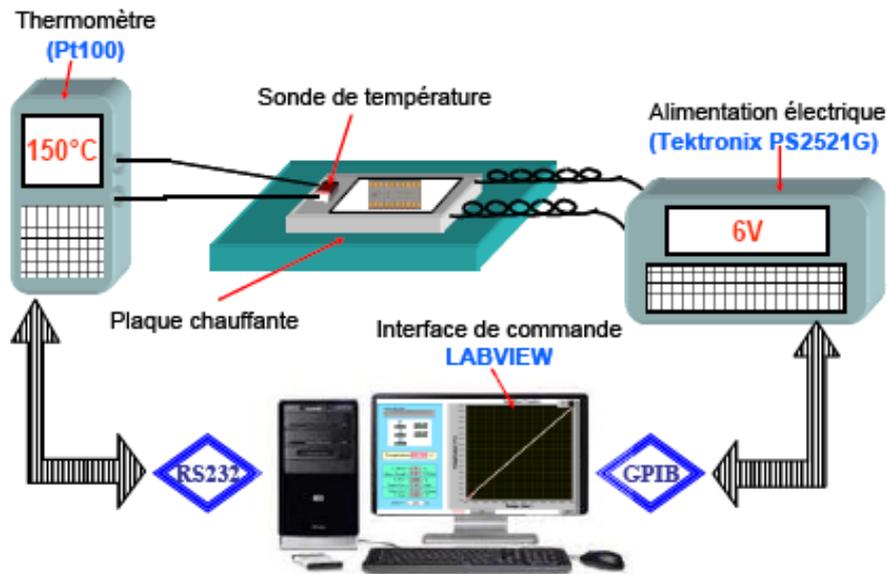


Figure 3.25 : Schéma représentatif du système de régulation de la température [124].

3.8.2 Dispositifs de test *FinFETs* d'IMEC

La deuxième catégorie des dispositifs, qui ont fait aussi l'objet de la deuxième partie de ce travail de thèse et qui constituent les principaux résultats obtenus sur la dégradation *BTI* (leur détails sont donnés dans le quatrième chapitre), sont des dispositifs *FinFETs* fabriqués en *Belgique* par *IMEC* (*Interuniversity MicroElectronics Centre*). Ces dispositifs *FinFETs* ont été réalisés sur une plaquette de silicium *Si* (100) de diamètre 300 mm, les largeurs des ailerons sont considérées entre 15 et 100 nm, avec différentes hauteurs d'ailerons. Aileron de hauteur 30 nm est considéré comme aileron standard et celui de hauteur 65 nm comme aileron haut. Ces deux types d'ailerons sont illustrés dans la figure 3.26 selon l'image du Microscope Electronique en Transmission (*TEM*).

Un procédé de grille métallique première (*High- κ Metal Gate*) a été utilisé. Cela impliquait la croissance d'une couche interfaciale *SiO₂* (en utilisant *In Situ Steam Generation*), et d'une couche *high- κ* de *HfO₂* déposée par *ALD* (*Atomic Layer Deposition*). L'électrode de grille métallique (*TiN*) est ensuite déposée. Après le recuit d'activation de jonction, un recuit supplémentaire pour simuler le budget thermique dans un flux de *DRAM* a été effectué. Le flux de procédé a incorporé un recuit de « *forming gaz standard* » (*N₂H₂*) comme étape finale. Dans ces expériences, plusieurs dispositifs ont été testés dans des conditions de polarisations multiples à chaque température, et les résultats ont été utilisés dans la génération de la carte *CET*.

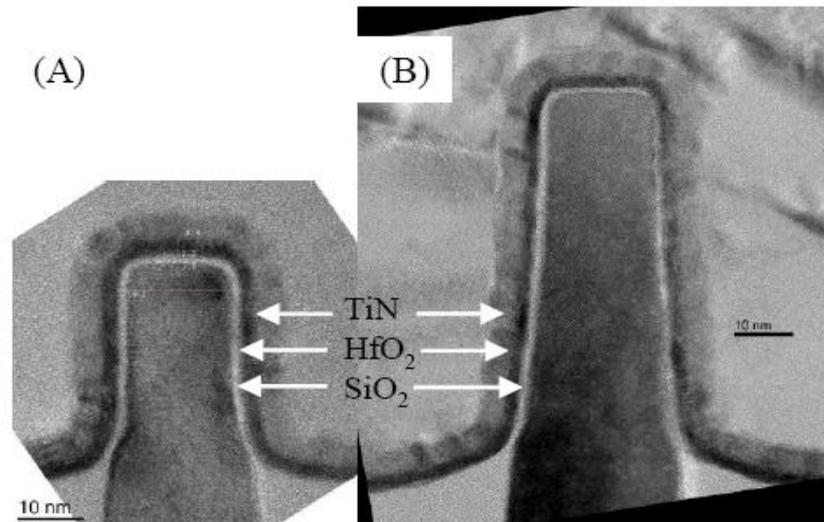


Figure 3.26 : Micrographies *TEM* (Microscope Electronique en Transmission) du (A) aileron standard (30 nm) (B) aileron haut (65 nm), avec les couches ~ 1 nm de SiO_2 , ~ 2 nm de HfO_2 et ~ 5 nm de TiN sur 15 nm de largeur d'aileron.

3.8.2.1 Banc de caractérisation électrique pour les transistors *FinFETs*

Le système utilisé pour les tests de fiabilité sur les transistors *FinFETs* (figure 3.27) se composait de deux unités source-mètre (*SMU*) de la série *Keithley 26xx* et d'un testeur sous pointe semi-automatique *Süss PA300* équipée d'une **plaquette chauffante** (diamètre 300 mm) contrôlée par un système de chauffage *att systems (Advanced Temperature Test Systems)* (les mesures *BTI* ont été effectuées à 75, 125 and 175 °C). Le système est contrôlé par un ordinateur via une interface *GPIB* par une suite développée de scripts *Perl*. L'utilisation d'un langage de programmation de haut niveau pour contrôler l'ensemble du système offre des capacités avancées, telles que la conception de séquences de mesures complexes exécutées sur plusieurs *DUT* (figure 3.28) et le traitement automatique des données mesurées pour la prise de décision lors de l'exécution sans surveillance (par exemple, saute des dispositifs défectueux).

Le testeur sous pointes semi-automatique *Süss PA300* contient :

- Porte échantillon de diamètre 300 mm (8" chuck) et en même temps c'est une plaque chauffante mobile, qui peut se déplacer sur un plan horizontal (x, y) et vertical (z) via une station de pilotage. La figure 3.28 illustre une photo de la plaquette (300 mm) des puces sur le Chuck et le système qui a assuré le chauffage du Chuck et contrôlé leur température *att systems*.



Figure 3.27 : Banc de caractérisation électrique des transistors (labo IMEC).

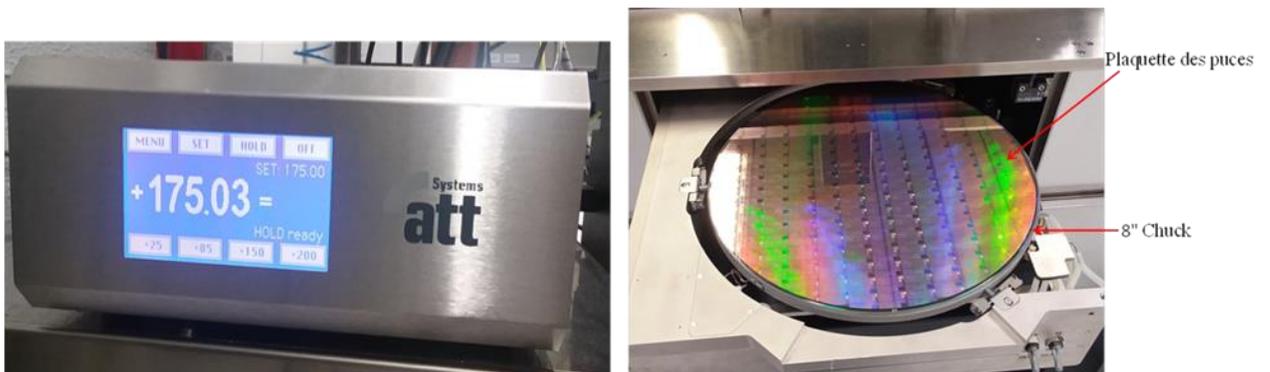


Figure 3.28 : Illustration du thermo Chuck (porte échantillons 300 mm) avec le système de chauffage.

- Microscope optique équipé aussi de caméra utilisée pour l’alignement du wafer selon une mappe du masque utilisée pour la fabrication des dispositifs de test (figure 3.29), l’identification des structures à caractériser et l’ajustement des pointes sur les plots des transistors.

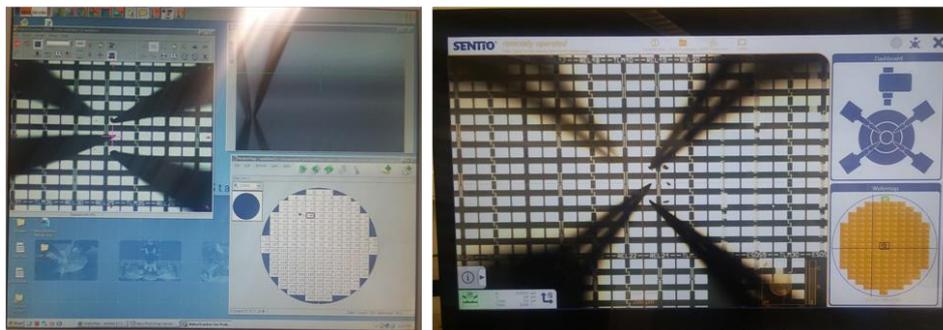


Figure 3.29 : Image de structures de test alignées selon une mappe du masque.

- Micro-positionneur : composé d'un porte-pointe (figure 3.30) qui contient trois vis permettant d'effectuer des déplacements de la pointe dans les trois directions de l'espace (x, y, z). Les pointes ont précieusement ajustées sur le plot du dispositif pour assurer un bon contact électrique.

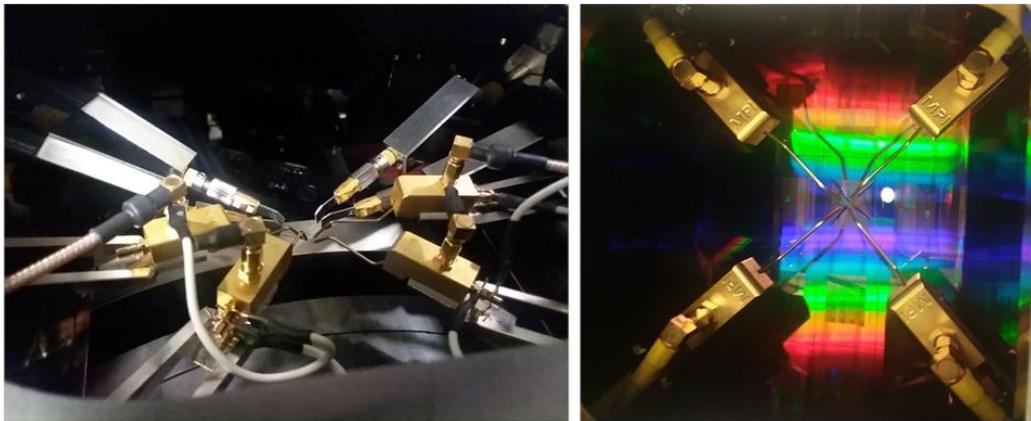


Figure 3.30 Images des pointes montées sur des micropesanteurs pour les déplacements dans les trois directions (x, y, z).

- Un Joystick Controller est une interface opérateur du ProberBench™ Electronics II est en fonctionnement autonome du testeur sous pointes. Si le PC ProberBench™ est utilisé comme interface opérateur, un Joystick Controller (figure 3.31) connecté fonctionne comme l'interface opérateur du ProberBench™ Electronics II de la même manière.

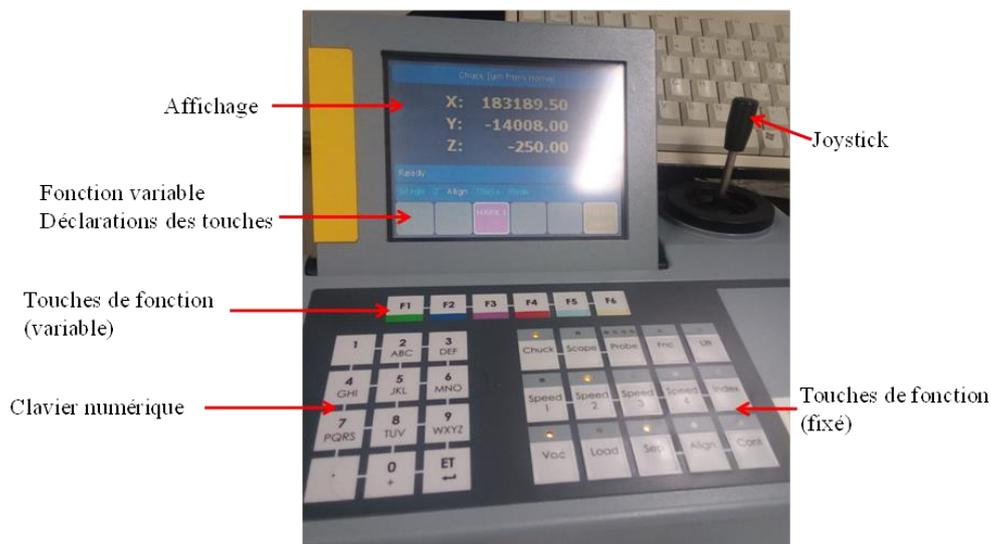


Figure 3.31 : Photo d'un Joystick Controller

Unités source-mètre (SMU) : pour l'implémentation de la technique *eMSM* deux unités source-mètre de la série **Keithley 26xx** (figure 3.32) sont utilisées pour l'application des

tensions de stress $V_{g_{stress}}$ et tensions du mesure $V_{g_{mesure}}$ et aussi pour mesurer des courants (I_{source} et I_{drain}).

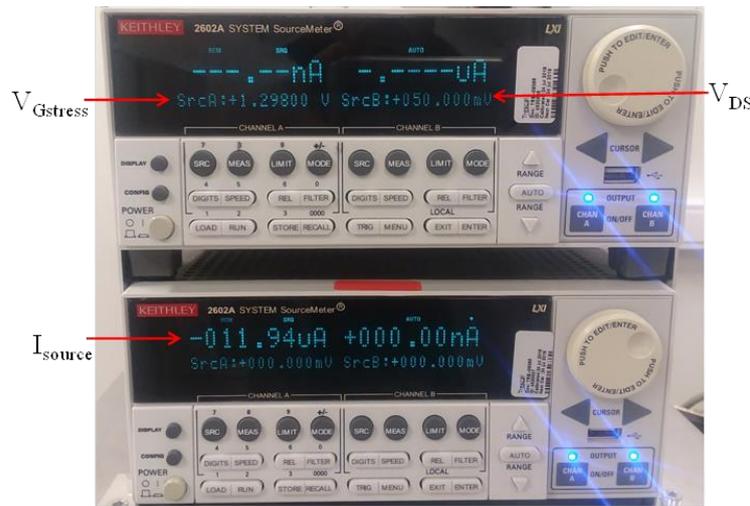


Figure 3.32 : Deux unités source-mètre de la série *Keithley 26xx*

3.9 Conclusion

Dans ce chapitre, nous avons décrit les différentes méthodes de mesures électriques permettant de caractériser la dégradation *BTI* des transistors *MOSFET* et *FinFET* et les protocoles de mesure que nous avons utilisés, à savoir, la méthode de pompage charge *CP*, *On-The-Fly* et notamment les deux méthodes *OTFIT* et *OTFOT*.

Puis, nous avons décrit la technique standard *Measure-Stress-Measure (MSM)* et la technique du mesure rapide I_d-V_g basée sur un amplificateur transimpédance que nous avons mis en œuvre. Enfin, nous avons présenté le concept et le protocole de la technique *extended Measure-Stress-Measure (eMSM)* que nous avons utilisée pour l'étude de l'impact des dimensions des transistors *FinFET* sur la dégradation *BTI*. Cette technique est basée sur un temps de mesure très court de l'ordre de 1ms et aussi, elle fournit une quantité significative d'informations sur le comportement de la relaxation *BTI*.

Chapitre 4 Résultats Expérimentaux

Introduction

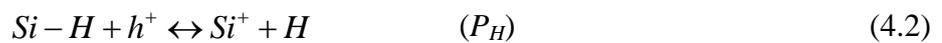
Ce chapitre est consacré à la présentation des résultats expérimentaux de différentes techniques de caractérisation du phénomène *BTI*. Dans un premier temps, nous présenterons quelques données sur ce phénomène sur deux technologies *CMOS* 1 μm et 0.18 μm caractérisés par des techniques conventionnelles et développées par l'équipe *FCS*, tel que le pompage de charge *CP* et les méthodes d'extractions *OTFIT* et *OTFOT*. En second lieu, nous passerons à l'étude de l'effet *NBTI* effectué sur dispositif *pMOSFET* et caractérisé par une méthode rapide développée et implémentée, basé sur un ampli-op transimpédance. En fin, les résultats expérimentaux de l'impact des dimensions des transistors *FinFET* sur la dégradation *BTI* étudié par le concept et le protocole de la technique «*extended Measur-Stress-Measure (eMSM)*».

Il a été observé que la dégradation *NBTI* est moins sévère lors de l'augmentation de la hauteur physique de l'aileron en silicium. L'augmentation de la hauteur de l'aileron se traduit par une densité de défaut inférieure, supposée être liée à un rôle réduit des coins et/ou de la surface supérieure de l'aileron défectueux. De plus, les énergies d'activation pour le processus de capture dans les ailerons hauts pendant le stress *NBTI* montrent des valeurs plus faibles tandis que le piégeage de charges dans les ailerons de hauteur standard dépend fortement de la température. Les résultats *PBTI* révèlent un impact similaire, moins sévère, de la hauteur des ailerons, suggérant un impact de la hauteur des ailerons sur la couche *high- κ* , avec une défektivité accrue aux coins et/ou à la surface supérieure des ailerons, dont le rôle effectif est réduit dans le cas d'un aileron plus haut. D'un autre côté, *PBTI* montre une dépendance limitée à la température, indépendamment de la hauteur des ailerons.

4.1 Pièges d'interface induits par le stress *BTS*, et diffusion des espèces H^+ , H et H_2

4.1.1 Modèle

Le modèle *RD* a été développé en supposant que la rupture de liaison *Si-H* à l'interface *Si/SiO₂* libère H^+ ou H [125] selon la réaction électrochimique suivante:



où P_{H^+} et P_H sont les probabilités que la rupture de liaison *Si-H* libère H^+ ou H , respectivement. Cette probabilité dépend de l'énergie du trou, h^+ et de la liaison *Si-H*. la

diffusion de H^+ , H et H_2 , ainsi que la conversion de $H \leftrightarrow H_2$ sont explicitement incorporées dans le cadre du modèle $R-D$ généralisé et décrit par les équations suivantes:

$$\frac{dN_{it}}{dt} = k_f P_H (N_0 - N_{it}^H) + k_f P_{H^+} (N_0 - N_{it}^{H^+}) - k_r N_{it} (P_H N^H(0) + P_{H^+} N^{H^+}(0)) \quad (4.3)$$

$$P_H + P_{H^+} = 1 \quad (4.4)$$

$$N_{it} = N_{it}^H + N_{it}^{H^+} \quad (4.5)$$

$$\frac{dN_H}{dt} = D_H \frac{d^2 N_H}{dx^2} - k_H N_H^2 + k_{H_2} N_{H_2} \quad (4.6)$$

$$\frac{dN_{H_2}}{dt} = D_{H_2} \frac{d^2 N_{H_2}}{dx^2} + \frac{1}{2} k_H N_H^2 - \frac{1}{2} k_{H_2} N_{H_2} \quad (4.7)$$

$$\frac{dH_{H^+}}{dt} = D_H \left(\frac{d^2 N_H}{dx^2} - \alpha \frac{E_{ox}}{V_T} \frac{dH_H}{dx} \right) \quad (4.8)$$

L'équation (4.3) représente la passivation/dé-passivation de la liaison $Si-H$, où, k_f , k_r , N_0 , N_{it} , $N_H(0)$ et $N_{H^+}(0)$ sont définis comme taux de rupture de liaison $Si-H$, taux de recuit de la liaison $Si-H$, densité initiale de liaison $Si-H$ disponibles avant l'application de la contrainte, densité de défauts à l'interface, densité d'hydrogène atomique et densité de protons à l'interface Si/SiO_2 , respectivement. $N_{it}^{H^+}$ et N_{it}^H sont les densités de défauts à l'interface résultant des réactions (4.1) et (4.2). Les équations (4.6) et (4.7) décrivent la diffusion de H et H_2 , respectivement. Les termes $k_H N_H^2$ et $k_{H_2} N_{H_2}$ dans les équations 4.6 et 4.7 correspondent à la conversion $H-H_2$, ici k_H , k_{H_2} , représentent les taux de génération et de dissociation de H_2 ; D_H , D_{H_2} représentent les coefficients de diffusion pour H et H_2 ; N_H , N_{H^+} et N_{H_2} représentent les concentrations de l'atome H , de la charge (proton) H^+ et de la molécule H_2 . E_{ox} est le champ électrique de la contrainte, V_{Th} est le potentiel thermique. $\alpha = 1$ pour $NBTI$ et $\alpha = 0$ pour $PBTI$.

Pendant de longues périodes de stress, l'une des espèces d'hydrogènes diffusantes (H , H^+ et H_2) peut dominer. Cela peut dépendre du processus du dispositif et des conditions de stress (champ, et température de stress).

4.1.2 Simulation

Pour simuler notre modèle, nous avons d'abord déterminé les probabilités P_H et P_{H^+} en utilisant les données expérimentales. Ensuite, nous avons implémenté le système d'équations 4.3 à 4.8 dans le logiciel *COMSOL Multiphysics*[®] [126]. Les résultats ont été comparés aux données expérimentales et présentés sur la figure 4.1 Les données expérimentales des densités des pièges, induit par le stress BTI à l'interface des transistors N

et *PMOS*-1 μ m, sont extraites à la volée en utilisant *OTFIT* [112]. Notre modèle fitte bien les données expérimentales pour les deux types de stress *NBTI* et *PBTI* (voir figure.4.1 (A) et figure.4.1 (B)).

Notez que la relaxation introduite par le signal de la technique de pompage de charge est incluse dans la simulation. Cela démontre la précision du modèle développé pour décrire le stress *BTI*. A notre connaissance, un tel modèle n'existe pas dans la littérature. Les modèles *RD* existants prédisent la diffusion d'une ou deux espèces hydrogénées et ne prédisent pas à la fois l'effet *PBTI* et *NBTI*.

4.1.3 Pièges d'interface

La figure 4.2 donne un exemple de l'évolution temporelle de N_{it} , $N_{it}H$ et $N_{it}H^+$ (liaison pendante de dépassivation $N_{it}H$ et $N_{it}H^+$ par libération H et H^+ , respectivement) pour une contrainte *NBTI* à $T = 100^\circ C$ et $V_s = -9V$. $N_{it}H$ subit un recuit après un temps de contrainte de 100s. Ce comportement affecte l'évolution temporelle de $N_{it}H^+$ en augmentant l'exposant de temps n à un stade précoce de la contrainte (<1000s) de 0,5 à 0,7.

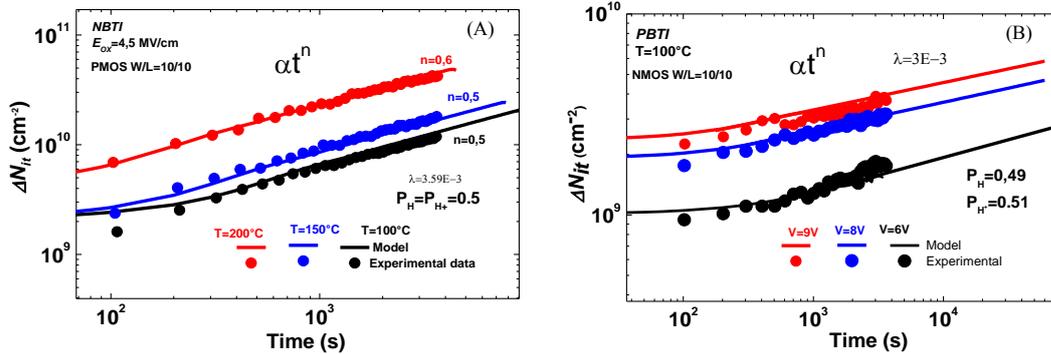


Figure.4.1 : Comparaison du modèle développé et des données expérimentales (A) pour la contrainte *NBTI* (B) pour la contrainte *PBTI*. k_f et k_r sont calculés à partir des équations suivantes: $k_f = (P_s/P_{ref}) k_{f0} \exp(E_{eff}/E_{ox}) * \exp(-E_{af}/KT)$ and $k_r = k_{r0} \exp(-E_{ar}/KT)$, où $P_s = C_{OX}(V_s - V_{th})/q$, $P_{ref} = 10^{20} \text{ cm}^{-3}$, $k_{f0} = 7 \cdot 10^{-3} \text{ s}^{-1}$, $k_{r0} = 3 \cdot 10^{-4} \text{ s}^{-1}$, E_{eff} et E_{ar} sont déterminés à partir de données expérimentales $E_{eff} = 10^6 \text{ V/cm}$, $E_{ar} = E_{af} = 0.2 \text{ eV}$. $k_H = 10^{-11} \text{ cm}^3/\text{s}$ and $k_{H2} = 100 \text{ s}^{-1}$. $D_H = 2,810^{-22} \text{ cm}^2/\text{s}$ et $D_{H2} = 10^{-22} \text{ cm}^2/\text{s}$. [125].

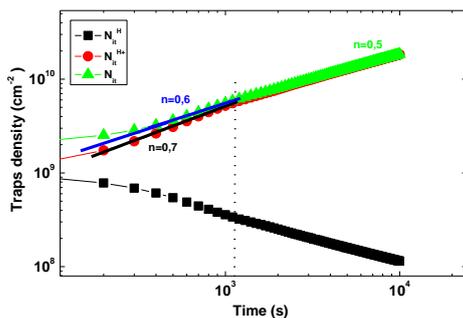


Figure 4.2 : Simulation des pièges d'interface N_{it} générés par la libération H ($N_{it}H$) et H^+ ($N_{it}H^+$) à l'aide du modèle développé pour la contrainte *NBTI* à $T = 100^\circ C$ et $V_s = -9V$ [125].

4.2 Dégradation de la mobilité induite par NBTI

La Figure 4.3(a) donne un exemple des données *OTFIT* expérimentales (voir symboles) pour différents transistors *pMOS* de technologie $0.18 \mu\text{m}$ avec une largeur de grille fixe et différentes longueurs de grille, pour différents temps de contrainte. Toutes les données sont bien ajustées à l'aide de l'équation (3.16). Les paramètres d'ajustement α et λ extraits pour des températures de stress de 100 et 120°C avec une tension de stress $V_S = -2.4\text{V}$ sont représentés sur la figure 4.3 (B). Alors que la figure 4.3 (C) donne la N_{it} extraite (sans la composante géométrique) et τ , en utilisant les équations (3.17) et (3.19), respectivement, il est évident, d'après la figure 4.3 (B, C), que τ , α et λ augmentent pendant la contrainte.

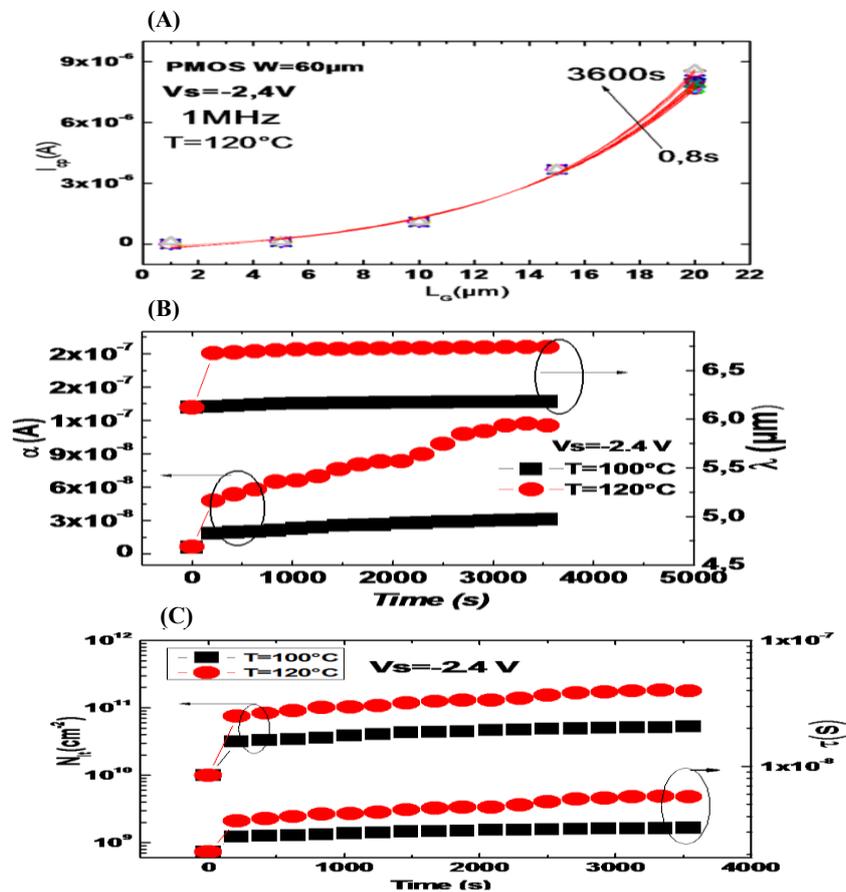


Figure 4.3 : Données *OTFIT* expérimentales, (A) ajustement des données. (B) les paramètres d'ajustement α et λ en fonction du temps de contrainte. (C) Piège d'interface extrait, N_{it} , et τ en fonction du temps de contrainte [127].

Cela signifie que I_{Geo} augmente pendant le stress. Le même comportement (augmentation de la composante géométrique pendant la contrainte) a été précédemment observé pour les dispositifs *MOSFET* de technologie $1 \mu\text{m}$ [109]. L'augmentation de I_{Geo} est

due à la dégradation de la mobilité des porteurs qui est provoquée par la diffusion coulombienne de la charge des pièges générée pendant la contrainte.

La figure 4.4 donne l'évolution de la dégradation de la mobilité ($\Delta\mu/\mu_0$), extraite à l'aide de l'équation (4.9) [110], en fonction de la densité des pièges d'interface induits par *NBTI* (ΔN_{it}), pour une température de stress de 100 ° C et 120 ° C avec une tension de stress de $V_s = -2,4$ V.

$$\frac{\Delta\mu_p}{\mu_{p0}} = \frac{\lambda^2 \tau_0}{\lambda_0^2 \tau} - 1 \quad (4.9)$$

$\Delta\mu/\mu_0$ en fonction du temps de stress est montré à l'intérieur de la figure 4.4 $\Delta\mu/\mu_0$ augmente avec le temps de stress et ΔN_{it} selon la formule 4.10 (voir figure 4.4, ligne continue):

$$\frac{\Delta\mu_p}{\mu_{p0}} = \frac{\alpha_{it} \Delta N_{it}}{1 + \alpha_{it} \Delta N_{it}} \quad (4.10)$$

Cela peut facilement être dérivé d'un modèle empirique de dégradation de la mobilité causée par la diffusion de Coulomb, en raison de la charge des pièges d'interface donnée par [128]:

$$\mu_p = \frac{\mu_{p0}}{1 + \alpha_{it} \Delta N_{it}} \quad (4.11)$$

où α_{it} est le paramètre décrivant l'effet de la charge piégée à l'interface sur la mobilité et il se révèle être presque le même pour les deux dispositifs sous contrainte 100 ° C et 120 ° C (voir figure 4.4). Cela est probablement dû au fait que α_{it} dépend du procédé technologique et ici nous étudions les dispositifs fabriqués par le même procédé de fabrication. En ce qui concerne l'observation expérimentale ci-dessous (augmentation de $\Delta\mu/\mu_0$ avec ΔN_{it} et suivant l'expression, la plus couramment utilisée, pour la modélisation de la dégradation de la mobilité induite par le stress (équation (4.11)), nous pouvons conclure que l'équation (4.9) pourrait être utilisée pour estimer la dégradation de la mobilité par les méthodes basées sur la technique *CP* [128].

Cette méthode est bien connue par sa précision pour estimer les pièges d'interface induits par le stress. Ainsi, avec ce travail, l'extraction des informations supplémentaires sur la dégradation induite par le stress (dégradation de la mobilité induite par le stress) sont possibles en utilisant les méthodes basées sur la *CP* telle que *OTFIT*.

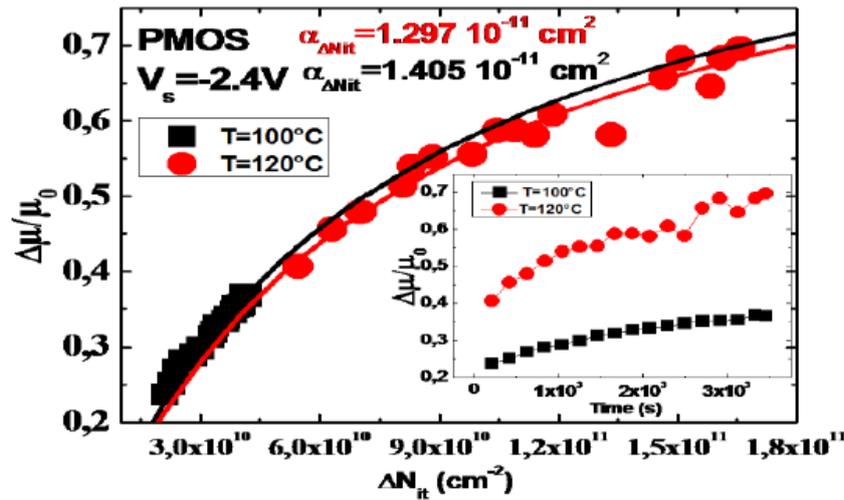


Figure 4.4 : Dégradation de la mobilité induite par *NBTI* et extraite par la méthode proposée (section 3.1.2) en fonction (ΔN_{it}). La dégradation de la mobilité extraite en fonction du temps de contrainte est également représentée dans l'encart.

4.3 Mesure rapide de la dégradation *NBTI* dans les dispositifs *pMOSFET*

La figure 4.5 présente les résultats *MSM* en utilisant les caractérisations I_d-V_g classiques et rapides. Les deux techniques montrent la dépendance temporelle *NBTI* dans les dispositifs *p-MOSFET*. La caractérisation rapide de I_d-V_g nous permet d'étudier des intervalles de temps plus petits par rapport à l'intervalle classique [120], [121].

De plus, la nouvelle technique a prouvé que le *NBTI* dépend fortement du temps de stress. Il est clair que, plus la contrainte est élevée, plus le shift de la tension de seuil ΔV_{th} résultant est important et le courant *ON* du dispositif I_{on} est moins important, mais cela se dégrade à cause des dégradations de mobilité (μ/μ_0). Ici, nous pouvons dire cela; outre la dépendance à la température du courant de coupure (*cut-off*), le champ de contrainte *NBTI* fournit également un courant de fuite dans les dispositifs *p-MOSFET*. D'autre part, la figure 4.6 présente la dérive de la tension de seuil (ΔV_{th}) en fonction du temps pour différents champs de stress. Ces mesures résultent d'un protocole *MSM* de 1h (3600s), avec un temps de stress $t_s = 100s$ avant chaque mesure. La technique mise en œuvre est la caractérisation régulière I_d-V_g , en utilisant Agilent 4156C.

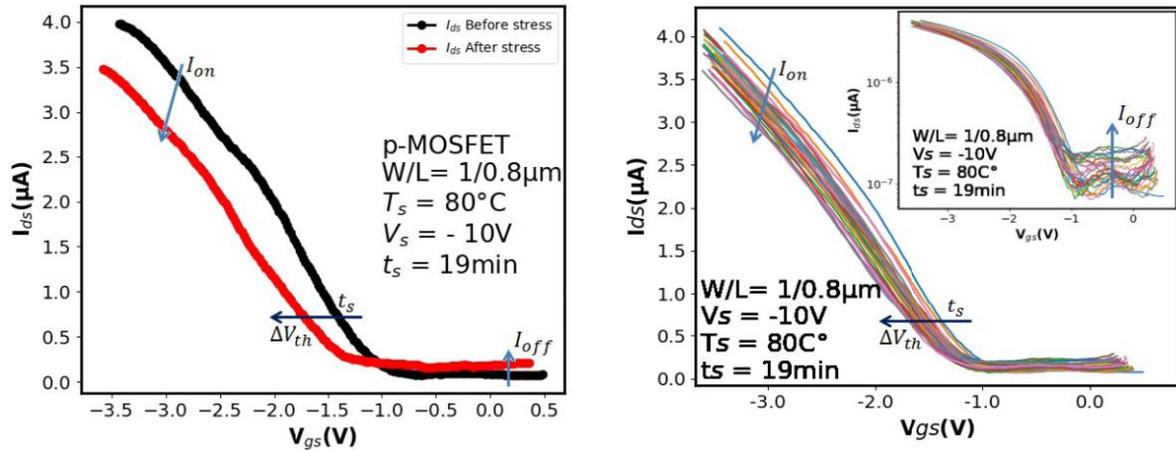


Figure 4.5 : Courbes caractéristiques classiques $I-V$ (droite) et $I-V$ rapides (gauche) en fonction du temps de contrainte (t_s) dans des conditions *NBTI* ($T = 80\text{ }^\circ\text{C}$, $V = -10\text{V}$ and $t_s = 19\text{ min}$); sur le dispositif *p-MOSFET* ($W_m = 1\text{ }\mu\text{m}$, $L_m = 0.8\text{ }\mu\text{m}$ et $t_{ox} = 20\text{ nm}$) mesuré à $V_{ds} = 50\text{ mV}$.

Il est clair que la technique régulière montre la dépendance temporelle avec un exposant de temps $0,25 < n < 0,37$. Mais, cet exposant de temps n'est pas clair à la première étape; appelée «dégradation rapide». En fait, il montre un saut à la place; à ce niveau, qui n'a pas pu être interprété ($n \gg 1$). Ainsi, pour minimiser le recouvrement de la dégradation du *NBTI*, une caractérisation rapide de $I_d - V_g$ a été proposée.

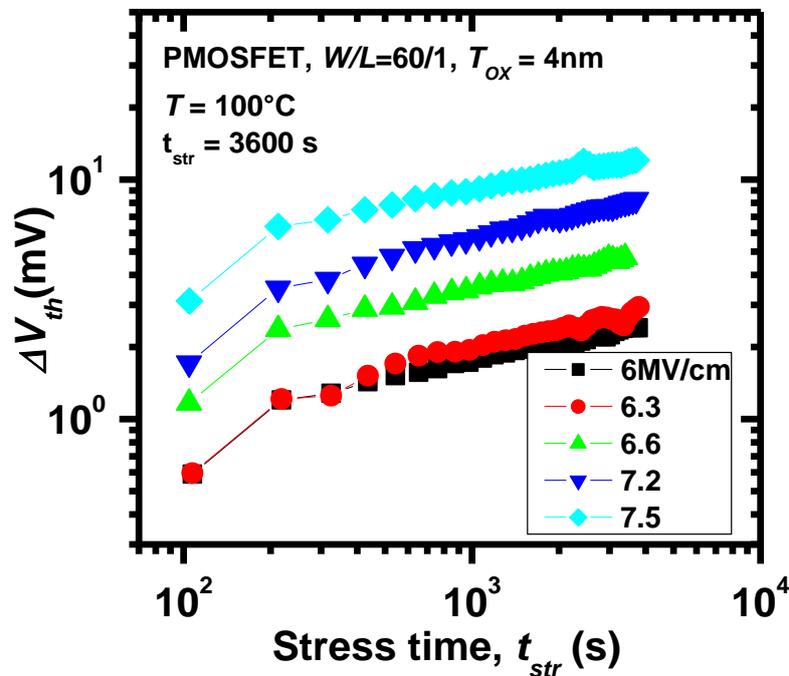


Figure 4.6 : Dérive de la tension de seuil (ΔV_{th}) en fonction du temps pour une durée de stress de $t_s = 3600\text{ s}$ (des mesures ont été prises chaque 100 s); sous la température de stress $T_s = 100\text{ }^\circ\text{C}$; pour E_{ox} de 6 à 7,5 MV/cm ; avec la présentation d'exposant n ; sur un dispositif *p-MOSFET* de technologie $0.18\text{ }\mu\text{m}$ avec ($W_m = 60\text{ }\mu\text{m}$, $L_m = 1\text{ }\mu\text{m}$ et $t_{ox} = 4\text{ nm}$).

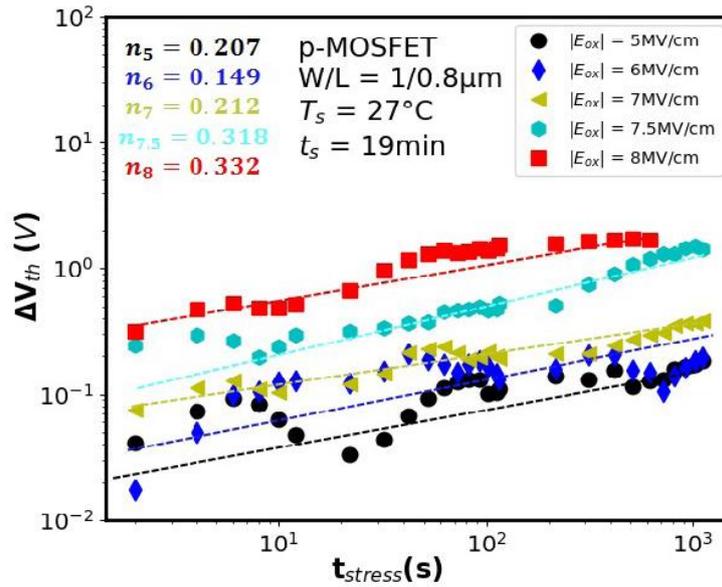


Figure 4.7 : ΔV_{th} en fonction du temps pour une durée de stress de $t_s = 19 \text{ min}$ sous une température de stress $T_s = 27 \text{ }^\circ\text{C}$; pour différents champs de stress E_{ox} pour le dispositif *p-MOSFET* ($W_m = 1 \mu\text{m}$, $L_m = 0.8 \mu\text{m}$ et $t_{ox} = 20 \text{ nm}$).

L'utilisation de cette technique rapide, permet d'étudier la dégradation du *NBTI* dans de courtes durées de stress [121], c'est-à-dire $t_s \ll 10^2 \text{ s}$. De plus, avec cette technique, nous réduisons le recouvrement, c'est-à-dire que la caractéristique I_{ds} est prise en moins de 10 μs ou 100 ns ailleurs [11]. La figure 4.7 montre la dépendance temporelle du *NBTI* avec un exposant de temps $0,15 < n < 0,33$, ces résultats sont similaires aux autres [129], [130]. En plus de la dépendance temporelle, *NBTI* montre d'autres dépendances; champ électrique et température. Cela dépend fortement du champ électrique de contrainte. Il est bien clair, à partir de la figure 4.7, que plus les contraintes, temps et la température sont importants, plus le shift de la tension de seuil ΔV_{th} est important.

4.4 La dégradation *BTI* pour les transistors *FinFETs*

Ensemble avec l'élément de mémoire à un transistor et à un condensateur (1T-1C), les puces de mémoire dynamique à accès aléatoire (*DRAM*) contiennent une gamme importante de composants logiques qui remplissent plusieurs fonctions, par exemple les amplificateurs de détection, les décodeurs de ligne, le rafraîchissement interne et les transistors d'accès *I/O* (figure 4.8). Depuis la production initiale du *DRAM*, les matériaux d'électrode diélectrique/grille de choix pour la logique de ces dispositifs sont $\text{SiO}_2/\text{Poly-silicium}$ et, plus récemment, $\text{SiON}/\text{Poly-silicium}$. La mise à l'échelle continue des technologies *DRAM* présente plusieurs défis, parmi lesquels la dissipation en puissance de ces périphériques, en

raison de l'épaisseur de la couche d'oxyde toujours plus réduite [131]. L'intégration d'empilements à grille métallique *high- κ* (*HKMG*) dans les périphériques pourrait permettre cette réduction du courant de fuite [132], comme cela a été appliqué à partir du nœud technologique de 45 nm pour les périphériques logiques. Le passage d'une architecture du dispositif *2D* à *3D*, suivie du nœud 22 nm, a permis la mise à l'échelle vers des nœuds inférieurs à 10 nm [133], [134].

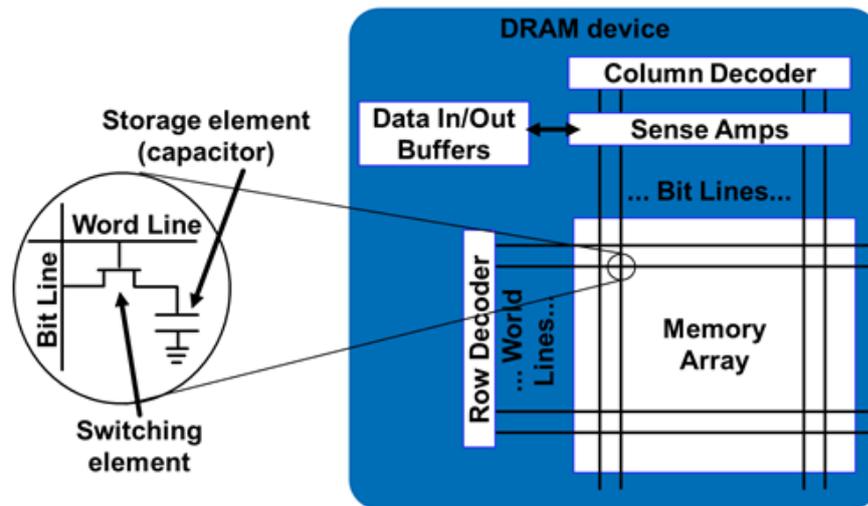


Figure 4.8 : Illustration d'un composant *DRAM*.

Cette recherche envisage de combiner le savoir-faire de ces deux étapes et d'intégrer une combinaison des deux, appliquée à la logique pour les dispositifs de mémoire. En utilisant une nouvelle plate-forme pour la périphérie de la mémoire, basée sur la technologie *HKMG FinFET* rentable personnalisée [131], des performances améliorées du dispositif peuvent être obtenues en augmentant la hauteur des ailerons, offrant ainsi à la fois une surface et une économie d'énergie.

Dans le flux du procédé technologique *DRAM* standard, les dispositifs logiques périphériques sont fabriqués avant l'élément de mémoire, de sorte que ces dispositifs sont soumis à des budgets thermiques importants après la fabrication, pour optimiser le stockage de charge du condensateur. Ce budget thermique est suffisamment élevé pour causer une diffusion élémentaire au sein des empilements de grilles *HKMG* et potentiellement introduire des défis de fiabilité [135]. Auparavant, il a été rapporté que les dispositifs plans (*oxyde épais*), soumis à des budgets similaires (pour les applications périphériques de mémoire), sont vulnérables au *NBTI* [136], [137]. Des travaux antérieurs montrent des performances améliorées [138] sur la réduction de la largeur des ailerons, où une

dégradation moindre, observée dans les ailerons plus étroits, est attribuée à des champs effectifs réduits, qui deviennent limités à mesure que l'aileron devient complètement déserté [138].

Dans cette partie, la dépendance du *BTI* de la hauteur des ailerons des dispositifs *FinFET* pour les transistors à mémoire périphérique est rapportée pour la première fois. Nous étudions la dépendance à la polarisation, de la cinétique de piégeage et dé-piégeage. Cette étude révèle que les dispositifs avec des ailerons plus hauts présentent de meilleures performances *NBTI* et *PBTI*, et les raisons y sont discutées. Nous présentons également la dépendance à la température du décalage V_{th} ; l'aileron plus haut montre une dépendance à la température *NBTI* plus faible avec une énergie d'activation apparente faible et aucune dépendance à la température *PBTI* significative dans une séquence de mesure typique (avec un délai de détection d'environ 1 ms).

4.4.1 Dérive de la tension de seuil et densité de charges piégées

La figure 4.9 montre l'amplitude du shift de la tension de seuil (ΔV_{th}) pendant la contrainte *NBTI* en fonction du temps de contrainte (voir figure 4.9 (A)), et du champ électrique effectif (voir figure 4.9 (B)) durant la contrainte pour les *FinFET pMOS* avec une hauteur standard de l'aileron et une largeur de l'aileron de 35 nm, tandis que le diagramme de bande pendant la contrainte est illustré dans l'encart de la figure 4.9 (B). Dans la figure, les symboles représentent les données mesurées et les traits pleins sont ajustés en utilisant la loi en puissance multivariée, décrite par (4.12) :

$$\Delta V_t = A_1 \cdot t^n \cdot E_{ox}^\gamma \quad (4.12)$$

Les paramètres d'ajustement A_1 , n et γ sont utilisés pour estimer la durée de vie du dispositif sur la base d'un certain critère qui, dans ce cas, a été choisi comme étant une dégradation de 30 mV *NBTI* après 10 ans. La dérive ΔV_{th} a été transformée en ΔN_{eff} comme décrit par (4.13) :

$$\Delta N_{eff} = \Delta V_t C_{ox} / q \quad (4.13)$$

et tracée en fonction du champ de contrainte (à $t \sim 2000$ s, le temps de contrainte maximum utilisé dans cette étude) pour la hauteur standard des ailerons avec différentes largeurs des ailerons (Figure. 4.10). Sur la figure, l'aileron étroit montre une densité de charge piégée plus faible et une plus grande dépendance de la polarisation de celle-ci, reflétant les différentes valeurs atteintes dans l'ajustement de la loi en puissance. De telles observations

ont déjà été rapportées et attribuées à l'impact d'une réduction du champ électrique effectif résultant de l'aileron complètement déserté [138].

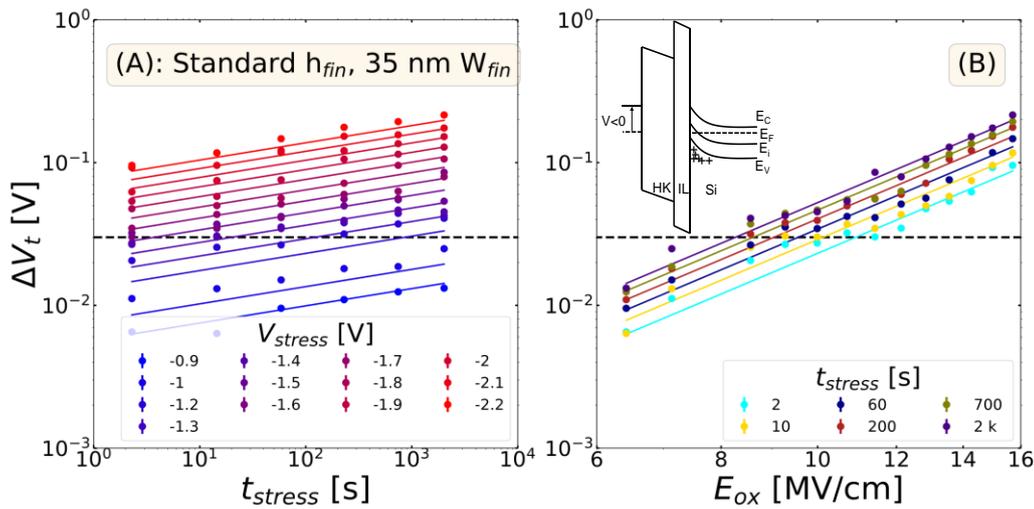


Figure.4.9 : Shift de la tension de seuil induit par NBTI, dépendance du temps (A) et du champ électrique effectif (symboles) (B) à 125 ° C. Les valeurs ΔV_{th} des dispositifs pFET sont ajustées par la loi en puissance multivariée (traits pleins). Le diagramme de bande pendant le stress est montré dans l'encart.

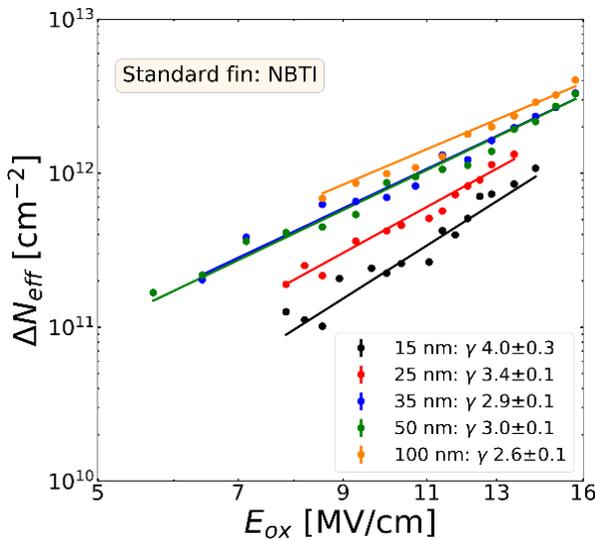


Figure 4.10 : Densité de charges piégées (ΔN_{eff}) en fonction de E_{ox} après une contrainte de 2000 s à 125 °C pour des ailerons à hauteurs standards différentes largeurs d'ailerons examinées. Les lignes pleines montrent l'ajustement de la loi en puissance montrant la réduction de l'exposant de polarisation (γ) avec la diminution de la largeur des ailerons.

4.4.2 Impact de la largeur des ailerons

L'impact de la désertion des ailerons a été exploré en simulant l'électrostatique de tels dispositifs, en utilisant l'outil de solveur Hauser CVC Poisson [139]] pour calculer le champ électrique dans l'oxyde (E_{ox}) en fonction de la tension de grille appliquée, comme le montre la figure 4.11. Étant donné que E_{ox} est une combinaison de contributions de charges de désertion et d'inversion, il peut être décrit comme [138]:

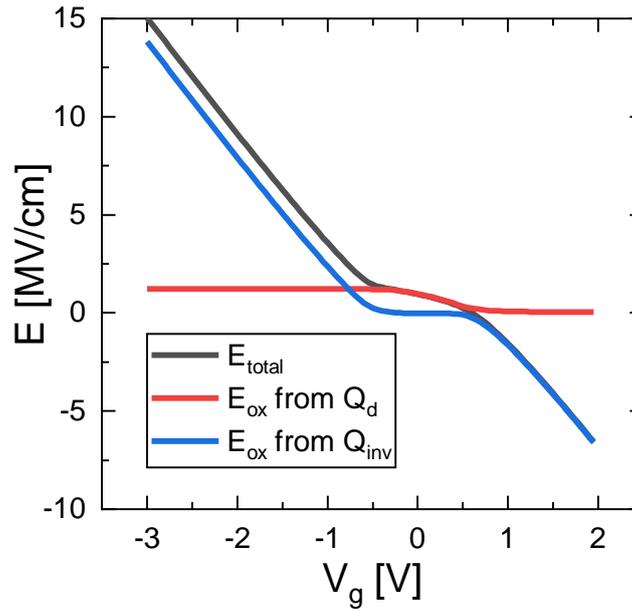


Figure.4.11 : Champ électrostatique calculé pour correspondre aux caractéristiques du dispositif d'un aileron de largeur 100 nm, découpé en contributions des régions de déplétion et d'inversion.

$$E_{ox} = \frac{Q_{inv} + Q_{dep}}{\epsilon_0 \epsilon_r} \quad (4.14)$$

La composante de la charge de désertion peut être calculée comme le produit du dopage des ailerons et de la largeur de la couche de désertion générée par CVC [montré sur la figure 4.12 (A)], tandis que la charge d'inversion est estimée à partir de la différence entre l' E_{ox} total et la charge de désertion respective liée à la contribution des ions fixes du silicium (Figure 4.11). Pour la combinaison dopage, V_{th} et épaisseur d'oxyde, la largeur maximale de désertion est calculée à 33 nm, ce qui implique que tous les ailerons, sauf les 100 nm de large, devraient devenir complètement désertés compte tenu des conditions de la contrainte présentes (comme les ailerons se désertent des deux côtés, Les ailerons de 66 nm de large seraient complètement appauvris).

Étant donné que les ailerons moins larges seront entièrement désertés, la charge de déplétion réelle peut être calculée en tronquant la charge de déplétion à la moitié de la largeur de l'aileron. La combinaison de cette charge avec la charge d'inversion permet de calculer le champ ' E_{ox} réel pour les ailerons totalement désertés [Figure. 4.12(B)], qui est réduit du cas de référence à 100 nm. La dépendance à la contrainte de cette modulation de champ, induite par la largeur des ailerons, est rapportée sur la figure 4.12 (C), où les valeurs de champ électrique sont normalisées à 100 nm (cas non complètement déserté). Il existe une très forte dépendance à la contrainte avec, en effet, jusqu'à 75% de réduction du champ

à V_{th} (c'est-à-dire là où la charge de déplétion représente une grande partie du champ E_{ox}), et une réduction à 10% à une tension d'overdrive de $\sim -2V$ pour l'aileron la plus étroite (c'est-à-dire où le champ E_{ox} est principalement contrôlé par la charge d'inversion).

Les données présentées sur la figure 4.10 n'ont pas pris en compte la correction du champ électrique. En tenant compte de cette correction, les données ΔN_{eff} sont retracés sur la figure 4.13, où le champ est normalisé par rapport à celui de l'aileron de largeur 100 nm (figure 4.12 (C)). En utilisant la loi en puissance et en ajustant les paramètres, les valeurs de ΔN_{eff} sont affichées en lignes continues sur la figure 4.13.

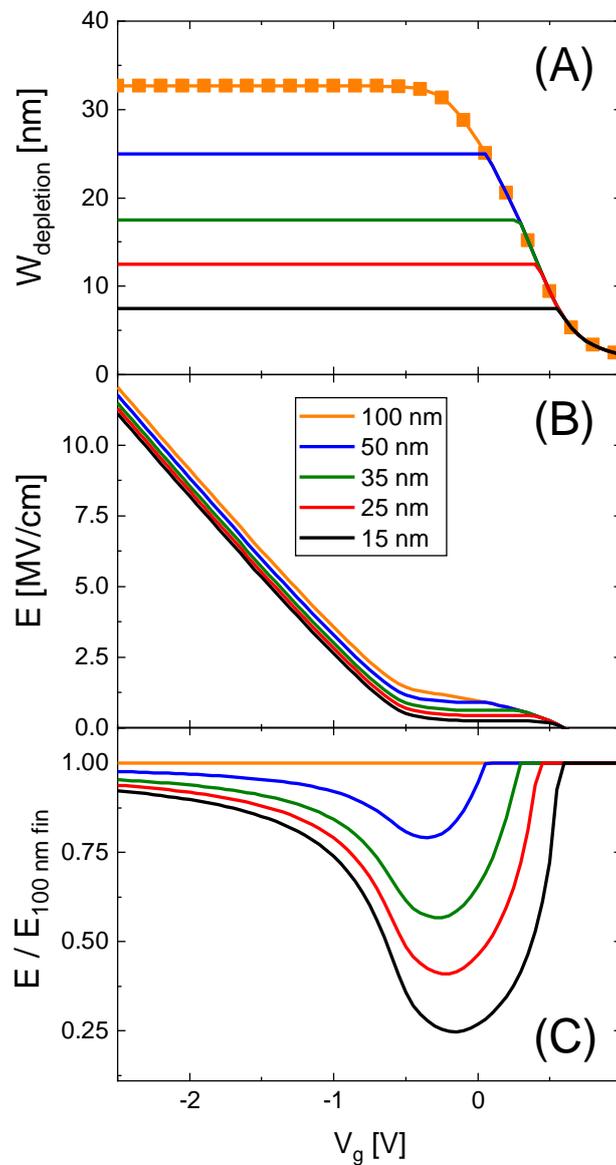


Figure.4.12 : Largeur de déplétion calculée en fonction de la tension, utilisée pour la modulation du champ électrique E_{ox} induit, qui est limitée à des valeurs inférieures correspondant à la largeur des ailerons.

La disparité entre les valeurs ΔN_{eff} mesurées et les lignes continues (correction du champ) est immédiatement évidente sur la figure. Ce qui montre un piégeage de charges inférieur à celui prévu par la projection à partir d'ailerons de largeur 100 nm. Cela suggère une différence fondamentale dans la défektivité (défaillance) du dispositif à ailerons plus étroits, au-delà de la différence induite par la déplétion. Les ailerons inférieurs fonctionnent nettement mieux que les cas plus larges (dont les paramètres d'ajustement de la loi en puissance sont utilisés pour la projection).

4.4.3 Impact de la hauteur des ailerons sur le NBTI

Afin de comparer l'impact de la hauteur des ailerons sur le NBTI, la dépendance en temps et en E_{ox} de la charge efficace piégée est présentée sur la figure 4.14, où une nette réduction de la densité des défauts dans l'aileron haut est observée, ainsi qu'une valeur plus élevée de γ , qui suggère une bande de défauts moins accessible, limitant ainsi le piégeage dans des conditions de polarisation de stress plus faibles. Implicite, pour gamma faible, la densité de défauts est significativement plus réduite, qui sera présent dans les conditions de fonctionnement (<5 MV/cm) pour le cas de l'aileron haut, soulignant l'impact de la hauteur de l'aileron sur les performances NBTI [140].

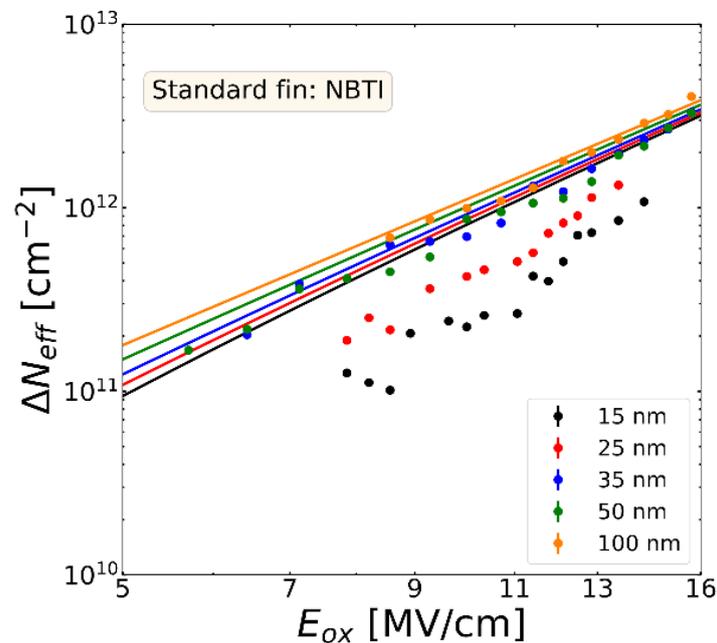


Figure. 4.13 : Densité des pièges à défauts (ΔN_{eff}) en fonction de E_{ox} après une contrainte de 2000 s à 125 °C pour des ailerons de hauteurs standards et différentes largeurs. Les lignes continues montrent la densité estimée des défauts en tenant compte des réductions de champ résultant d'ailerons complètement appauvris (les lignes sont calculées avec les paramètres d'ajustement de la loi en puissance des dispositifs à ailerons larges).

Il est à noter que la dégradation *BTI* en fonction de la largeur pour les ailerons plus hauts suit la tendance de lignes corrigées du champ, contrairement aux ailerons standard (illustrés sur la figure 4.13), qui indiquent la différence de défektivité en fonction de la hauteur des ailerons, et avec des densités plus élevées dans les ailerons plus larges de hauteur standard.

De plus, les courbes de densité de défauts (ΔN_{eff}) en fonction du temps de relaxation pour les deux hauteurs d'ailerons (à largeur et champ de contrainte constants) sont représentées sur la figure. 4.15. Après 2 s de stress *NBTI*, il y a une réduction significative de la densité de défauts effective dans l'aileron plus haute et une cinétique de relaxation similaire pour les deux hauteurs d'ailerons.

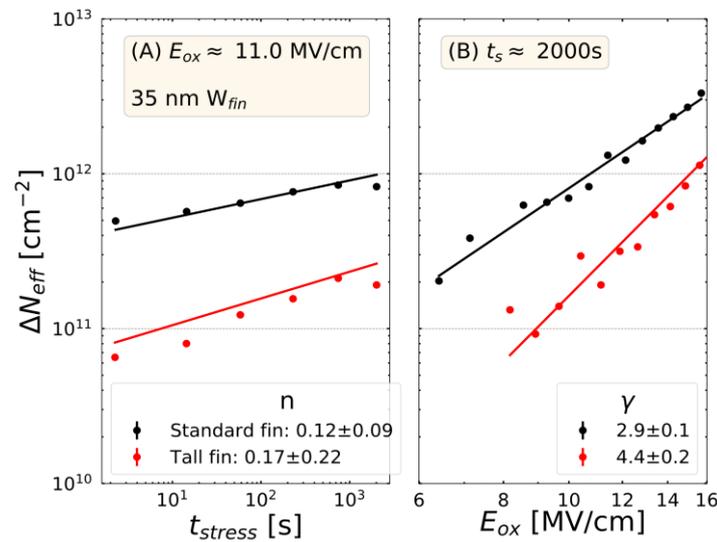


Figure.4.14 : Cinétique de piégeage des charges induites par *NBTI* (ΔN_{eff}) (A) et dépendance de polarisation pour une largeur d'aileron de 35 nm (B) pour des ailerons standard et plus hauts à 125°C . Une nette réduction de la densité des défauts est observée dans les ailerons plus hauts avec une valeur plus élevée de γ , ce qui suggère une bande de défauts moins accessible.

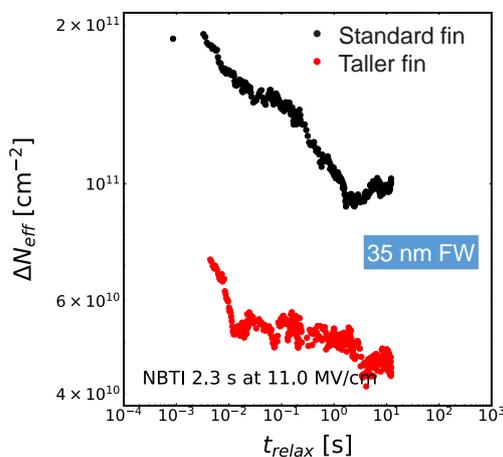


Figure. 4.15 : Densité des défauts (ΔN_{eff}) en fonction du temps de relaxation (après 2 s de contrainte *NBTI* à 125°C). Une densité de défauts plus faible est observée dans les ailerons plus hauts.

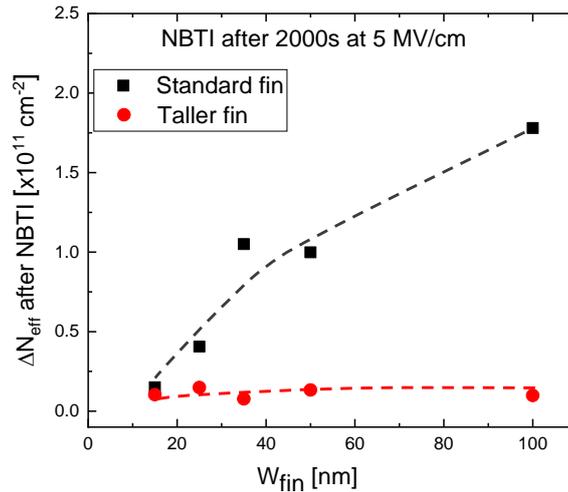


Figure 4.16 : ΔN_{eff} après 2000 s de contrainte *NBTI* à 125 °C sur plusieurs largeurs des ailerons standards et plus hauts. Une différence significative de densité de défauts est observée, indiquant une différence de défauts d'interface/near-interface en fonction de la hauteur des ailerons.

La figure 4.16 montre la densité ΔN_{eff} en fonction de la largeur des ailerons pour les deux hauteurs considérées. Elle est calculée à partir des paramètres d'ajustement de loi en puissance après un fonctionnement de 2000 s à 5 MV/cm. Nous notons que la réduction de ΔN_{eff} pour les ailerons étroits avec deux hauteurs différentes est liée au champ réduit comme décrit ci-dessus. Il est clair que les ailerons plus hauts présentent une densité de défauts plus faible après une contrainte *NBTI* pour toutes les largeurs. Cela indique une différence dans la création des défauts à l'interface et dans l'oxyde près de l'interface (*near-interface*) en fonction de la hauteur des ailerons [141].

Compte tenu de l'impact de la hauteur et de la largeur des ailerons sur ΔN_{eff} (Figures.14-16), il est supposé que cette différence est liée aux coins et/ou à la surface supérieure des ailerons défectueux, dont la contribution effective augmente à la fois avec la largeur des ailerons et avec la réduction de la hauteur. Notons que jusqu'à présent, *NBTI* a déjà été étudié en fonction de l'orientation de la plaquette, de la surface supérieure et de la paroi latérale [142], [143]. Il a été observé que la densité des états d'interface est plus élevée sur la paroi latérale attribuée à la rugosité plus élevée de la paroi latérale de l'aileron.

4.4.4 Activation thermique

Outre la dépendance du champ d'oxyde et du temps de contrainte, la dégradation du *NBTI* est également activée par la température. Pour explorer cet aspect, nous avons effectué des mesures différentes températures (75 - 175 °C) sur plusieurs largeurs et hauteurs d'ailerons (~ 15 dispositifs par dimension d'aileron à chaque température). Il a été démontré

que les défauts d'oxyde individuels ont des énergies d'activation distribuées pour les processus de capture et d'émission de charges [90]. Lorsqu'une population de défauts est sondée simultanément pendant une mesure de *BTI* sur des structures d'essai de grande surface, des tendances de stress/recouvrement lisses sont observées. En suivant la méthodologie proposée dans [92], les cartes de temps d'émission-capture (*CET*) ont été calibrées pour les échantillons de largeur d'aileron de 35 nm et deux hauteurs, puis converties en cartes d'énergies d'activation de capture/émission de défauts en utilisant les relations de (4.15) :

$$\tau_c = \tau_0 \cdot \exp\left(-\frac{E_{ac}}{kT}\right), \quad \tau_e = \tau_0 \cdot \exp\left(-\frac{E_{ae}}{kT}\right), \quad (4.15)$$

où le pré-facteur τ_0 était supposé être de 100 ns [143], comme le montre la figure 4.17

La plage des énergies de capture et d'activation d'émission (E_{ac} et E_{ae} , respectivement), sondées par les mesures *BTI*, dépend des limites inférieure et supérieure du temps de stress (le long de l'axe y) et du temps de relaxation (le long de l'axe x). Les données modélisées montrent le décalage V_{th} correspondant aux défauts avec ces valeurs spécifiques E_{ac} et E_{ae} . La population de défauts observée représente la queue d'une distribution gaussienne bi-variée des énergies d'activation.

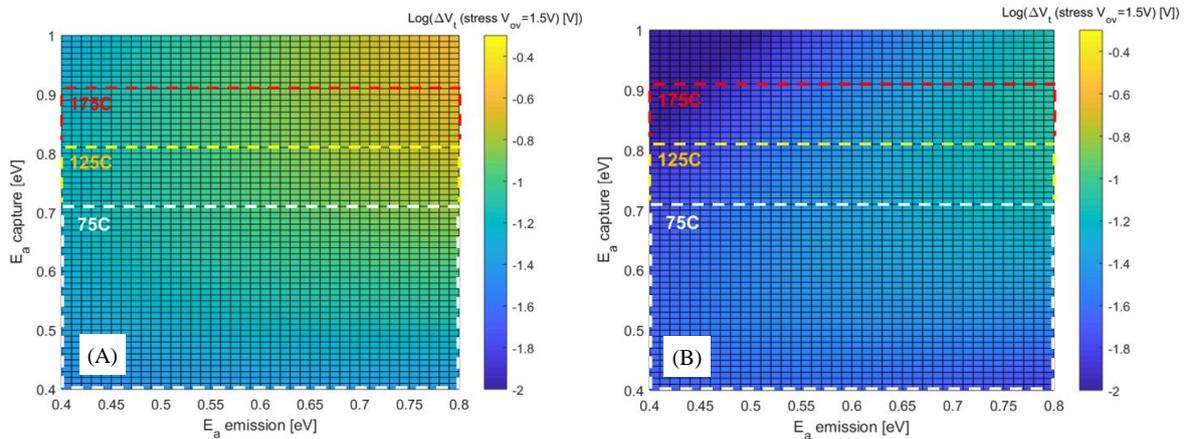


Figure. 4.17 : Carte *CET* pour les ailerons standard (A) et haut (B), montrant la plage des temps de capture et d'émission enregistrés pendant les mesures. L'échelle de couleur est en $\log_{10}(\Delta V_{th})$ et montre un piégeage significativement plus élevé pour la hauteur d'aileron standard que celui haut pour une tension de stress constante ($V_{ov} = 1,5$ V). Les lignes pointillées délimitent la fraction de défauts qui serait chargée après 2 ks de contrainte à 75/125/175 ° C afin d'illustrer la dépendance de ΔV_{th} de la température [141].

Il est évident que, dans la plage d'énergie accessible avec la séquence adoptée de mesure de stress/recouvrement adoptée, les ailerons plus hauts présentent une densité de

défauts fortement réduite; cela aura également des implications sur l'énergie d'activation apparente de ΔV_{th} observée dans les deux structures d'ailerons.

Pour comparer facilement l'ensemble de données exploré dans ce travail, la modulation de V_{th} avec la température est analysée en traçant le temps de contrainte pour atteindre $\Delta V_{th} \sim 50$ mV pour les deux ensembles de données dans un tracé d'Arrhenius (voir équation (4.12)) et en supposant une seule énergie d'activation apparente, comme décrit par :

$$A_1 = A_0 \exp\left(\frac{-E_a}{kT}\right) \quad (4.16)$$

Les résultats sont présentés sur la figure 4.18 (A) pour les ailerons standard et hauts (largeur 35 nm). Nous notons que cette énergie d'activation apparente représente la moyenne pondérée des énergies d'activation d'un seul défaut sondées par les conditions d'essai de stress/recouvrement appliquées, (par exemple, E_{ae} correspondant à 1 ms de temps d'émission et E_{ac} correspondant à 2 ks temps de capture, à chaque température spécifique).

La pente de ce tracé d'Arrhenius est identifiée comme l'énergie d'activation apparente (E_a^*). Un fait intéressant, la valeur de l'aileron plus haut présente une activation moins forte ($\sim 0,5$ eV), tandis que l'aileron standard révèle une dépendance à la température plus élevée; sa valeur E_a^* est $\sim 0,8$ eV. Cette dernière est cohérente avec les couleurs plus lumineuses des régions consultées dans les cartes *CET* (montrées sur la figure 4.17). La figure 4.18(B) montre le tracé d'énergie d'activation conventionnel [7], [144], où le décalage ΔV_{th} de 1 ms (t_{relax}) après 2000 s est comparé à une contrainte constante V_{ov} , et là encore une énergie d'activation apparente plus élevée est observée pour l'aileron standard (140 meV, contre ~ 100 meV pour l'aileron plus haut).

En normalisant cette énergie apparente avec l'exposant de temps (de la figure 4.14), l'équivalence de ces valeurs apparentes d'énergie d'activation sont de l'ordre de $\sim 1,1$ eV et $0,55$ eV pour les ailerons standard et plus hauts, respectivement. Elles sont globalement en accord avec les méthodes de la carte *CET* et l'énergie d'activation de la durée de vie (*TTF*). Cette énergie d'activation apparente plus élevée peut être liée au piégeage de charge plus élevé qui a lieu dans l'aileron standard dans les plages de E_{ac} et E_{ae} accessibles pendant les mesures, et l'apprentissage (qualitatif) qui peut être dérivé du simple Arrhenius ajusté aux données multi-températures.

Représentée en fonction de la largeur des ailerons sur la figure 4.19 et V_{ov} , l'énergie d'activation apparente E_a^* semble indépendante de la largeur des ailerons et de V_{ov} . Cela indique la dominance de la hauteur des ailerons sur la largeur des ailerons en ce qui concerne E_a^* , reflétant la différence significative dans les défauts d'interface/near-interface en fonction de la hauteur des ailerons, avec des densités plus élevées dans le cas des ailerons moins hauts.

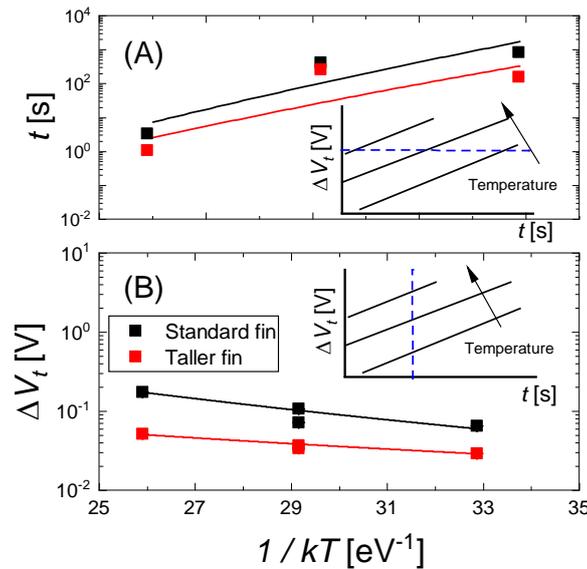


Figure. 4.18 : (A) Diagramme d'Arrhenius pour le temps de contrainte pour atteindre ~ 50 mV V_{th} de dégradation pour l'aileron standard et l'aileron plus haut. Une énergie d'activation inférieure est observée dans le dispositif à ailerons plus haut que celui à ailerons standard. (B) Le graphique d'Arrhenius de ΔV_{th} après une contrainte de 2 ks (et une relaxation de 1 ms) montre une énergie d'activation apparente plus élevée pour l'aileron de hauteur standard. Les encarts des deux figures illustrent l'inter-compatibilité des méthodes de calcul de l'énergie d'activation apparente.

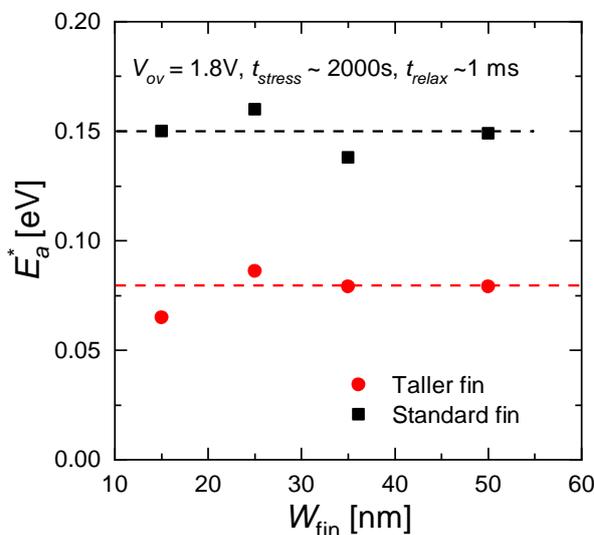


Figure. 4.19 : Énergie d'activation apparente (pour ΔV_{th}) pour les ailerons standards et hauts en fonction de la largeur des ailerons, où des valeurs E_a^* plus faibles sont observées pour les ailerons hauts.

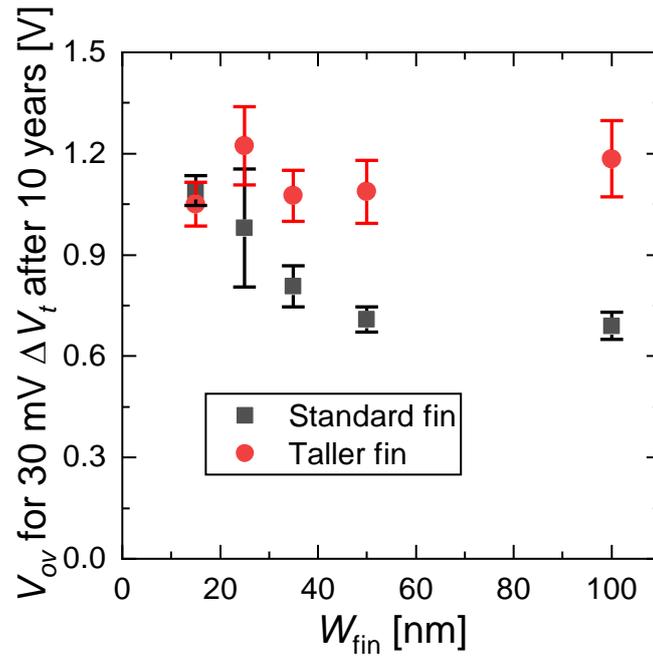


Figure. 4.20 : Tension « overdrive », V_{ov} pour un shift ΔV_{th} de 30 mV induit par *NBTI* après 10 ans, en fonction des largeurs et hauteurs des ailerons. L'aileron le plus haut présente des tensions de fonctionnement prometteuses sur 10 ans, tous les échantillons enregistrent des valeurs supérieures à 1,0 V.

4.4.5 Impact des dimensions des ailerons sur la durée de vie du *NBTI*

Néanmoins, la tension projetée pour atteindre une dégradation de 30 mV de *NBTI* après 10 ans, représentée sur la figure 4.20, montre des valeurs V_{ov} prometteuses (supérieures à 1,0 V) pour les ailerons plus hauts, sur toutes les largeurs d'ailerons, notamment plus élevées que l'aileron standard. En résumé, il y a un impact clair de la hauteur des ailerons sur la densité de défaut effective, qui diminue en augmentant la hauteur des ailerons et induit moins de dégradation avec des caractéristiques *NBTI* améliorées.

4.4.6 *PBTI* : Dérive de tension de seuil

La figure 4.21 montre la dérive de la tension de seuil induite pendant la contrainte *PBTI* pour les *nMOS FinFET* (avec des ailerons de hauteur standard et de largeur de 25 nm). Les symboles représentent les données mesurées et les lignes continues sont les ajustements utilisant la loi en puissance multivariée. Le shift de la tension de seuil est causé par le piégeage de charges négatives pendant la contrainte *PBTI* en mode d'inversion (montré par le diagramme de bande dans l'encart) et suit une loi en puissance, comme le montre la figure. 4.21 (A) et (B) avec le temps et E_{ox} respectivement, suivant (4.12). La dégradation *PBTI* est un phénomène de fiabilité bien connu, il est associé aux empilements logiques

HKMG [63], et ce mécanisme de dégradation est exploré dans les empilements diélectriques soumis à des budgets thermiques *DRAM*.

4.4.7 Impact de la hauteur des ailerons sur le *PBTI*

Sur la figure 4.22, la cinétique de remplissage des défauts et la dépendance à la contrainte (pour 35 nm *FW*) montrent des tendances globalement similaires pour les deux hauteurs d'ailerons, avec une densité plus élevée pour l'aileron standard, ce qui indique des différences dans la densité des défauts dans la couche à *high-κ*. Il est à noter que la dépendance en contrainte du piégeage d'électrons dans les deux hauteurs d'ailerons est assez élevée, ce qui implique des densités de défauts relativement faibles dans les conditions de fonctionnement, bien que davantage réduites pour les structures d'ailerons plus hauts. Ceci est illustré sur la figure 4.23, où les paramètres d'ajustement de la loi en puissance ont été projetés à 5 MV/cm, pour toutes les hauteurs et les largeurs d'ailerons.

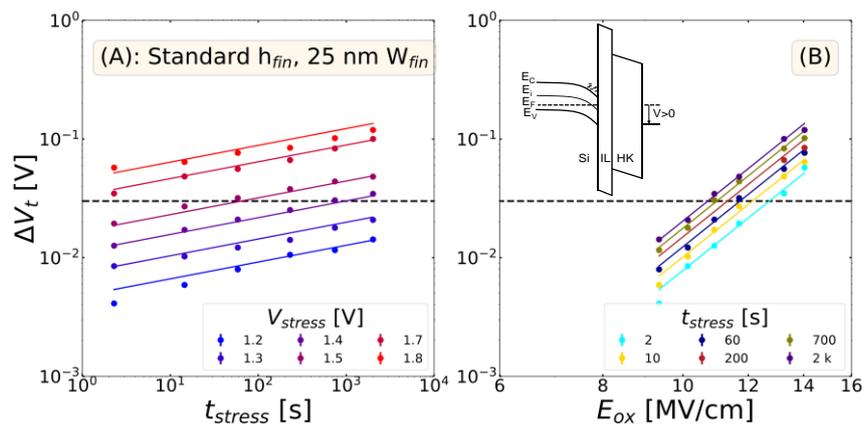


Figure 4.21 : Shift de la tension de seuil induit par *PBTI*, en fonction du temps (A) et du champ électrique effectif (B) (symboles) à 125 °C. Les valeurs ΔV_{th} des dispositifs *nFET* sont ajustées par la loi en puissance multivariée (traits pleins). Le diagramme de bande pendant le stress est illustré à l'intérieur de la figure.

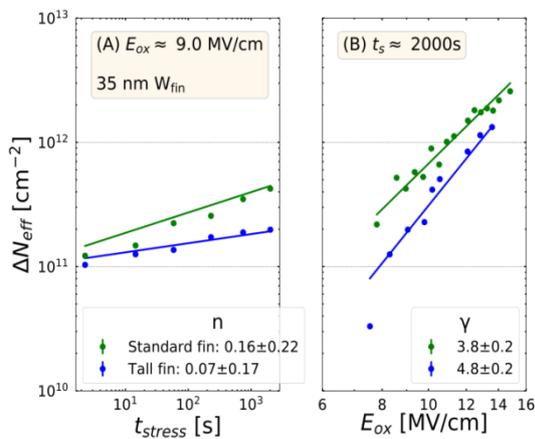


Figure. 4.22 : Charge effective piégée. Induite par *PBTI* (A) La cinétique et (B) la dépendance de la polarisation, pour les ailerons standard et haut avec une largeur de 35 nm, ont un temps et une dépendance en E_{ox} largement similaires dans les deux types d'aileron. Une densité de défauts plus faible est observée pour l'aileron haut à 125 °C.

Pendant le stress *PBTI*, le tracé montre un piégeage de charges 10 fois plus faible que dans le cas du *NBTI* (dans des conditions comparables, figure 4.16). Cependant, des tendances sont similaires que celles du *NBTI* sont observées. ΔN_{eff} inférieure pour les ailerons moins larges et, plus important encore, une ΔN_{eff} inférieure pour les ailerons hauts pour toutes les largeurs des ailerons.

À partir de la figure 4.24, nous pouvons voir une cinétique de relaxation similaire pour les deux ailerons standards et hauts, avec une réduction notable de la densité des pièges pour les ailerons plus hauts, suggérant un piégeage des électrons à partir de défauts avec des temps d'émission similaires dans les deux cas. Étant donné que ces données sont générées après de courtes durées de stress, il est inféré que ces défauts sont préexistants plutôt qu'induits par le stress.

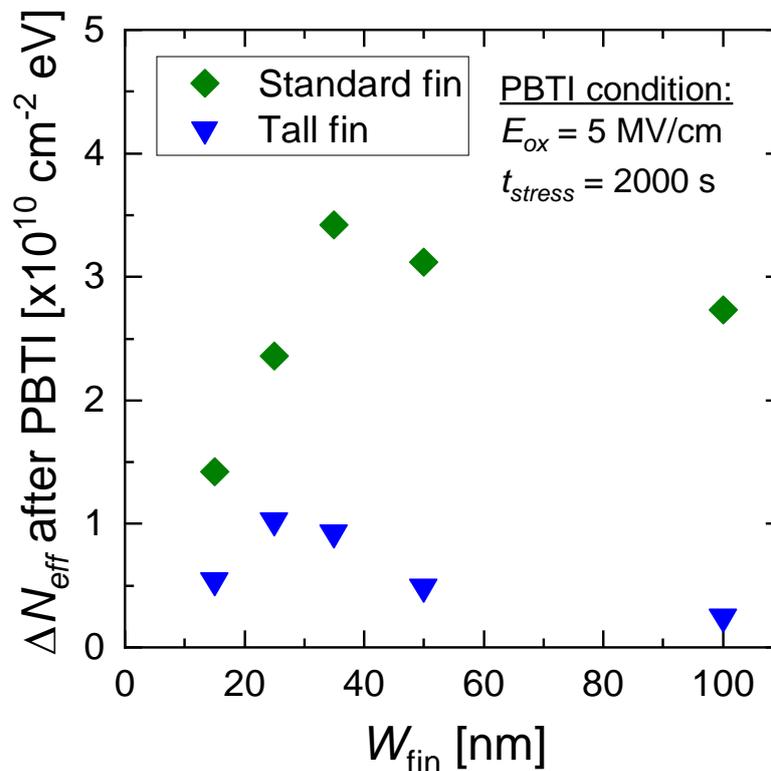


Figure 4.23 : ΔN_{eff} après 2000 s de contrainte *PBTI* à 125 ° C sur toutes les largeurs des ailerons pour les ailerons standards et plus hauts. Une densité de défaut plus élevée est observée pour l'aileron le moins haut, suggérant un rôle du coin de l'aileron et/ou de la surface supérieure sur la couche *high-*

κ .

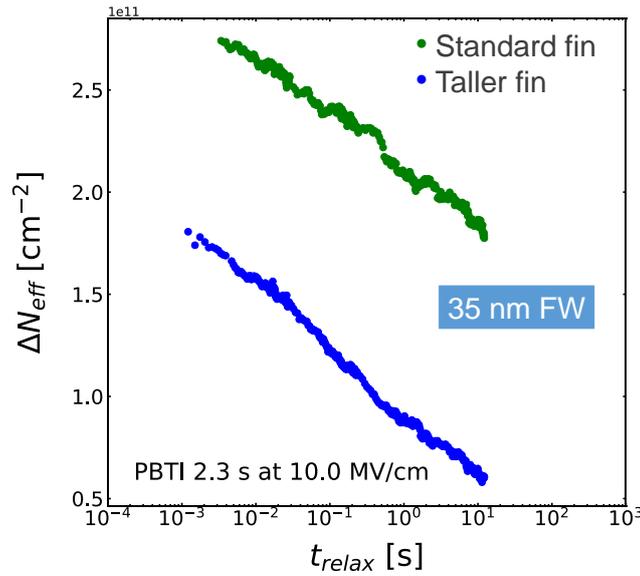


Figure 4.24 : Densité des défauts (ΔN_{eff}) en fonction du temps de relaxation (après 2 s de contrainte *PBTI* à 125 °C). Des cinétiques de relaxation similaires sont observées pour les deux hauteurs ; avec une réduction de la densité des pièges pour l’aileron le plus haut. On suppose que ces pièges sont préexistants, plutôt que dus au stress.

4.4.8 Dépendance de la température

Des mesures *PBTI* sur des *nMOS FinFET* ont été effectuées à plusieurs températures (~ 15 dispositifs par dimension d’aileron à chaque température), et les résultats sont résumés pour un aileron large de 35 nm sur la figure 4.25. ΔV_{th} montre une dépendance limitée de la température avec $E_a^* \sim 0,10$ eV pour la hauteur standard et aucune dépendance significative à la température pour les ailerons hauts avec $E_a^* \sim 0,06$ eV, comme indiqué sur la Figure 4.25.

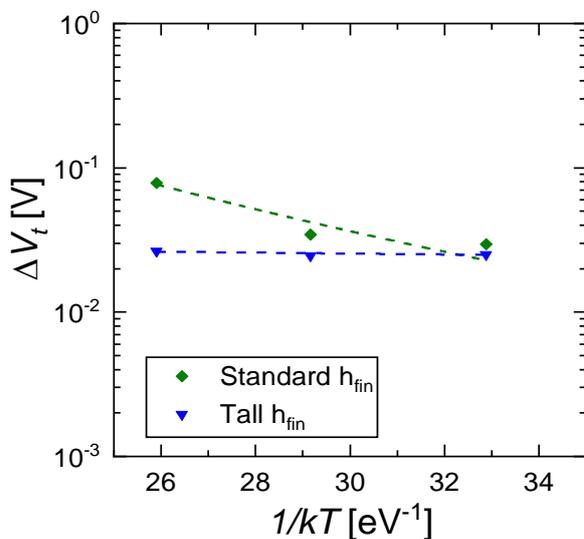


Figure 4.25 : La dépendance à la température du décalage V_{th} pour les *nFET*, avec des ailerons larges de 35 nm et de hauteurs standard et hauts, montre des valeurs d’énergie d’activation apparente plus faibles que celles des dispositifs *pFET* (Figure 4.19).

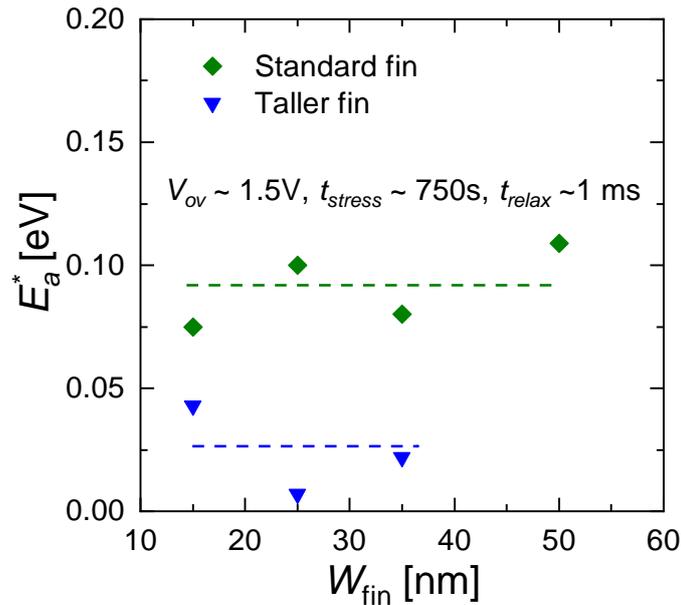


Figure. 4.26 : Dépendance de l'énergie d'activation de la hauteur et de la largeur des ailerons apparente, E_a^* . Cette dernière montre des valeurs inférieures à celles des dispositifs *pFET* (Figure. 4.19).

La mesure sur plusieurs largeurs d'ailerons révèle un modèle similaire, rapporté sur la figure 4.26, avec une activation thermique négligeable dans le cas du *PBTI* (contrairement à la dégradation *NBTI* rapportée ci-dessus), avec des valeurs E_a^* légèrement plus élevées pour l'aileron standard que celui haut. Pour résumer, les caractéristiques prometteuses du *PBTI* sont mesurées pour toutes les hauteurs et largeurs d'ailerons, ce qui suggère que la dégradation *NBTI* est très importante pour de tels dispositifs avec moins sévérité pour les ailerons hautes.

4.5 Conclusion

Ce chapitre est consacré à la présentation des résultats expérimentaux de notre contribution à l'étude de la dégradation *BTI* sur les dispositifs *MOSFET* et *FinFET*. Dans un premiers temps, nous avons montré que l'augmentation des pièges d'interface est due à la diffusion d'espèces hydrogénées. Cette validation est basée sur l'introduction du modèle *RD* généralisé contenant toutes les espèces d'hydrogène. Par la suite, nous avons présenté notre contribution concernant l'extraction la dégradation de la mobilité induite par le *NBTI* tout en se basant sur l'utilisation de la composante géométrique du pompage de charge *CP*. Puis, nous avons présenté quelques résultats sur la dégradation induit par le *NBTI* dans les dispositifs *pMOSFET*, en utilisant un protocole *MSM* basé sur la technique de mesure I_d-V_g rapide.

En outre, nous avons présenté des résultats de notre étude sur la fiabilité des dispositifs *FinFET*, avec des budgets thermiques compatibles pour les composants logiques à transistors périphériques *DRAM* et notamment la dépendance de la hauteur des ailerons a été discutée. Un *NBTI* amélioré a été démontré pour les ailerons plus hauts sur toutes les largeurs d'ailerons. Nous pensons que cela est lié à une défectuosité plus élevée dans les coins et/ou la surface supérieure des ailerons, qui jouent un rôle de plus en plus dominant pour les ailerons moins hauts. De plus, les résultats expérimentaux montrent des énergies d'activation plus élevées pour les ailerons standards (moins hauts) comparés à celles des ailerons hauts. Le *PBTI* montre une tendance similaire à l'augmentation de la hauteur des ailerons, bien qu'avec peu de dépendance de la température significative. Enfin, des caractéristiques *BTI* prometteuses peuvent être obtenues en augmentant la hauteur physique des ailerons sans compromettre leur fiabilité.

Conclusion Générale et Perspectives

Conclusion générale et perspectives

Nous avons présenté, dans ce manuscrit, un travail de thèse consacré au domaine de la caractérisation de la fiabilité des transistors *MOS* et *FinFET*. Au cours de ce travail, nous avons choisi d'étudier en particulier la dégradation *BTI*. Ainsi, nous avons contribué aux méthodes électriques et d'extraction des paramètres de la dégradation *BTI* des dispositifs *MOSFET* et *FinFET*.

Dans un premier temps, nous avons abordé les principes physiques de fonctionnement d'un transistor *MOSFET* ainsi que la technologie ayant un oxyde de grille de type *high- κ* et de grille de type métal et la technologie *FinFET*. Nous avons introduit la fiabilité des transistors ainsi que le phénomène de la dégradation *BTI*. Nous avons présenté les divers types de charges et défauts qui peuvent être générés par le stress *BTI* lors du fonctionnement du transistor. En second lieu, nous avons donné un aperçu sur la modélisation de la dégradation *BTI* et les différents modèles existants jusqu'à présent ainsi que leurs critiques.

Par la suite, nous avons exposé l'aspect pratique des différentes techniques de caractérisation de la dégradation *BTI*. Nous avons d'abord décrit les techniques conventionnelles utilisées et développées par l'équipe *FCS* du *CDTA*, telles que le pompage de charge *CP* et les méthodes d'extraction *OTFIT* et *OTFOT*. Nous avons insisté sur l'importance des mesures rapides pour la détermination correcte des durées de vie des dispositifs. Notre apport a consisté en la mise en œuvre de la technique de mesure rapide I_d-V_g basée sur un amplificateur transimpédance. Nous avons pu avoir des temps de mesure d'environ 10 μs et un protocole de *Stress-Measure-Stress* approprié à cette technique pour les deux technologies CMOS 1 μm et 0.18 μm . En outre, nous avons présenté le concept et le protocole de la technique « *extended Measure-Stress-Measure (eMSM)* » utilisée pour l'étude de l'impact des dimensions des transistors *FinFET* sur la dégradation *BTI*. Cette technique est basée sur un temps de mesure très court de l'ordre de 1ms et elle fournit aussi une quantité significative d'informations sur le comportement de la relaxation *BTI*.

Ces techniques de caractérisation et méthodes d'extraction nous ont permis d'obtenir des résultats expérimentaux qui sont résumés comme suit :

- La dégradation des pièges d'interface, causée par le stress *NBTI* dans les *pMOSFET*, 1 μm , est due à la diffusion des espèces d'hydrogène dans les

structures. Cette observation est validée par une simulation numérique introduisant le modèle *RD* généralisé contenant toutes les espèces d'hydrogène.

- La dégradation de la mobilité induite par le *NBTI*, extraite par l'utilisation de la composante géométrique du courant de pompage de charge, a montré une parfaite corrélation avec celle extraite par la méthode classique.
- Le développement et l'implémentation de la technique de mesure rapide, basée sur un ampli-op transimpédance, a permis l'extraction précoce de la dégradation *NBTI* sur les dispositifs *pMOSFET* avec des temps de mesure de l'ordre de 10 μ s.
- Finalement, l'étude de l'effet de la hauteur des ailerons sur le *BTI* dans les dispositifs *FinFET* a montré que les ailerons hauts présentent une sensibilité moindre au *BTI* comparés aux ailerons standards (moins hauts). Ce phénomène est certainement lié à une défektivité plus élevée dans les coins et/ou la surface supérieure remarquée dans les ailerons standards. De plus, les énergies d'activation sont plus élevées pour les ailerons standards que pour les ailerons hauts. Ainsi, il est possible de réduire la dégradation *BTI* dans les *FinFET* et améliorer leur fiabilité par l'optimisation de la hauteur physique des ailerons.

En perspective, il sera intéressant de compléter cette étude par des mesures plus rapides en diminuant non seulement le temps de mesure, mais aussi le basculement (*switch*) entre le stress et la mesure. Ceci permettra de réduire le phénomène de relaxation pour capturer une quantité la plus effective possible de la dégradation *BTI*. L'objectif visé est de développer un modèle plus précis qui permettra une bonne prédiction de la durée de vie des composants. De plus, nous prévoyons d'étudier d'autres types de dégradation sur des dispositifs de petits tailles, tels que le *RTN*, le *SILC*, etc.

Bibliographie

- [1] D. Kahng, "Silicon-silicon dioxide field induced surface devices," 1960.
- [2] H. Mathieu, "Physique des semiconducteurs et des composants électroniques," 1987.
- [3] G. E. Moore, "Cramming more components onto integrated circuits, Reprinted from Electronics, volume 38, number 8, April 19, 1965, pp. 114 ff.," *IEEE solid-state circuits Soc. Newsl.*, vol. 11, no. 3, pp. 33–35, 2006.
- [4] ITRS, "International Technology Roadmap for Semiconductors: Process Integration, Devices, and Structures," *Int. Technol. roadmap Semicond.*, p. 28, 2009, [Online]. Available: www.itrs.net
- [5] K. O. Jeppson and C. M. Svensson, "Negative bias stress of MOS devices at high electric fields and degradation of MNOS devices," *J. Appl. Phys.*, vol. 48, no. 5, pp. 2004–2014, 1977.
- [6] D. K. Schroder, "Negative bias temperature instability: What do we understand?," *Microelectron. Reliab.*, vol. 47, no. 6, pp. 841–852, 2007.
- [7] V. Huard, M. Denais, and C. Parthasarathy, "NBTI degradation: From physical mechanisms to modelling," *Microelectron. Reliab.*, vol. 46, no. 1, pp. 1–23, 2006.
- [8] T. Aichinger, M. Nelhiebel, and T. Grasser, "Unambiguous identification of the NBTI recovery mechanism using ultra-fast temperature changes," in *2009 IEEE International Reliability Physics Symposium*, 2009, pp. 2–7.
- [9] J. H. Stathis and S. Zafar, "The negative bias temperature instability in MOS devices: A review," *Microelectron. Reliab.*, vol. 46, no. 2–4, pp. 270–286, 2006.
- [10] T. Grasser, B. Kaczer, W. Goes, T. Aichinger, P. Hehenberger, and M. Nelhiebel, "A two-stage model for negative bias temperature instability," in *2009 IEEE international reliability physics symposium*, 2009, pp. 33–44.
- [11] M.-F. Li, D. Huang, C. Shen, T. Yang, W. J. Liu, and Z. Liu, "Understand NBTI mechanism by developing novel measurement techniques," *IEEE Trans. Device Mater. Reliab.*, vol. 8, no. 1, pp. 62–71, 2008.
- [12] C. Shen, M.-F. Li, C. E. Foo, T. Yang, D. M. Huang, A. Yap, G. S. Samudra, and Y.-C. Yeo, "Characterization and physical origin of fast V_{th} transient in NBTI of pMOSFETs with SiON dielectric," in *2006 International Electron Devices Meeting*, 2006, pp. 1–4.
- [13] V. D. Maheta, E. N. Kumar, S. Purawat, C. Olsen, K. Ahmed, and S. Mahapatra, "Development of an Ultrafast On-the-Fly IDLIN Technique to Study NBTI in Plasma and Thermal Oxynitride p-MOSFETs," *IEEE Trans. Electron Devices*, vol. 55, no. 10, pp. 2614–2622, 2008.
- [14] M. Denais, "Etude des phénomènes de dégradation de type Negative Bias Temperature Instability (NBTI) dans les transistors MOS submicroniques des filières CMOS avancées." p. Ph.D. dissertation, 2005.
- [15] S. M. Sze, *Semiconductor devices: physics and technology*. John wiley & sons, 2008.
- [16] J.-P. Colinge and C. A. Colinge, *Physics of semiconductor devices*. Springer Science & Business Media, 2005.
- [17] P. K. McLarty, S. Cristoloveanu, O. Faynot, V. Misra, J. R. Hauser, and J. J. Wortman, "A simple parameter extraction method for ultra-thin oxide MOSFETs," *Solid. State. Electron.*, vol. 38, no. 6, pp. 1175–1177, 1995.
- [18] G. Reichert and T. Ouisse, "Relationship between empirical and theoretical mobility models in silicon inversion layers," *IEEE Trans. Electron Devices*, vol. 43, no. 9, pp. 1394–1398, 1996.

- [19] M. Tang, F. Prégaldiny, C. Lallement, and J.-M. Sallese, "Explicit compact model for ultranarrow body FinFETs," *IEEE Trans. Electron Devices*, vol. 56, no. 7, pp. 1543–1547, 2009.
- [20] K. Björkqvist and T. Arnborg, "Short channel effects in MOS-transistors," *Phys. Scr.*, vol. 24, no. 2, p. 418, 1981.
- [21] H. S. Lee, "An analysis of the threshold voltage for short-channel IGFET's," *Solid State Electron.*, vol. 16, no. 12, pp. 1407–1417, 1973.
- [22] R. R. Troutman, "VLSI limitations from drain-induced barrier lowering," *IEEE J. Solid-State Circuits*, vol. 14, no. 2, pp. 383–391, 1979.
- [23] J. R. Pfister, L. C. Parrillo, and F. K. Baker, "A Physical Model for Boron Penetration Through Thin Gate Oxides from p+ Polysilicon Gates," *IEEE Electron Device Lett.*, vol. 11, no. 6, pp. 247–249, 1990.
- [24] T. A. Aoyama, K. Suzuki, H. Tashiro, Y. Tada, H. Arimoto, and K. Horiuchi, "Flatband voltage shift in PMOS devices caused by carrier activation in p+-polycrystalline silicon and by boron penetration," *IEEE Trans. Electron Devices*, vol. 49, no. 3, pp. 473–480, 2002.
- [25] C. Auth, "45nm high-k+ metal gate strain-enhanced CMOS transistors," in *2008 IEEE Custom Integrated Circuits Conference*, 2008, pp. 379–386.
- [26] M. Bohr, "The evolution of scaling from the homogeneous era to the heterogeneous era," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, pp. 1–6, 2011.
- [27] T. K. Liu, "FinFET history, fundamentals and future," 2012.
- [28] X. Huang, W. C. Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y. K. Choi, K. Asano, V. Subramanian, T. J. King, J. Bokor, and C. Hu, "Sub 50-nm FinFET: PMOS," *Tech. Dig. - Int. Electron Devices Meet.*, pp. 67–70, 1999.
- [29] D. McGrath, "Globalfoundries looks leapfrog fab rivals with new process," *EE Times*, 2012.
- [30] R. Merritt, "TSMC taps ARM's V8 on road to 16-nm FinFET," *EE Times*, 2012.
- [31] T.-J. King, "FinFETs for nanoscale CMOS digital integrated circuits," in *ICCAD-2005. IEEE/ACM International Conference on Computer-Aided Design, 2005.*, 2005, pp. 207–210.
- [32] L. Dhulipalla and A. L. Deepak, "Design and implementation of 4-bit ALU using FINFETS for nano scale technology," in *International Conference on Nanoscience, Engineering and Technology (ICONSET 2011)*, 2011, pp. 190–195.
- [33] D. K. Schroder, "Electrical characterization of defects in gate dielectrics," in *Defects in Microelectronic Materials and Devices*, CRC Press, 2008, pp. 135–178.
- [34] M. J. Kirton, M. J. Uren, S. Collins, M. Schulz, A. Karmann, and K. Scheffer, "Individual defects at the Si: SiO₂ interface," *Semicond. Sci. Technol.*, vol. 4, no. 12, p. 1116, 1989.
- [35] A. A. Demkov and O. F. Sankey, "Growth Study and Theoretical Investigation of the Ultrathin Oxide SiO₂-Si Heterojunction," *Phys. Rev. Lett.*, vol. 83, no. 10, p. 2038, 1999.
- [36] C. R. Helms and E. H. Poindexter, "The silicon-silicon dioxide system: Its microstructure and imperfections," *Reports Prog. Phys.*, vol. 57, no. 8, pp. 791–852, 1994.
- [37] R. Jha, J. Gurganos, Y. H. Kim, R. Choi, J. Lee, and V. Misra, "A capacitance-based methodology for work function extraction of metals on high- κ ," *IEEE Electron Device Lett.*, vol. 25, no. 6, pp. 420–423, 2004.
- [38] B. E. Deal, "Standardized terminology for oxide charges associated with thermally oxidized silicon," *IEEE Trans. Electron Devices*, vol. 27, no. 3, pp. 606–608, 1980.
- [39] E. H. Snow, A. S. Grove, B. E. Deal, and C. T. Sah, "Ion transport phenomena in insulating

- films,” *J. Appl. Phys.*, vol. 36, no. 5, pp. 1664–1673, 1965.
- [40] S. P. Karna, A. C. Pineda, R. D. Pugh, W. M. Shedd, and T. R. Oldham, “Electronic structure theory and mechanisms of the oxide trapped hole annealing process,” *IEEE Trans. Nucl. Sci.*, vol. 47, no. 6, pp. 2316–2321, 2000.
- [41] R. A. Weeks, “Paramagnetic resonance of lattice defects in irradiated quartz,” *J. Appl. Phys.*, vol. 27, no. 11, pp. 1376–1381, 1956.
- [42] J. P. Campbell, P. M. Lenahan, C. J. Cochrane, A. T. Krishnan, and S. Krishnan, “Atomic-scale defects involved in the negative-bias temperature instability,” *IEEE Trans. Device Mater. Reliab.*, vol. 7, no. 4, pp. 540–557, 2007.
- [43] W. Shockley and W. T. Read Jr, “Statistics of the recombinations of holes and electrons,” *Phys. Rev.*, vol. 87, no. 5, p. 835, 1952.
- [44] D. K. Schroder and J. A. Babcock, “Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing,” *J. Appl. Phys.*, vol. 94, no. 1, pp. 1–18, 2003.
- [45] Y. Nishi, “Study of silicon-silicon dioxide structure by electron spin resonance I,” *Jpn. J. Appl. Phys.*, vol. 10, no. 1, p. 52, 1971.
- [46] E. H. Poindexter, P. J. Caplan, B. E. Deal, and R. R. Razouk, “Interface states and electron spin resonance centers in thermally oxidized (111) and (100) silicon wafers,” *J. Appl. Phys.*, vol. 52, no. 2, pp. 879–884, 1981.
- [47] A. Stirling, A. Pasquarello, J.-C. Charlier, and R. Car, “Dangling Bond Defects at Si–SiO₂ Interfaces: Atomic Structure of the P b 1 Center,” *Phys. Rev. Lett.*, vol. 85, no. 13, p. 2773, 2000.
- [48] Y. T. Yeow, D. R. Lamb, and S. D. Brotherton, “An investigation of the influence of low-temperature annealing treatments on the interface state density at the Si-SiO₂,” *J. Phys. D. Appl. Phys.*, vol. 8, no. 13, p. 1495, 1975.
- [49] D. M. Fleetwood, “‘Border traps’ in MOS devices,” *IEEE Trans. Nucl. Sci.*, vol. 39, no. 2, pp. 269–271, 1992.
- [50] D. M. Fleetwood, “Border traps and bias-temperature instabilities in MOS devices,” *Microelectron. Reliab.*, vol. 80, pp. 266–277, 2018.
- [51] D. M. Fleetwood, “1/f noise and defects in microelectronic materials and devices,” *IEEE Trans. Nucl. Sci.*, vol. 62, no. 4, pp. 1462–1486, 2015.
- [52] H. Reisinger, O. Blank, W. Heinrigs, W. Gustin, and C. Schlunder, “A comparison of very fast to very slow components in degradation and recovery due to NBTI and bulk hole trapping to existing physical models,” *IEEE Trans. Device Mater. Reliab.*, vol. 7, no. 1, pp. 119–129, 2007.
- [53] A. S. Foster, F. L. Gejo, A. L. Shluger, and R. M. Nieminen, “Vacancy and interstitial defects in hafnia,” *Phys. Rev. B*, vol. 65, no. 17, p. 174117, 2002.
- [54] G. Ribes, S. Bruyere, D. Roy, C. Parthasarthy, M. Muller, M. Denais, V. Huard, T. Skotnicki, and G. Ghibaudo, “Origin of V_t instabilities in high-k dielectrics Jahn-Teller effect or oxygen vacancies,” *IEEE Trans. Device Mater. Reliab.*, vol. 6, no. 2, pp. 132–135, 2006.
- [55] C. D. Lai, M. Xie, and D. N. P. Murthy, “Ch. 3. bathtub-shaped failure rate life distributions,” *Handb. Stat.*, vol. 20, pp. 69–104, 2001.
- [56] M. Kuhn and D. J. Silversmith, “Ionic contamination and transport of mobile ions in MOS structures,” *J. Electrochem. Soc.*, vol. 118, no. 6, p. 966, 1971.
- [57] P. Balk, “Effects of hydrogen annealing on silicon surfaces,” in *Electrochemical Society*

Spring Meeting, 1965, vol. 14, no. 1, pp. 237–240.

- [58] A. S. Grove, B. E. Deal, E. H. Snow, and C. T. Sah, “Investigation of thermally oxidised silicon surfaces using metal-oxide-semiconductor structures,” *Solid. State. Electron.*, vol. 8, no. 2, pp. 145–163, 1965.
- [59] Y. Miura and Y. Matukura, “Investigation of silicon-silicon dioxide interface using MOS structure,” *Jpn. J. Appl. Phys.*, vol. 5, no. 2, p. 180, 1966.
- [60] A. T. Krishnan, V. Reddy, S. Chakravarthi, J. Rodriguez, S. John, and S. Krishnan, “NBTI impact on transistor and circuit: models, mechanisms and scaling effects [MOSFETs],” in *IEEE international electron devices meeting 2003*, 2003, pp. 14–15.
- [61] K. Mistry, C. Allen, C. Auth, B. Beattie, D. Bergstrom, M. Bost, M. Brazier, M. Buehler, A. Cappellani, and R. Chau, “A 45nm logic technology with high-k+ metal gate transistors, strained silicon, 9 Cu interconnect layers, 193nm dry patterning, and 100% Pb-free packaging,” in *2007 IEEE International Electron Devices Meeting*, 2007, pp. 247–250.
- [62] M. Chudzik, B. Doris, R. Mo, J. Sleight, E. Cartier, C. Dewan, D. Park, H. Bu, W. Natzle, and W. Yan, “High-performance high- κ /metal gates for 45nm CMOS and beyond with gate-first processing,” in *2007 IEEE Symposium on VLSI Technology*, 2007, pp. 194–195.
- [63] R. G. Southwick, A. Sup, A. Jain, and W. B. Knowlton, “An interactive simulation tool for complex multilayer dielectric devices,” *IEEE Trans. Device Mater. Reliab.*, vol. 11, no. 2, pp. 236–243, 2011.
- [64] A. Kerber, E. Cartier, L. Pantisano, R. Degraeve, T. Kauerauf, Y. Kim, A. Hou, G. Groeseneken, H. E. Maes, and U. Schwalke, “Origin of the threshold voltage instability in SiO₂/HfO₂ dual layer gate dielectrics,” *IEEE Electron Device Lett.*, vol. 24, no. 2, pp. 87–89, 2003.
- [65] N. Kimizuka, K. Yamaguchi, K. Imai, T. Iizuka, C. T. Liu, R. C. Keller, and T. Horiuchi, “NBTI enhancement by nitrogen incorporation into ultrathin gate oxide for 0.10- μm gate CMOS generation,” in *2000 Symposium on VLSI Technology. Digest of Technical Papers (Cat. No. 00CH37104)*, 2000, pp. 92–93.
- [66] S. Pae, M. Agostinelli, M. Brazier, R. Chau, G. Dewey, T. Ghani, M. Hattendorf, J. Hicks, J. Kavalieros, and K. Kuhn, “BTI reliability of 45 nm high-K+ metal-gate process technology,” in *2008 IEEE International Reliability Physics Symposium*, 2008, pp. 352–357.
- [67] A. Goetzberger, A. D. Lopez, and R. J. Strain, “On the Formation of Surface States during Stress Aging of Thermal Si-SiO₂ Interfaces,” *J. Electrochem. Soc.*, vol. 120, no. 1, p. 90, 1973.
- [68] S. Ogawa and N. Shiono, “Generalized diffusion-reaction model for the low-field charge-buildup instability at the Si-SiO₂ interface,” *Phys. Rev. B*, vol. 51, no. 7, p. 4218, 1995.
- [69] A. E. Islam, S. Mahapatra, S. Deora, V. D. Maheta, and M. A. Alam, “Essential aspects of negative bias temperature instability (nbt),” *ECS Trans.*, vol. 35, no. 4, p. 145, 2011.
- [70] A. Kerber and E. Cartier, “Bias temperature instability characterization methods,” in *Bias Temperature Instability for Devices and Circuits*, Springer, 2014, pp. 3–31.
- [71] M. A. Alam and S. Mahapatra, “A comprehensive model of PMOS NBTI degradation,” *Microelectron. Reliab.*, vol. 45, no. 1, pp. 71–81, 2005.
- [72] B. Kaczer, V. Arkhipov, R. Degraeve, N. Collaert, G. Groeseneken, and M. Goodwin, “Disorder-controlled-kinetics model for negative bias temperature instability and its experimental verification,” in *2005 IEEE International Reliability Physics Symposium, 2005. Proceedings. 43rd Annual.*, 2005, pp. 381–387.
- [73] M. Houssa, M. Aoulaiche, S. De Gendt, G. Groeseneken, M. M. Heyns, and A. Stesmans,

- “Reaction-dispersive proton transport model for negative bias temperature instabilities,” *Appl. Phys. Lett.*, vol. 86, no. 9, p. 93506, 2005.
- [74] A. E. Islam, H. Kufluoglu, D. Varghese, S. Mahapatra, and M. A. Alam, “Recent issues in negative-bias temperature instability: Initial degradation, field dependence of interface trap generation, hole trapping effects, and relaxation,” *IEEE Trans. Electron Devices*, vol. 54, no. 9, pp. 2143–2154, 2007.
- [75] V. Huard, “Two independent components modeling for negative bias temperature instability,” in *2010 IEEE International Reliability Physics Symposium*, 2010, pp. 33–42.
- [76] P. M. Lenahan, “Atomic scale defects involved in MOS reliability problems,” *Microelectron. Eng.*, vol. 69, no. 2–4, pp. 173–181, 2003.
- [77] A. J. Lelis and T. R. Oldham, “Time dependence of switching oxide traps,” *IEEE Trans. Nucl. Sci.*, vol. 41, no. 6, pp. 1835–1843, 1994.
- [78] S. D. Ganichev, W. Prettl, and I. N. Yassievich, “Deep impurity-center ionization by far-infrared radiation,” *Phys. Solid State*, vol. 39, no. 11, pp. 1703–1726, 1997.
- [79] A. J. Lelis, H. E. Boesch, T. R. Oldham, and F. B. McLean, “Reversibility of trapped hole annealing,” *IEEE Trans. Nucl. Sci.*, vol. 35, no. 6, pp. 1186–1191, 1988.
- [80] T. Grasser, B. Kaczer, W. Goes, T. Aichinger, P. Hehenberger, and M. Nelhiebel, “Understanding negative bias temperature instability in the context of hole trapping,” *Microelectron. Eng.*, vol. 86, no. 7–9, pp. 1876–1882, 2009.
- [81] T. Grasser, H. Reisinger, P.-J. Wagner, F. Schanovsky, W. Göss, and B. Kaczer, “The time dependent defect spectroscopy (TDDS) for the characterization of the bias temperature instability,” in *2010 IEEE International Reliability Physics Symposium*, 2010, pp. 16–25.
- [82] T. Grasser, M. Walzl, Y. Wimmer, W. Goes, R. Kosik, G. Rzepa, H. Reisinger, G. Pobegen, A. El-Sayed, and A. Shluger, “Gate-sided hydrogen release as the origin of “permanent” NBTI degradation: From single defects to lifetimes,” in *2015 IEEE International Electron Devices Meeting (IEDM)*, 2015, pp. 20–21.
- [83] T. Grasser, B. Kaczer, W. Goes, H. Reisinger, T. Aichinger, P. Hehenberger, P.-J. Wagner, F. Schanovsky, J. Franco, and M. T. T. Luque, “The paradigm shift in understanding the bias temperature instability: From reaction–diffusion to switching oxide traps,” *IEEE Trans. Electron Devices*, vol. 58, no. 11, pp. 3652–3666, 2011.
- [84] E. H. Poindexter and W. L. Warren, “Paramagnetic Point Defects in Amorphous Thin Films of SiO₂ and Si₃N₄: Updates and Additions,” *J. Electrochem. Soc.*, vol. 142, no. 7, p. 2508, 1995.
- [85] T. Grasser, “Stochastic charge trapping in oxides: From random telegraph noise to bias temperature instabilities,” *Microelectron. Reliab.*, vol. 52, no. 1, pp. 39–70, 2012.
- [86] T. Grasser, H. Reisinger, K. Rott, M. Toledano-Luque, and B. Kaczer, “On the microscopic origin of the frequency dependence of hole trapping in pMOSFETs,” in *2012 International Electron Devices Meeting*, 2012, pp. 16–19.
- [87] T. Grasser, W. Goes, Y. Wimmer, F. Schanovsky, G. Rzepa, M. Walzl, K. Rott, H. Reisinger, V. V. Afanas’ev, and A. Stesmans, “On the microscopic structure of hole traps in pMOSFETs,” in *2014 IEEE International Electron Devices Meeting*, 2014, p. 21.
- [88] G. Rzepa, M. Walzl, W. Goes, B. Kaczer, J. Franco, T. Chiarella, N. Horiguchi, and T. Grasser, “Complete extraction of defect bands responsible for instabilities in n and pFinFETs,” in *2016 IEEE Symposium on VLSI Technology*, 2016, pp. 1–2.
- [89] K. U. Giering, G. Rott, G. Rzepa, H. Reisinger, A. K. Puppala, T. Reich, W. Gustin, T. Grasser, and R. Jancke, “Analog-circuit NBTI degradation and time-dependent NBTI

- variability: An efficient physics-based compact model,” *IEEE Int. Reliab. Phys. Symp. Proc.*, vol. 2016-Sept, pp. 4C41-4C46, 2016.
- [90] G. Rzepa, J. Franco, B. O’Sullivan, A. Subirats, M. Simicic, G. Hellings, P. Weckx, M. Jech, T. Knobloch, M. Walth, P. J. Roussel, D. Linten, B. Kaczer, and T. Grasser, “Comphy — A compact-physics framework for unified modeling of BTI,” *Microelectron. Reliab.*, vol. 85, no. March, pp. 49–65, 2018.
- [91] T. Grasser, P.-J. Wagner, H. Reisinger, T. Aichinger, G. Pobegen, M. Nelhiebel, and B. Kaczer, “Analytic modeling of the bias temperature instability using capture/emission time maps,” in *2011 International Electron Devices Meeting*, 2011, pp. 24–27.
- [92] T. Grasser, “The capture/emission time map approach to the bias temperature instability,” in *Bias temperature instability for devices and circuits*, Springer, 2014, pp. 447–481.
- [93] N. Parihar, N. Goel, A. Chaudhary, and S. Mahapatra, “A modeling framework for NBTI degradation under dynamic voltage and frequency scaling,” *IEEE Trans. Electron Devices*, vol. 63, no. 3, pp. 946–953, 2016.
- [94] S. Mahapatra, N. Goel, S. Desai, S. Gupta, B. Jose, S. Mukhopadhyay, K. Joshi, A. Jain, A. E. Islam, and M. A. Alam, “A comparative study of different physics-based NBTI models,” *IEEE Trans. Electron Devices*, vol. 60, no. 3, pp. 901–916, 2013.
- [95] S. Mahapatra, A. E. Islam, S. Deora, V. D. Maheta, K. Joshi, A. Jain, and M. A. Alam, “A critical re-evaluation of the usefulness of RD framework in predicting NBTI stress and recovery,” in *2011 International Reliability Physics Symposium*, 2011, pp. 6A–3.
- [96] N. Parihar, U. Sharma, S. Mukhopadhyay, N. Goel, A. Chaudhary, R. Rao, and S. Mahapatra, “Resolution of disputes concerning the physical mechanism and DC/AC stress/recovery modeling of Negative Bias Temperature Instability (NBTI) in p-MOSFETs,” in *2017 IEEE International Reliability Physics Symposium (IRPS)*, 2017, p. XT-1.
- [97] T. Grasser, K. Rott, H. Reisinger, M. Walth, F. Schanovsky, and B. Kaczer, “NBTI in nanoscale MOSFETs—The ultimate modeling benchmark,” *IEEE Trans. Electron Devices*, vol. 61, no. 11, pp. 3586–3593, 2014.
- [98] T. Grasser, M. Walth, G. Rzepa, W. Goes, Y. Wimmer, A.-M. El-Sayed, A. L. Shluger, H. Reisinger, and B. Kaczer, “The ‘permanent’ component of NBTI revisited: saturation, degradation-reversal, and annealing,” in *2016 IEEE International Reliability Physics Symposium (IRPS)*, 2016, pp. 5A–2.
- [99] T. Grasser, M. Walth, K. Puschkarsky, B. Stampfer, G. Rzepa, G. Pobegen, H. Reisinger, H. Arimura, and B. Kaczer, “Implications of gate-sided hydrogen release for post-stress degradation build-up after BTI stress,” in *2017 IEEE International Reliability Physics Symposium (IRPS)*, 2017, pp. 6A–2.
- [100] H. Reisinger, O. Blank, W. Heinrigs, A. Muhlhoff, W. Gustin, and C. Schlunder, “Analysis of NBTI degradation-and recovery-behavior based on ultra fast VT-measurements,” in *2006 IEEE International Reliability Physics Symposium Proceedings*, 2006, pp. 448–453.
- [101] B. Djeddar, H. Tahi, A. Benabdelmoumene, A. Chenouf, and Y. Kribes, “A new method for negative bias temperature instability assessment in P-channel metal oxide semiconductor transistors,” *Jpn. J. Appl. Phys.*, vol. 51, no. 11R, p. 116602, 2012.
- [102] J. S. Brugler and P. G. A. Jespers, “Charge pumping in MOS devices,” *IEEE Trans. Electron Devices*, vol. 16, no. 3, pp. 297–302, 1969.
- [103] W. L. Tseng, “A new charge pumping method of measuring Si- SiO₂ interface states,” *J. Appl. Phys.*, vol. 62, no. 2, pp. 591–599, 1987.
- [104] G. Groeseneken, H. E. Maes, N. Beltran, and R. F. De Keersmaecker, “A reliable approach to

- charge-pumping measurements in MOS transistors,” *IEEE Trans. Electron Devices*, vol. 31, no. 1, pp. 42–53, 1984.
- [105] J. G. Simmons and L. S. Wei, “Theory of dynamic charge current and capacitance characteristics in MIS systems containing distributed surface traps,” *Solid. State. Electron.*, vol. 16, no. 1, pp. 53–66, 1973.
- [106] A. B. M. Elliot, “The use of charge pumping currents to measure surface state densities in MOS transistors,” *Solid. State. Electron.*, vol. 19, no. 3, pp. 241–247, 1976.
- [107] P. Heremans, J. Witters, G. Groeseneken, and H. E. Maes, “Analysis of the charge pumping technique and its application for the evaluation of MOSFET degradation,” *IEEE Trans. Electron Devices*, vol. 36, no. 7, pp. 1318–1335, 1989.
- [108] H. Tahı, B. Djezzar, A. Benabdelmoumene, A. Chenouf, and M. Goudjil, “Investigation of interface, shallow and deep oxide traps under NBTI stress using charge pumping technique,” *Microelectron. Reliab.*, vol. 54, no. 5, pp. 882–888, 2014.
- [109] H. Tahı, B. Djezzar, and A. Benabdelmoumene, “A new procedure for eliminating the geometric component from charge pumping: Application for NBTI and radiation issues,” *Microelectron. Reliab.*, vol. 53, no. 4, pp. 513–519, 2013.
- [110] H. Tahı, C. Tahanout, B. Djezzar, M. Boubaaya, A. Benabdelmoumene, and A. Chenouf, “Charge Pumping, Geometric Component, and Degradation Parameter Extraction in MOSFET Devices,” *IEEE Trans. Device Mater. Reliab.*, vol. 15, no. 4, pp. 567–575, 2015.
- [111] A. E. Islam, E. N. Kumar, H. Das, S. Purawat, V. Maheta, H. Aono, E. Murakami, S. Mahapatra, and M. A. Alam, “Theory and Practice of On-the-fly and Ultra-fast VT Measurements for NBTI Degradation: Challenges and Opportunities,” in *2007 IEEE International Electron Devices Meeting*, 2007, pp. 805–808.
- [112] W. J. Liu, Z. Y. Liu, D. Huang, C. C. Liao, L. F. Zhang, Z. H. Gan, W. Wong, C. Shen, and M.-F. Li, “On-the-fly interface trap measurement and its impact on the understanding of NBTI mechanism for p-MOSFETs with SiON gate dielectric,” in *2007 IEEE International Electron Devices Meeting*, 2007, pp. 813–816.
- [113] R. E. Paulsen and M. H. White, “Theory and application of charge pumping for the characterization of Si-SiO₂/sub 2/interface and near-interface oxide traps,” *IEEE Trans. Electron Devices*, vol. 41, no. 7, pp. 1213–1216, 1994.
- [114] Z. Q. Teo, D. S. Ang, and C. M. Ng, “Separation of hole trapping and interface-state generation by ultrafast measurement on dynamic negative-bias temperature instability,” *IEEE Electron Device Lett.*, vol. 31, no. 7, pp. 656–658, 2010.
- [115] D. S. Ang, Z. Q. Teo, T. J. J. Ho, and C. M. Ng, “Reassessing the mechanisms of negative-bias temperature instability by repetitive stress/relaxation experiments,” *IEEE Trans. Device Mater. Reliab.*, vol. 11, no. 1, pp. 19–34, 2010.
- [116] M. Denais, V. Huard, C. Parthasarathy, G. Ribes, F. Perrier, N. Revil, and A. Bravaix, “Interface trap generation and hole trapping under NBTI and PBTI in advanced CMOS technology with a 2-nm gate oxide,” *IEEE Trans. Device Mater. Reliab.*, vol. 4, no. 4, pp. 715–722, 2004.
- [117] A. Kreber, E. Cartier, L. Pantisano, M. Rosmeulen, R. Degraeve, T. Kauerauf, G. Groeseneken, H. E. Maes, and U. Schwalke, “Characterization of the VT-instability in SiO₂/HfO gate dielectrics,” in *Proc. IEEE Int. Reliability Physics Symp*, 2003, pp. 41–45.
- [118] C. Shen, M.-F. Li, X. P. Wang, Y.-C. Yeo, and D.-L. Kwong, “A fast measurement technique of MOSFET Id-Vg/characteristics,” *IEEE electron device Lett.*, vol. 27, no. 1, pp. 55–57, 2005.
- [119] T. Instruments, “OPA657 1 . 6-GHz , Low-Noise , FET-Input Operational Amplifier,” p. 39,

2015.

- [120] M. D. Elhak, Z. Abdelkader, D. Boualem, B. Abdelmadjid, and Z. Boumediene, "Fast I ds–V gs Technique Implementation for NBTI Characterization," in *2020 International Conference on Electrical Engineering (ICEE)*, 2020, pp. 1–6.
- [121] D. MESSAOUD, B. Djeddar, A. Benabdelmoumene, M. Boubaaya, B. Zatout, and A. Zitouni, "NBTI Fast Electrical Characterization in pMOSFET Devices," *Alger. J. Signals Syst.*, vol. 6, no. 1, pp. 24–31, 2021.
- [122] B. Kaczer, T. Grasser, J. Roussel, J. Martin-Martinez, R. O'Connor, B. J. O'sullivan, and G. Groeseneken, "Ubiquitous relaxation in BTI stressing—New evaluation and insights," in *2008 IEEE International Reliability Physics Symposium*, 2008, pp. 20–27.
- [123] T. Grasser and B. Kaczer, "Negative bias temperature instability: Recoverable versus permanent degradation," in *ESSDERC 2007-37th European Solid State Device Research Conference*, 2007, pp. 127–130.
- [124] A. BENABDELMOUMENE, "Etude expérimentale de la dégradation BTS (Bias Temperature Stress) dans les dispositifs MOS," pp. 1–163, 2019.
- [125] M. Boubaaya, H. Tahi, B. Djeddar, K. Benmassai, A. Benabdelmoumene, M. Goudjil, D. Doumaz, and A. F. Hemida, "Reaction-diffusion model for interface traps induced by BTS stress including H+, H and H2 as diffusion species," in *2014 9th International Design and Test Symposium (IDT)*, 2014, pp. 1–5.
- [126] "COMSOL Multiphysics® v.4.4. www.comsol.com."
- [127] M. Boubaaya, H. Tahi, C. Tahanout, B. Djeddar, A. Benabdelmoumene, A. Chenouf, D. Doumaz, and A. F. Hemida, "Using the charge pumping geometric component to extract NBTI induced mobility degradation," in *2015 IEEE International Integrated Reliability Workshop (IIRW)*, 2015, pp. 122–125.
- [128] K. F. Galloway, M. Gaitan, and T. J. Russell, "A simple model for separating interface and oxide charge effects in MOS device characteristics," *IEEE Trans. Nucl. Sci.*, vol. 31, no. 6, pp. 1497–1501, 1984.
- [129] D. Varghese, D. Saha, S. Mahapatra, K. Ahmed, F. Nouri, and M. Alam, "On the dispersive versus Arrhenius temperature activation of NBTI time evolution in plasma nitrided gate oxides: Measurements, theory, and implications," in *IEEE International Electron Devices Meeting, 2005. IEDM Technical Digest.*, 2005, pp. 684–687.
- [130] A. T. Krishnan, S. Chakravarthi, P. Nicollian, V. Reddy, and S. Krishnan, "Negative bias temperature instability mechanism: The role of molecular hydrogen," *Appl. Phys. Lett.*, vol. 88, no. 15, p. 153518, 2006.
- [131] A. Spessot, N. Sharan, H. Oh, R. Ritzenthaler, E. D. Litta, B. O'Sullivan, A. Mallik, A. De Keersgieter, B. Parvais, Y. Sherazi, and others, "Cost effective FinFET platform for stand alone DRAM 1Y and beyond memory periphery," in *2018 IEEE International Memory Workshop (IMW)*, 2018, pp. 1–4.
- [132] S.-H. Lee, "Technology scaling challenges and opportunities of memory devices," in *2016 IEEE International Electron Devices Meeting (IEDM)*, 2016, p. 1.
- [133] M. T. Bohr, R. S. Chau, T. Ghani, and K. Mistry, "The high-k solution," *IEEE Spectr.*, vol. 44, no. 10, pp. 29–35, 2007.
- [134] M. Bohr and K. Mistry, "Intel's revolutionary 22 nm transistor technology," *Intel website*, 2011.
- [135] R. Ritzenthaler, M. Cho, T. Schram, A. Spessot, E. Simoen, B. J. O'Sullivan, E. D. Litta, and N. Horiguchi, "Treatments for reliability improvement in thick oxides diffusion and gate

- replacement I/O transistors,” *Int. J. Mater. Eng. Innov.*, vol. 8, no. 1, pp. 53–70, 2017.
- [136] B. J. O’Sullivan, R. Ritzenthaler, E. Simoen, E. D. Litta, T. Schram, A. Chasin, D. Linten, N. Horiguchi, V. Machkaoutsan, and P. Fazan, “Gate stack engineering to enhance high- κ /metal gate reliability for DRAM I/O applications,” in *2017 IEEE International Reliability Physics Symposium (IRPS)*, 2017, p. DG-8.
- [137] B. J. O’Sullivan, R. Ritzenthaler, G. Rzepa, Z. Wu, E. D. Litta, O. Richard, P. Conard, Thierry Machkaoutsan, Vladimir Fazan, and C. Kim, “Gate-Stack Engineered NBTI Improvements in Highvoltage Logic-For-Memory High- κ /Metal Gate Devices,” in *2019 IEEE International Reliability Physics Symposium (IRPS)*, 2019, pp. 1–8.
- [138] J. Franco, B. Kaczer, A. Chasin, H. Mertens, L.-Å. Ragnarsson, R. Ritzenthaler, S. Mukhopadhyay, H. Arimura, P. J. Roussel, and E. Bury, “NBTI in replacement metal gate SiGe core FinFETs: Impact of Ge concentration, fin width, fin rotation and interface passivation by high pressure anneals,” in *2016 IEEE International Reliability Physics Symposium (IRPS)*, 2016, pp. 4B–2.
- [139] J. R. Hauser and K. Ahmed, “Characterization of ultra-thin oxides using electrical CV and IV measurements,” in *AIP Conference Proceedings*, 1998, vol. 449, no. 1, pp. 235–239.
- [140] M. Boubaaya, B. J. O’Sullivan, J. Franco, E. D. Litta, R. Ritzenthaler, E. Dupuy, V. Machkaoutsan, P. Fazan, C. Kim, D. Benaceur-Doumaz, A. F. Hamida, B. Djeddar, A. Spessot, D. Linten, and N. Horiguchi, “Impact of fin height on bias temperature instability of memory periphery FinFETs,” in *2019 IEEE International Integrated Reliability Workshop (IIRW)*, 2019, pp. 1–5.
- [141] M. Boubaaya, B. J. O’Sullivan, B. Djeddar, J. Franco, E. D. Litta, R. Ritzenthaler, E. Dupuy, V. Machkaoutsan, P. Fazan, C. Kim, D. Bennaceur-Doumaz, A. F. Hamida, A. Spessot, D. Linten, and N. Horiguchi, “Impact of Dimensions of Memory Periphery FinFETs on Bias Temperature Instability,” *IEEE Trans. Device Mater. Reliab.*, vol. 20, no. 2, pp. 269–277, 2020.
- [142] S. Maeda, J.-A. Choi, J.-H. Yang, Y.-S. Jin, S.-K. Bae, Y.-W. Kim, and K.-P. Suh, “Negative bias temperature instability in triple gate transistors,” in *2004 IEEE International Reliability Physics Symposium. Proceedings*, 2004, pp. 8–12.
- [143] S. Zafar, M. Yang, E. Gusev, A. Callegari, J. Stathis, T. Ning, R. Jammy, and M. Jeong, “A comparative study of NBTI as a function of Si substrate orientation and gate dielectrics (SiON and SiON/HfO₂),” in *IEEE VLSI-TSA International Symposium on VLSI Technology, 2005.(VLSI-TSA-Tech).*, 2005, pp. 128–129.
- [144] G. X. Duan, J. Hachtel, X. Shen, E. X. Zhang, C. X. Zhang, B. R. Tuttle, D. M. Fleetwood, R. D. Schrimpf, R. A. Reed, and J. Franco, “Activation energies for oxide-and interface-trap charge generation due to negative-bias temperature stress of Si-capped SiGe-pMOSFETs,” *IEEE Trans. Device Mater. Reliab.*, vol. 15, no. 3, pp. 352–358, 2015.

Publications et Communications Internationales

- *MESSAOUD, D., Djeddar, B., Benabdelmoumene, A., Boubaya, M., Zatout, B., & Zitouni, A. (2021). NBTI Fast Electrical Characterization in pMOSFET Devices. Algerian Journal of Signals and Systems, 6(1), 24-31.*
- *Djeddar, B., Benabdelmoumene, A., Zatout, B., Messaoud, D., Chenouf, A., Tahi, H., Boubaya, M and Timplt, H. (2020). Recovery investigation of NBTI-induced traps in n-MOSFET devices. Microelectronics Reliability, 110, 113703.*
- *Boubaya. Mohamed, O'Sullivan. B. J, Djeddar. Boualem, Franco. J, Litta. E. D, Ritzenthaler. R, Dupuy. E, MacHkaoutsan. Vladimir, Fazan. Pierre, Kim. C, Bennaceur-Doumaz. D, Hamida. A. Ferhat, Spessot. A, Linten. D and Horiguchi. N. Impact of Dimensions of Memory Periphery FinFETs on Bias Temperature Instability. IEEE Transactions on Device and Materials Reliability, 2020, vol. 20, no 2, p. 269-277.*
- *Boubaya. Mohamed, O'Sullivan. B. J, Franco. J, Litta. E. D, Ritzenthaler. R, Dupuy. E, MacHkaoutsan. Vladimir, Fazan. Pierre, Kim. C, Bennaceur-Doumaz. D, Hamida. A. Ferhat, Spessot. A, Djeddar. Boualem, Linten. D and Horiguchi. N.. Impact of fin height on bias temperature instability of memory periphery FinFETs. In : 2019 IEEE International Integrated Reliability Workshop (IIRW). IEEE, 2019. p. 1-5.*
- *Hakim Tahi; Cherifa Tahanout; Mohamed Boubaya; Boualem Djeddar; Sidi Mohammed Merah; Bacharia Nadji; Nadia Saoula, " Experimental Investigation of NBTI Degradation in Power VDMOS Transistors Under Low Magnetic Field," IEEE Transactions on Device and Materials Reliability , Vol. 17, N1, pp. 99- 105, MARCH 2017*
- *H. Tahi, C Tahanout, B. Djeddar , M. Boubaya, A. Benabdelmoumene, A. Chenouf, "Charge Pumping, Geometric Component, and Degradation Parameter Extraction in MOS Devices , " IEEE Transactions on Device and Materials Reliability, Vol. 15, N°4, pp. 567- 575, Dec. 2015.*
- *M. BOUBAAYA, H.TAHI, C.TAHANOUT, B.Djeddar, A. BENABDELMOMENE, A. CHENOUF, D. DOUMAZ, ,and A.F. Hemida "Using the charge pumping geometric component to extract NBTI induced mobility degradation" IEEE International integrated reliability workshop, S.Lake Tahoe,California , October 11-15, 2015*
- *C.TAHANOUT, H.TAHI, M. BOUBAAYA, B.DJEZZAR, N.SAOULA, M. MARAH and B. NADJI "NBTI Stress on power VDMOS Transistors under Low Magnetic Field "IEEE International integrated reliability workshop, S.Lake Tahoe,California , October 11-15, 2015*
- *Tahi, H.; Djeddar, B.; Benmassai, K.; Boubaya, M.; Benabdelmoumene, A.; Chenouf, A.; Goudjil, M. "Investigation of defect microstructures responsible for NBTI degradation using effective dipole moment extraction", 9th International Design & Test Symposium IDT'14, Sheraton Hotel , Algiers, Dec.16-18, 2014*
- *M. Boubaya, H.Tahi, B.Djeddar, K. Benmassai, A.Benabdelmoumen, M. Goudjil, D. Doumaz, "Reaction-Diffusion Model for interface traps induced by BTS stress*

including H⁺, H and H₂ as Diffusion Species,” 9th International Design and Test Symposium, IDT’14, Sheraton Hotel , Algiers, Dec.16-18, 2014.

- *H.TAHI, K. BENMESSAI, M.BOUBAAYA, C. TANANOUT, B.DJEZZAR, A. BENABDELMOMENE, M. Goudjil, and A. CHENOUF, “ Investigation of NBTI Degradation on power VDMOS Transistors under Magnetic Field,” IEEE International integrated reliability workshop, S.Lake Tahoe,California , October 12-16, 2014*
- *Boubaaya, M.; Larbi, F.H.; Oussalah, S. “Simulation of ion implantation for CMOS 1µm using SILVACO tools” (ICM), 2012 24th International Conference on Microelectronics.*

Résumé : La miniaturisation des composants microélectroniques a engendré une réduction accélérée de l'épaisseur du diélectrique de la grille des transistors. Avec cette réduction des dimensions, la fiabilité des transistors devient critique, d'un nœud technologique à un autre, en termes de prédiction de durée de vie. Parmi les aspects critiques, la dégradation *NBTI/PBTI* (Negative/Positive Bias Temperature Instability) qui représente l'un des défis majeure en termes de fiabilité. Cette dégradation est induite par la création des pièges dans le diélectrique de la grille et à l'interface substrat/diélectrique ainsi que leurs charge et décharge. Leur étude et modélisation sont devenues cruciales dans le contexte actuel de l'industrie microélectronique.

Cette thèse s'appuie sur les méthodes électriques pour l'étude et la caractérisation expérimentale de la dégradation *NBTI/PBTI*. Pour se faire, nous avons, en premier lieu, étudié les pièges d'interface induits par le stress *BTI* par la technique *OTFIT* (on-the-fly interface trap), où un modèle, basé sur le processus réaction-diffusion (*RD*) comprenant des espèces H^+ , H et H_2 , a été proposé et démontré. En second lieu, nous avons évalué la dégradation de mobilité, induite par le *NBTI* stress, estimée en utilisant la composante géométrique du pompage de charge (*CP*). De plus, nous avons mise en œuvre des techniques de mesures basées sur un temps de mesure (*délai*) court. Ainsi, nous avons implémenté une technique rapide de I_d-V_g pour la caractérisation du *NBTI* avec un temps de mesure des paramètres de 10 μs . Enfin, nous avons aussi étudié l'impact des dimensions des transistors *FinFET* sur la dégradation *BTI*, où nous avons exploité la technique *eMSM* (extended Measure-Stress-Measure) à cause de son temps de mesure (1 ms) et de la quantité d'information offre qu'elle capture sur le comportement *BTI*. Nous avons montré que les transistors *FinFET* avec des ailerons plus hauts sont moins affectés par le stress *NBTI* que ceux ayant des ailerons plus bas. Nous pensons que cela est lié à une défautivité plus élevée dans les coins des ailerons. De plus, les résultats expérimentaux montrent des énergies d'activation plus élevées pour les ailerons moins hauts par rapport à ceux plus hauts. Le *PBTI* montre une tendance similaire à celle du *NBTI* concernant l'augmentation de la hauteur des ailerons, bien qu'il montre peu de dépendance avec la température.

Mots-Clés : Fiabilité, Dégradation *BTI*, Pièges d'interface, *FinFET*, Energie d'activation, *eMSM*, Hauteur d'aileron.

Abstract: Miniaturization of microelectronic components has resulted in an aggressive shrinking of the transistor gate dielectric thickness. With this size reduction, the reliability of transistors becomes critical, from one technology node to another, in terms of life prediction. Among the critical aspects, the *NBTI/PBTI* (Negative/Positive Bias Temperature Instability) degradation represents one of the major challenges in terms of reliability. This degradation is induced by the creation of traps in the gate dielectric and at the substrate/dielectric interface as well as their charge and discharge. Their study and modeling are becoming important in the current context of the microelectronics industry.

Based on electrical methods, this thesis focuses on study and experimental characterization of *NBTI/PBTI* degradation. To do so, we have first studied the interface traps induced by *BTI* stress using *OTFIT* (on-the-fly interface trap) method, where we have proposed a model based on the reaction-diffusion (*RD*) of H^+ , H and H_2 species. Secondly, we have evaluated the mobility degradation induced by *NBTI* stress using the geometric component of charge pumping (*CP*). In addition, we have implemented measurement techniques based on short measurement time (*delay*). In fact, we have implemented a fast I_d-V_g technique for *NBTI* characterization with a measurement time of 10 μs . Finally, the impact of the dimensions of *FinFET* transistors on the *BTI* degradation has been conducted using the *eMSM* (extended Measure-Stress-Measure) technique, the latter offers a better measurement time (1ms) and captures a valuable quantity of information on transistor behavior under *BTI* stress. We have shown that *FinFET* transistors with taller fins are less affected by *NBTI* stress than those with lower fins. We believe this is related to a higher defectivity in fin corners. In addition, the experimental results show higher activation energies for the lower fins compared to that of the taller ones. The *PBTI* shows a similar trend to that of the *NBTI* on increasing fin height, albeit with little or no significant temperature dependence.

Keywords: Reliability, *BTI* degradation, interface trap, *FinFET*, activation energy, *eMSM*, fin height.

المخلص: أدى تصغير مكونات الإلكترونيات الدقيقة إلى تخفيض متسارع في سمك عازل بوابة المقل (الترانزستور). مع هذا الإنخفاض في الأبعاد، تصبح موثوقية الترانزستورات حاسمة من عقدة تكنولوجية إلى أخرى، من حيث التنبؤ بمدى صلاحية الدارات المدمجة. من بين الجوانب الحرجة، إختلال *NBTI/PBTI* (الإختلال من الحرارة والإستقطاب السلبي/الموجب) والذي يمثل أحد التحديات الرئيسية من حيث الموثوقية. يحدث هذا الإختلال من خلال إستحداث أفخاخ على مستوى السطح الفاصل بين السلكون والعازل وداخل العازل وكذلك شحنها وتفريغها. أصبحت دراسة ونمذجة هذه الظاهرة مهمة في السياق الحالي لصناعة الإلكترونيات الدقيقة.

بناءً على الطرق الكهربائية، تركز هذه الأطروحة على الدراسة والتوصيف التجريبي لتدهور *NBTI/PBTI*. للقيام بذلك، درسنا أولاً أفخاخ السطح الفاصل بين السلكون والعازل التي يسببها إجهاد *BTI* بواسطة تقنية *OTFIT* (أفخاخ السطح الفاصل على الطائر)، حيث اقترحنا نموذجاً يعتمد على عملية التفاعل-الانتشار (*RD*) لأنواع H^+ ، H و H_2 . ثانياً، قمنا بتقييم تدهور الحركة الناجمة عن إجهاد *NBTI* باستخدام المكون الهندسي لضخ الشحنة (*CP*). إضافة إلى ذلك، قمنا بتنفيذ تقنيات القياس على أساس زمن قياس قصير (مهلة). وبالتالي، قمنا بتنفيذ تقنية I_d-V_g سريعة لتوصيف *NBTI* بوقت قياس قدره 10 ميكرو ثانية. أخيراً، درسنا أيضاً تأثير أبعاد ترانزستورات *FinFET* على تدهور *BTI* باستخدام تقنية *eMSM* (قياس-إجهاد-قياس ممتد)، هذا الأخير يوفر وقت قياس أفضل (1 ملي ثانية) ويلتقط كمية قيمة من المعلومات حول سلوك الترانزستور تحت جهد *BTI*. لقد أظهرنا أن ترانزستورات *FinFET* ذات الزعانف الطويلة أقل تأثراً بجهد *NBTI* من تلك ذات الزعانف السفلية. نعتقد أن هذا مرتبط بخلل أعلى في زوايا الزعنفة. بالإضافة إلى ذلك، تظهر النتائج التجريبية طاقات تنشيط أعلى للزعانف السفلية مقارنة بالزعانف الأطول. يُظهر *PBTI* اتجاهًا مشابهًا لاتجاه *NBTI* في زيادة ارتفاع الزعنفة، وإن كان ذلك مع القليل من الاعتماد على درجة الحرارة أو عدم وجوده على الإطلاق.

المفاتيح: الموثوقية، إختلال *BTI*، أفخاخ السطح الفاصل، *FinFET*، طاقة التنشيط، *eMSM*، ارتفاع الزعنفة