

الجمهورية الجزائرية الديمقراطية الشعبية

République Algérienne Démocratique et Populaire

Ministère de L'Enseignement Supérieur et de la Recherche Scientifique



UNIVERSITÉ FERHAT ABBAS - SETIF1

FACULTÉ DE TECHNOLOGIE

THESE

Présentée au Département d'électronique

**Préparée au sein du Laboratoire d'instrumentation scientifique
(L.I.S)**

Pour l'obtention du diplôme de

DOCTORAT EN SCIENCES

Option: Electronique

Par

MERABET Mohammed

THÈME

**Test des Circuits Analogiques à Base de la Logique
Floue par Voie de Simulation**

Soutenu le 06/02/2020 devant le Jury:

AMARDJIA Nouredine	Professeur	Univ. Ferhat Abbas Sétif 1	Président
BOUROUBA Nacerdine	Professeur	Univ. Ferhat Abbas Sétif 1	Directeur de thèse
BOUZIT Nacerdine	Professeur	Univ. Ferhat Abbas Sétif 1	Examineur
KHEDROUCHE Djamel	Professeur	Univ. M. Boudiaf M'sila	Examineur
AYAD Mouloud	M.C.A	Univ. A.M.O Bouira	Examineur
AIT KAKI Abdelaziz	M.C.A	Univ. L.B.M. Oum bouaghi	Examineur

REMERCIEMENTS

Je tiens tout d'abord à exprimer toute ma reconnaissance à mon encadreur Monsieur Nacerdine BOUROUBA, Professeur à l'université Ferhat Abbas Sétif 1, et responsable du groupe TCM au "*Laboratoire d'instrumentation scientifique*" (L.I.S), de m'avoir accueilli au sein de son équipe de recherche. Je lui exprime ma profonde gratitude pour ses conseils précieux, ses encouragements et son encadrement fructueux dont j'ai bénéficié. Ainsi pour ses qualités professionnelles et humaines que j'ai admirées et surtout pour la confiance qu'il a mise en moi pour accomplir ce travail.

Mes remerciements vont également à Monsieur AMARDJIA Nouredine, Professeur à l'Université Ferhat Abbas Sétif 1, de m'avoir fait l'honneur de présider le jury de cette thèse. Je remercie au même titre Monsieur Mouloud AYAD, Maître de conférences classe A à l'université Akli Mohand Oulhadjde Bouira, Monsieur KHEDROUCHE Djamel, Professeur à l'Université Mohamed Boudiaf Msila, Monsieur BOUZIT Nacerdine, Professeur à l'Université Ferhat Abbas Sétif 1 et Monsieur AIT KAKI Abdelaziz, Maître de conférences classe A à l'Université Larbi ben M'hidi Oum El-bouaghi, qui m'ont fait l'honneur d'accepter d'être examinateurs et membres du jury de ce mémoire de thèse, et d'avoir bien voulu me faire profiter de leurs remarques constructives, ainsi que pour les enrichissantes observations faites dans leurs rapports.

Enfin , je remercie toute l'équipe du TCM et notamment Mr. GAMOURA Amar, ARABI Abderezak, LAIDANI Imad, KOUACHI Sabah et BRAHIMI Abdelhalim, pour la bonne ambiance générale qu'ils ont su imposer au laboratoire et pour les longues et fructueuses discussions techniques que nous avons eues ensemble.

Dédicace

*Je dédie ce travail
A mes parents,
A ma femme et mes enfants,
A mes frères et mes sœurs.*

RESUME

Avec le développement rapide de la microélectronique et de la technologie des semi-conducteurs, les systèmes électroniques analogiques intégrés développent des fonctions plus sophistiquées et complexes et deviennent de plus en plus exigeants en termes de fiabilité. Par conséquent, la nécessité de disposer de méthodes automatiques pour leurs tests et leurs diagnostics représente un problème crucial aux chercheurs en la matière dans ce domaine. Le développement d'approches et de méthodes efficaces pour la détection et la classification des défauts dans les circuits analogiques constitue la pierre angulaire de tout projet de recherche relatif à la conception de test visant à améliorer la performance des circuits intégrés.

Cette thèse permis d'introduire l'utilisation des techniques de la logique floue pour la détection et la localisation de défauts catastrophiques dans des circuits électroniques analogiques comprenant des transistors bipolaires. Pour ce faire, des simulations du circuit sous test (CUT) sont effectuées pour un examen de la réponse du circuit testé dans des conditions défectueuses et sans défaut. A cette fin, deux paramètres de signature - tension de sortie et courant d'alimentation - sont observés en mode DC, et utilisés pour construire un dictionnaire de fautes. Celui ci est utilisé efficacement pour produire un système d'inférence floue (FIS) capable de réorganiser les données structurées numériquement et de les exploiter pour améliorer la précision de la localisation et l'identification des défauts. Finalement, les résultats obtenus des différentes expériences sont présentés pour justifier l'applicabilité de la méthode proposée et confirment sa validité.

Mots clés: Test, détection de fautes, localisation de fautes, Circuits analogiques, Logique floue, Système d'inférence floue.

ABSTRACT

With the fast progress of microelectronics and semiconductor technology, integrated analog electronic systems are growing in more sophisticated and complex functions and become very needy of a high reliability. Therefore, the automatic methods requirement for their tests and diagnostic is a crucial issue for researchers in this field. The development of effective approaches and techniques for detection and classification of defects in analogue circuits is the cornerstone of any test design research project aimed at improving the performance of integrated circuits.

This thesis introduces the fuzzy logic techniques use for hard faults detection and location in analog electronic circuits built with bipolar transistors. For this purpose, primary, simulations of the circuit under test (CUT) are performed before the test stage by investigating the response of the circuit under test in faulty and fault-free conditions. Afterward, two signatures parameters—the output voltage and the supply current—are observed in DC domain simulation and used to build a fault dictionary. This is used effectively to produce a fuzzy inference system (FIS) which is able to reorganizing structured data digitally and uses them to improve fault location and identification more accurately. Finally, the results of different experiments are presented to demonstrate the applicability of the proposed method by increasing its efficiency.

Keywords: Test, Fault detection, Fault localization, Analog circuits, Fuzzy logic, Fuzzy inference system.

Sommaire

Remerciements

Résumé

Liste des Figures

Liste des Tableaux

Liste des abréviations

Introduction générale

Chapitre 1 : Concepts de base test des circuits et systèmes intégrés

1.1. Introduction.....	1
1.2. Notions de base du test.....	3
1.2.1. Défauts.....	4
1.2.2. Fautes.....	5
1.2.3. Erreurs.....	5
1.3. Le test dans le cycle de vie des circuits intégrés.....	6
1.3.1. Le test de caractérisation.....	6
1.3.2. Le test de production.....	7
1.4. Les défauts dans les circuits intégrés.....	8
1.4.1. Sources des fautes.....	9
1.4.2. Classification des fautes.....	9
1.4.2.1. Les fautes catastrophiques.....	11
1.4.2.2. Les fautes paramétriques.....	12
1.5. Classement de test.....	12
1.5.1. Aspect technologique.....	12
1.5.1.1. Les circuits analogiques.....	12
1.5.1.2. Les circuits numériques.....	13
1.5.1.3. Les circuits mixtes.....	13
1.5.2. Aspect des paramètres mesurés.....	13
1.5.2.1. Tests logiques.....	13
1.5.2.2. Tests électriques.....	13
1.5.3. L'utilisation des résultats du test.....	14
1.5.4. Méthode d'application du test.....	15

1.6. Types de test.....	15
1.6.1. Test fonctionnel.....	15
1.6.2. Test structurel.....	16
1.6.3. Test alternatif.....	17
1.7. Conception en vue du test.....	19
1.7.1. Les techniques Ad-hoc.....	19
1.7.2. Les techniques de scan (SCAN-PATH).....	19
1.7.3. L'auto-test (BIST : Built In Self Test).....	19
1.7.4. Le test des frontières (IEEE 1149.1 Boundary Scan Standard).....	19
1.8. coût de test d'un circuit.....	20
1.9. Conclusion.....	22

Chapitre 2 : Diagnostic de fautes des circuits analogiques

2.1. Introduction.....	23
2.2. Test et diagnostic.....	24
2.3. Complexité du test et du diagnostic des circuits analogiques.....	24
2.4. Tâches des systèmes de diagnostic des fautes.....	26
2.5. Modélisation des fautes analogiques.....	26
2.5.1. Modélisation structurelle (au niveau composant).....	27
2.5.2. Modélisation paramétrique.....	28
2.5.3. Modélisation au niveau fonctionnel (comportemental).....	29
2.6. Simulation de fautes et génération des vecteurs de test.....	29
2.6.1. Simulation de fautes.....	29
2.6.2. Génération de vecteurs de test.....	30
2.7. Techniques employées pour le diagnostic de fautes des circuits analogiques.....	31
2.7.1. Simulation avant test (SBT).....	33
2.7.1.1. Approche basée sur des règles.....	34
2.7.1.2. Méthode de dictionnaire de fautes.....	35
2.7.2. Simulation après test(SAT).....	36
2.7.2.2. Méthodes de vérification des fautes.....	37
2.7.2.3. Méthode de modèle comportemental	37
2.7.3. Conclusion sur les techniques du diagnostic	38

2.8. Approches de Localisation et de Classification de fautes.....	38
2.8.1. Les réseaux de neurones artificiels (ANN).....	39
2.8.2. Machine à vecteurs de support (SVM : Support Vector Machine)	40
2.8.3. La logique floue.....	42
2.9. Conclusion.....	42

Chapitre 3 : La logique floue

3.1. Introduction.....	43
3.2. Historique.....	44
3.3. Principes de la logique floue.....	45
3.4. Les concepts principaux de la logique floue.....	46
3.4.1. Les ensembles flous.....	46
3.4.2. Fonctions d'appartenances.....	49
3.4.3. Variable linguistique.....	51
3.4.4. Opérateurs flous.....	52
3.5. Système d'inférence flou.....	54
3.5.1. Fuzzification.....	54
3.5.2. Module d'inférences.....	55
3.5.3. Défuzzification.....	58
3.6. Conclusion.....	60

Chapitre 4 : Le Test en mode DC pour la détection de fautes des circuits

Analogiques

4.1. Introduction.....	61
4.2. Méthodologie proposée.....	62
4.3. Concept d'ambiguïté.....	64
4.4. Exemple 1 : L'amplificateur inverseur à base de μA 741.....	66
4.4.1. Structure des transistors utilisés.....	66
4.4.2. Le mode et le vecteur de test choisis.....	69
4.4.3. Les défauts employés.....	69
4.4.4. Procédure de test basée sur la fonction de transfert	71

4.4.4.1. Critère de détection.....	73
4.4.4.2. Couverture de fautes et formation de groupes d'ambigüité.....	74
4.4.5. Maximalisation de la détection de fautes par le test basé sur le courant d'alimentation	76
4.4.5.1. Couverture de fautes et formation de groupes d'ambigüité.....	79
4.4.5.2. Comparaison des résultats de deux tests.....	80
4.5. Exemple 2 : Le régulateur de tension.....	80
4.5.1. Test par fonction de transfert.....	82
4.5.2. Test par courant d'alimentation.....	85
4.5.3. Comparaison.....	88
4.6. Conclusion.....	89

Chapitre 5 : Identification et Localisation des fautes en utilisant les techniques de la logique floue

5.1. Introduction	91
5.2. Module d'inférence floue du logiciel Matlab.....	92
5.3. La conception du système d'inférence floue.....	94
5.4. Application de la localisation des fautes à l'amplificateur inverseur.....	96
5.4.1. Fuzzification	96
5.4.2. Les règles d'inférence.....	99
5.4.3. Défuzzification.....	102
5.4.4. Exemples explicatifs et résultats.....	102
5.5. Localisation de fautes pour le régulateur de tension.....	107
5.5.1. Fuzzification.....	107
5.5.2. Édition des règles floues.....	109
5.5.3. Exemple récapitulatif et résultats	110
5.6. Conclusion.....	114

Conclusion et perspectives

Bibliographie

Productions scientifiques

Liste des Figures

Figure 1.1. Représentation de la loi de Moore avec l'exemple des μ P d'Intel	3
Figure 1.2. Différents niveaux d'abstraction du défaut.....	5
Figure 1.3. Approche de base du test	6
Figure 1.4. Cycle de conception et de fabrication des circuits intégrés.....	7
Figure 1.5. Classification des fautes.....	11
Figure 1.6. Principe d'un test fonctionnel.....	16
Figure 1.7. Principe d'un test structurel.....	17
Figure 1.8. Correspondance entre mesures de test et performances.....	18
Figure 1.9. Principe de test alternatif.....	18
Figure 1.10. Coûts de détection des défauts (règle de $(\times 10)$).....	20
Figure 1.11. Illustration qualitative du compromis entre le coût du test et le coût des retours clients (d'après l'ITRS).....	21
Figure 2.1. Bandes de tolérance pour les différents types de fautes.....	27
Figure 2.2. modèles de fautes.....	27
Figure 2.3. Méthodologie de la simulation de fautes.....	30
Figure 2.4. Génération et application des vecteurs de test.....	31
Figure 2.5. Description des approches SBT et SAT.....	33
Figure 2.6. Classification des différentes approches de diagnostic des fautes.....	33
Figure 2.7. Arbre de défaillance simple.....	34
Figure 2.8. Méthode de dictionnaire de fautes.....	36
Figure 2.9. Un ANN monocouche.....	40
Figure 2.10. Hyperplan à marge maximale utilisé dans SVM.....	41
Figure 2.11 . Mappage spatial du SVM à l'aide de la fonction kernel.....	41
Figure 3.1. Logique classique et logique floue.....	45
Figure 3.2. Représentation d'un ensemble classique et d'un ensemble flou.....	47
Figure 3.3. Appartenance de la température en logique classique et la logique floue.....	48
Figure 3.4 . Caractéristiques d'un sous ensemble flou.....	49
Figure 3.5. Formes usuelles des fonctions d'appartenance.....	51
Figure 3.6. Variable linguistique.....	52

Figure 3.7. Opérateurs flous.....	53
Figure 3.8. Architecture de base d'un système d'inférence floue.....	54
Figure 3.9. Module d'inférence d'un système flou.....	55
Figure 3.10. Processus d'inférence floue.....	56
Figure 3.11. Composition Max-min de Mamdani.....	58
Figure 3.12. Différentes méthodes de défuzzification.....	60
Figure 4.1. Méthodologie de détection de fautes proposée.....	63
Figure 4.2. Amplificateur inverseur.....	66
Figure 4.3. Amplificateur opérationnel uA741.....	67
Figure 4.4. Structure des transistors utilisés.....	67
Figure 4.5. Court circuit et circuit ouvert.....	70
Figure 4.6. Faute double.....	71
Figure 4.7. Fonction de transfert de l'amplificateur inverseur.....	71
Figure 4.8. Fonction de transfert de l'amplificateur inverseur sous différentes fautes.....	72
Figure 4.9. Caractéristique $I_e=f(V_e)$ de l'amplificateur inverseur.....	76
Figure 4.10. Caractéristique de l'amplificateur inverseur sous différentes fautes.....	77
Figure 4.11. Régulateur de tension positive.....	81
Figure 4.12. Fonction de transfert du régulateur.....	82
Figure 4.13. Fonction de transfert du régulateur sous différentes fautes.....	83
Figure 4.14. Caractéristique $I_e=f(V_e)$ du régulateur de tension.....	85
Figure 4.15. Caractéristique $I_e=f(V_e)$ du régulateur sous différentes fautes.....	86
Figure 4.16. Filtre passe-bas de deuxième ordre.....	89
Figure 5.1. Outils de la boîte à outils Fuzzy de Matlab.....	93
Figure 5.2. Aperçu général du système flou proposé.....	94
Figure 5.3. Fenêtre principale de l'éditeur de logique floue.....	95
Figure 5.4. Système d'inférence floue « Mamdani » (deux entrées).....	96
Figure 5.5. Processus de fuzzification.....	97
Figure 5.6. Fonctions d'appartenance de la tension de sortie.....	98
Figure 5.7. Fonctions d'appartenance du courant d'alimentation.....	98
Figure 5.8. Fonctions d'appartenance pour l'indice de faute.....	99
Figure 5.9. Les règles floues.....	100
Figure 5.10. Exemple d'implication floue avec conjonction ET traduite par un Min.....	100

Figure 5.11. Agrégation floue.....	101
Figure 5.12. Défuzzification avec la méthode centre de gravité.....	102
Figure 5.13. La sortie du FIS pour la faute F43.....	103
Figure 5.14. Fonctions d'appartenance de la tension de sortie du régulateur.....	108
Figure 5.15. Fonctions d'appartenance du courant d'alimentation du régulateur.....	108
Figure 5.16. Fonctions d'appartenance de sortie.....	109
Figure 5.17. Les règles floues pour le régulateur de tension.....	110
Figure 5.18. Exemple de fuzzification.....	110
Figure 5.19. La conclusion de l'implication de la règle 1.....	111
Figure 5.20. L'ensemble flou des règles 1,2 et 3.....	112

Liste des Tableaux

Tableau 1.1: Principaux mécanismes de défaillances et défauts pouvant altérer le bon fonctionnement d'un circuit intégré.....	10
Tableau 4.1. Les tensions des nœuds d'un circuit hypothétique sans défaut et pour diverses conditions défectueuses.....	64
Tableau 4.2. Groupes d'ambiguïtés et plages de tension.....	65
Tableau 4.3. Paramètres des modèles des composants (a) Diode zener (b) Transistors...	68
Tableau 4.4. Dictionnaire de fautes pour la fonction de transfert.....	74
Tableau 4.5. Formation de groupes d'ambiguïté.....	75
Tableau 4.6. Dictionnaire de fautes pour le courant d'alimentation.....	78
Tableau 4.7. Formation de groupes d'ambiguïté pour le test 2.....	79
Tableau 4.8. Comparaison des résultats de deux tests.....	80
Tableau 4.9. Dictionnaire de fautes pour la fonction de transfert du régulateur.....	84
Tableau 4.10. Groupes d'ambiguïté résultant du test par fonction de transfert.....	85
Tableau 4.11. Dictionnaire de fautes pour le courant d'alimentation du régulateur.....	87
Tableau 4.12. Groupes d'ambiguïté pour le test par courant d'alimentation.....	87
Tableau 4.13. Fautes localisés pour les deux modes de test.....	88
Tableau 5.1. Les entrées et les sorties du FIS pour les cas de test F4, F49, et F52.....	104
Tableau 5.2. Les sorties Fis et leurs fautes correspondantes.....	107
Tableau 5.3. Les sorties FIS et leurs fautes correspondantes pour le régulateur.....	114

Liste des Abréviations

Abréviations	Description
AC	<u>Alternating Current</u>
ADC	Analog to Digital Converter
ANN	<u>Artificial Neural Network</u>
ATE	Automatic Test Equipment
BCS	Base Collector Short
BES	Base Emitter Short
BIST	Built-In Self-Test
BO	Base Open
CC	Court-Circuit
CES	CollectorEmitter Short
CI	Circuit Intégré
CO	Circuit Ouvert
CO	Collector Open
CUT	Circuit Under Test
DAC	Digital to Analog Converter
DC	Direct Current
DFT	Design For Testability
EO	Emitter Open
FIS	Fuzzy Inference System
IA	Intelligence Artificielle
ICT	In Circuit Testing

ITRS	International Roadmap for Semiconductors
MOS	Metal Oxyde Semiconductor
PCB	Printed Circuit Boards
SAT	Simulation After Test
SBT	Simulation Before Test
SVM	Support Vector Machine
TMF	Triangular Membership Function
VHDL	Very-high-speed integrated circuits Hardware Description Language
VLSI	Very Large Scale Integration

INTRODUCTION GENERALE

Ces derniers temps, et grâce à l'essor technologique extraordinaire caractérisé par l'émergence de la nanoélectronique, il y a eu une véritable métamorphose dans le monde de la science et de la connaissance. Plusieurs nouveaux domaines sont devenus très importants dans la vie quotidienne et occupent une place importante dans la société actuelle, tels que la télécommunication, le multimédia, les applications biomédicales, etc. Ces domaines de la science sont devenus vivement sollicités par la communauté industrielle et des institutions de la recherche scientifique. Ils doivent leur mérite à l'insertion florissante des systèmes électroniques complexes aussi bien dans leur structure que dans leur fonctionnalité dont les composants clefs de ces systèmes électroniques sont les circuits intégrés [2] [5].

La tendance à l'évolution de la technologie des circuits intégrés à très grande échelle (VLSI), alimentée par une concurrence industrielle féroce pour réduire les coûts et les délais de mise sur le marché des circuits intégrés, a conduit à concevoir et fabriquer des circuits intégrés très complexes comprenant des pièces numériques, analogiques et mixtes dans une même puce de semi-conducteur. En raison de cette complexité croissante, la

conception et les tests sont devenus un véritable défi pour assurer la fonctionnalité et la qualité du produit [6] [7].

Le test des circuits et systèmes électroniques numériques a fait l'objet de recherches approfondies et des outils de diagnostic entièrement automatisés ont été mis au point avec succès. Cependant, le processus de développement de stratégies de test pour les circuits analogiques repose encore largement sur l'expérience et l'intuition de l'ingénieur [9].

La communauté de l'ingénierie a commencé à étudier les problèmes des tests analogiques au début des années 1980 [10], car les systèmes analogiques étaient parmi les systèmes les moins fiables et les moins testables. Depuis lors, le diagnostic analogique des défauts est devenu un domaine de recherche actif et de nombreuses méthodes ont été proposées dans la littérature [9].

Le diagnostic des circuits analogiques est devenu vital par l'ampleur de la gravité des problèmes de production des circuits intégrés et par conséquent il joue un rôle clé dans la conception des circuits électroniques [11] [46]. Contrairement aux circuits numériques, la méthodologie de diagnostic des défauts et de test des circuits analogiques reste relativement peu développée en raison de nombreuses limitations, par exemple les variations technologiques des paramètres dans leurs plages de tolérance, un nombre limité de nœuds accessibles pour la mesure et la nature non linéaire des équations de test. Pour ces raisons, dans de nombreux cas, les tests analogiques reposent sur une approche de boîte noire où les spécifications des circuits sont vérifiées sans prêter attention à la structure. En conséquence, le diagnostic des défauts des circuits analogiques présente un intérêt considérable, qui a donné lieu à de nombreuses publications au cours des dernières années, par exemple [12]-[16], [18]-[21], [23].

Bien qu'il existe de nombreuses méthodes proposées pour diagnostiquer les circuits électroniques analogiques, les plus populaires sont les techniques du dictionnaire de défauts. Mais au cours de ces dernières décennies, l'automatisation du diagnostic des défauts à l'aide des techniques de l'intelligence artificielle (IA) est devenue un outil de recherche important pour la résolution de nombreux problèmes dans ce domaine [25].

Dans notre projet, le travail porte sur l'application de la logique floue pour le diagnostic des fautes dans les circuits analogiques en prenant les dictionnaires de fautes

comme point de départ et en analysant la réponse du circuit sous test (CUT) dans le domaine du courant continu DC. Nous utiliserons une méthode de classification avec un système d'inférence floue (FIS). Le choix des paramètres du FIS (variables d'entrée et de sortie, types et paramètres des fonctions d'appartenances associées aux différents variables d'entrée et de sortie du système, la génération des règles d'inférence floue, ...) ont une importance majeure sur les performances du système d'inférence floue utilisé comme outil de diagnostic de fautes des circuits analogiques.

La thèse est structurée en 5 chapitres avec une introduction, une conclusion et des perspectives.

Dans le premier chapitre, les concepts de base du test des circuits et systèmes intégrés sont rappelés. Nous présentons le test dans le cycle de vie des circuits intégrés ainsi que les défauts rencontrés dans ces circuits. Nous décrivons également dans ce chapitre le classement de test et les différents types de test, fonctionnel, structurel et alternatif. On finira, par introduire le coût de test d'un circuit.

Le concept du Diagnostic de fautes des circuits analogiques est abordé dans le deuxième chapitre, en présentant dans une première partie, les différentes techniques de modélisation et de simulation de fautes, ainsi que les techniques de la génération de vecteurs de test. Dans une deuxième partie, nous traitons en détails les différentes techniques employées pour le diagnostic de fautes des circuits analogiques et plus particulièrement la simulation avant test (SBT) et la simulation après test (SAT).

Dans le troisième chapitre, nous rappelons en premier lieu les principes de base de la logique floue précédés d'un bref historique. Puis nous étalons une présentation des différentes étapes de la conception d'un système d'inférence floue à savoir la fuzzification, les règles floues et la défuzzification.

Quant au quatrième chapitre, la pièce maitresse est donnée à la mise au point de la stratégie de test en mode DC pour la détection de fautes catastrophiques des circuits analogiques. La simulation de fautes par le moyen de PSPICE y a fait partie et a permis l'établissement du dictionnaire de fautes en mode DC pour des signaux de tensions.

L'amélioration de la détection s'est rendue possible par l'usage du mode DC mais basé sur le courant d'alimentation comme paramètre de test.

Nous terminons le document avec un cinquième chapitre dédié aux résultats obtenus lors de l'application de la méthode proposée sur deux exemples d'application. Un système basé sur la logique floue est utilisé à cette fin et une comparaison entre les résultats obtenus dans ce chapitre et ceux du chapitre 4 est présentée.

En fin de cette thèse une conclusion parachèvera le travail entrepris tout en précisant les points positifs qui en découlent suivis des conseils et recommandations qu'il faut prendre en considération dans des futurs travaux de recherche. Cette partie concluante est suivie de quelques perspectives présentées à la fin de ce travail.

Chapitre **1**

**CONCEPTS DE BASE DU TEST DES
CIRCUITS ET SYSTEMES INTEGRES**

Chapitre 1

CONCEPTS DE BASE DU TEST DES CIRCUITS ET SYSTEMES INTEGRES

1.1. Introduction

L'évolution de la technologie des circuits intégrés et la miniaturisation des transistors ont permis de réaliser des systèmes de plus en plus complexes sur une seule puce [1]. La croissance constante de l'industrie mondiale des semi-conducteurs au cours des dernières décennies a été stimulée par la demande d'amélioration des performances et des fonctionnalités à moindre coût. Cette croissance a été principalement facilitée par l'évolution continue de la technologie de fabrication des semi-conducteurs [2]. Selon la fameuse loi de Moore (figure 1.1), l'échelle d'intégration des circuits intégrés a doublé tous les 18 mois. Un exemple simple de cette tendance est le passage de l'intégration à petite échelle (SSI) (Small Scale Integration) à l'intégration à très grande échelle (VLSI) (Very Large Scale Integration). Dans les années 1980, le terme VLSI était utilisé pour les puces ayant plus de 100 000 transistors et a continué à être utilisé au fil du temps pour désigner les puces ayant des millions et maintenant des centaines de millions de transistors. En

1986, la première mémoire vive (RAM) de mégabit contenait plus d'un million de transistors. Les microprocesseurs produits en 1994 contenaient plus de 3 millions de transistors. Les composants VLSI avec plusieurs millions de transistors sont couramment utilisés dans les ordinateurs et les appareils électroniques d'aujourd'hui. C'est le résultat direct de la diminution constante des dimensions des transistors et des fils d'interconnexion, avec les technologies submicroniques actuelles basées sur des dimensions de quelques nanomètres seulement [3]. Il est primordial d'accompagner cette tendance à l'intégration et à la miniaturisation par une plus grande fiabilité et sûreté de fonctionnement.

La réduction de la taille des composants augmente la probabilité qu'un défaut de fabrication dans le CI entraînera une puce défectueuse. Un très petit défaut peut facilement entraîner un transistor ou un fil d'interconnexion défectueux lorsque la taille de l'élément est inférieure à 100 nm. De plus, il suffit qu'un seul transistor ou un fil défectueux pour que l'ensemble de la puce ne fonctionne pas correctement. Par conséquent, des tests sont nécessaires pour garantir des produits exempts de défauts. Il est également nécessaire de tester les composants à différentes étapes du processus de fabrication [4]. Par exemple, pour produire un système électronique, nous devons produire des circuits intégrés, utiliser ces circuits intégrés pour assembler des cartes de circuits imprimés (PCB) *printed circuit boards*, puis utiliser les PCB pour assembler le système.

Le test des circuits intégrés (ICs) est devenu une tâche essentielle dans l'industrie des semi-conducteurs. Le développement d'approches et d'outils pour la génération et l'application des stimuli de test (ou de vecteurs de test) pour détecter le dysfonctionnement des dispositifs (ou des circuits), et localiser les fautes ou les erreurs de conception, nécessite un grand effort dans la recherche en raison de l'évolution rapide des technologies des semi-conducteurs. [5], Les sections suivantes décrivent brièvement les enjeux du test des circuits intégrés.

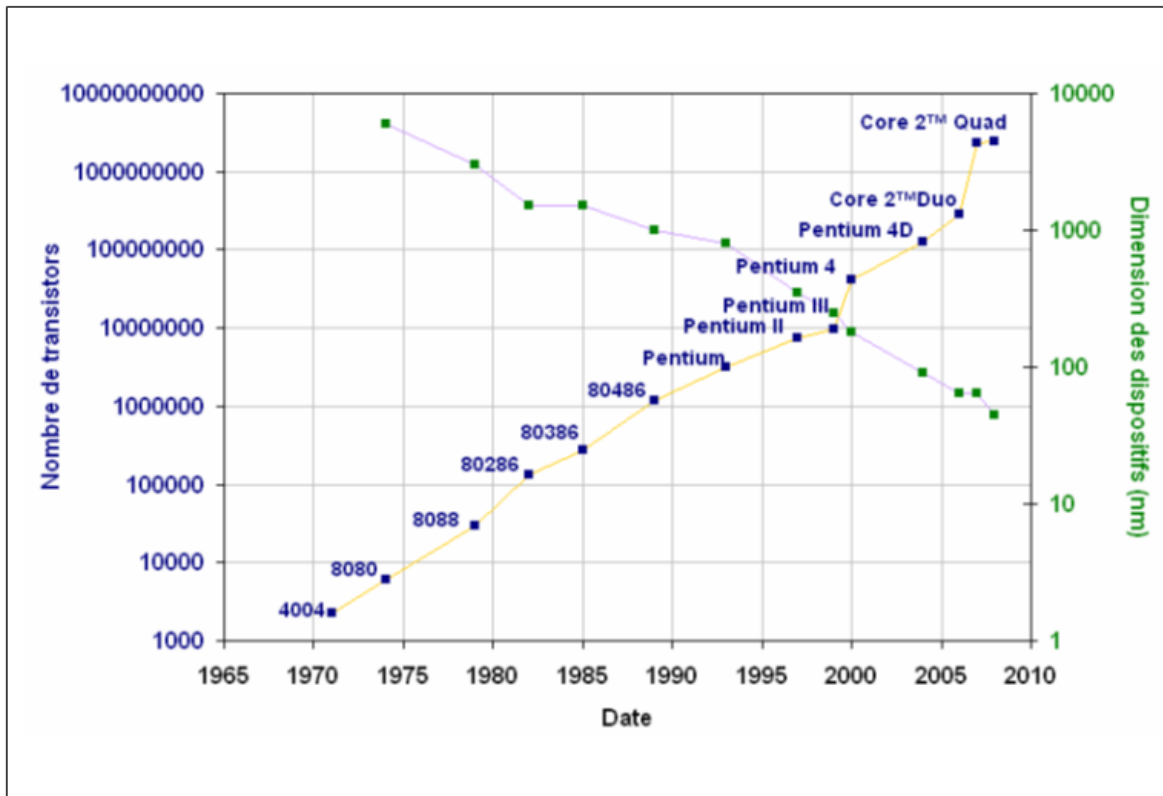


Figure 1.1. Représentation de la loi de Moore avec l'exemple des μ P d'Intel .

1.2. Notions de base du test

Le processus de conception des systèmes électroniques dépend des efforts de nombreux ingénieurs et techniciens. Une conception devient un dispositif physique après l'exécution des processus de fabrication qui tient compte de plusieurs tâches et matériaux afin de devenir le produit final. En général, dans un lot de fabrication, une conception unique est répétée plusieurs fois au cours du processus de fabrication, ce qui permet de réduire les coûts [6]. Pendant l'étape de fabrication dans les salles blanches, des défauts peuvent se produire (par exemple un court-circuit entre deux lignes métalliques parallèles ou entre les deux bornes d'un composant, un circuit-ouvert qui coupe la ligne métallique reliant deux composants etc.). Ces types de défauts rendent le circuit défectueux [7]. Le test des circuits électroniques peut intervenir à différents stades de la vie d'un circuit, de la conception jusqu'à l'utilisation dans l'application finale en passant par les différentes phases de production [9], afin de s'assurer que les circuits mis sur le marché donneront satisfaction au client en termes de fonctionnalité et de fiabilité [7].

Un comportement inexact du circuit, c'est-à-dire non conforme au comportement attendu, est défini par l'ensemble des termes suivants : défauts, erreurs et fautes [10]. Un lecteur peut trouver que ces termes sont parfois utilisés de manière confuse dans la littérature sur les tests. Une large étude et analyse de ces concepts a été faite dans [11]. Dans ce manuscrit, nous les utiliserons selon les définitions suivantes.

1.2.1. Défauts

Selon [6] [10] [12], Le défaut (aussi appelé défaillance) dans les systèmes électroniques est défini comme suit :

« La différence involontaire entre l'implantation réelle et la conception physique prévue du système »

Un défaut peut être une impureté sur la structure de silicium reliant un fil à une source de tension, ou à la terre ainsi que d'autres fils résultant d'un comportement erroné permanent. Habituellement, dans les circuits VLSI, ils ne peuvent pas être mappés à un seul défaut, car ils peuvent produire des comportements différents. Par exemple, une particule métallique microscopique mal placée reliant une sortie à une source de tension produit un blocage à 1, alors que si elle est connectée à la terre, la sortie produit un blocage à 0. Bien qu'il s'agisse du même défaut, un fragment de métal égaré, il produit des situations différentes résultant de comportements défectueux différents. Pour cette raison, les défauts ne peuvent pas être directement transformés en défauts spécifiques.

Une autre situation qui peut se produire, des défauts peuvent être induits par une autre source provenant de l'environnement comme : les particules de rayonnement, les champs magnétiques, les températures élevées ou basses, et le stress physique. Dans ce cas, le défaut est transitoire et ne modifie que momentanément la structure physique (ou son fonctionnement), juste assez pour produire ou non un défaut transitoire [6].

Les défauts les plus courants sont :

1. Défauts du procédé de fabrication: fenêtres de contact manquantes, transistors parasites, rupture d'oxyde, etc.
2. Défauts du matériau : défauts de volume (fissures, imperfections cristallines), impuretés du matériau, etc.
3. Défauts du vieillissement : rupture diélectrique, électromigration, etc.

4. Défauts du boîtier après encapsulation: dégradation du contact, étanchéité du boîtier, etc.
5. Défauts induits par l'environnement: particules de rayonnement, humidité, vibrations, etc.

1.2.2. Fautes

La représentation du défaut à un degré d'abstraction supérieur, est appelée faute, La différence entre un défaut et un faute est assez subtile. Ce sont les imperfections du matériel et de la fonction, respectivement [11].

Une faute liée par exemple à un défaut de fabrication ou au vieillissement du circuit est dite *permanente*.

Certaines fautes peuvent aussi être *transitoires*, par exemple une faute induite par l'impact d'une particule dans un circuit combinatoire, qui entraîne un pic de courant et la modification du niveau logique d'un signal ; au bout d'un certain temps, l'effet dû au passage de la particule va s'annuler et la faute disparaît. Certains types de fautes peuvent aussi être *intermittents* et n'apparaître que sous certaines conditions [12].

1.2.3. Erreurs

Un signal de sortie erroné produit par un système défectueux s'appelle une erreur. Une erreur est un "effet" dont la cause est un "défaut" [11].

Une **défaillance** survient ensuite si cette erreur se propage à l'extérieur du circuit et induit un dysfonctionnement, c'est-à-dire un écart inacceptable par l'utilisateur entre la fonction spécifiée et celle actuellement délivrée par le circuit. La figure 1.2 présente les différents niveaux d'abstraction du défaut [12] [13].

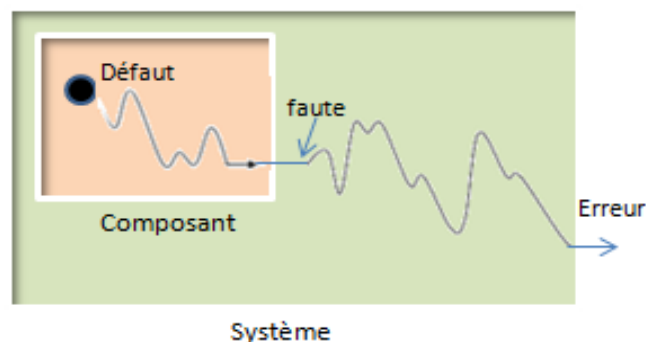


Figure 1.2. Différents niveaux d'abstraction du défaut

1.3. Le test dans le cycle de vie des circuits intégrés

Le test consiste généralement à appliquer un ensemble de stimuli de test aux entrées du circuit sous test (CUT) tout en analysant les réponses de sortie, comme illustré à la Figure 1.3.

Les circuits qui produisent les réponses de sortie correctes pour tous les stimuli d'entrée réussissent le test et sont considérés comme exempts de défauts. Les circuits qui ne produisent pas une réponse correcte à n'importe quel moment de la séquence de test sont supposés défectueux [14].

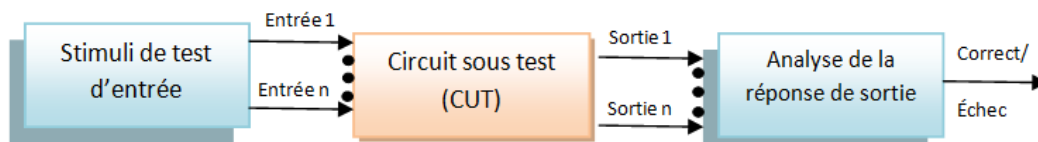


Figure 1.3. Approche de base du test

Les tests sont effectués à diverses étapes qui constituent le cycle de vie du circuit, on distingue ainsi deux étapes principales pendant La fabrication d'un circuit intégré, une étape de conception du circuit et une étape de fabrication (voir figure 1.4). Dans chacune des étapes, un test doit être effectué. Dans la première étape, le test à effectuer est appelé test de validation ou test de caractérisation. Dans la deuxième étape, le test à effectuer est un test de production. Dans la présente section, nous examinons ces divers types de tests, en commençant par le test de caractérisation. [1] [5] [15] [16]

1.3.1. Le test de caractérisation.

Le test de caractérisation est réalisé sur les premiers prototypes du circuit fabriqués à l'issue de la phase de conception [16], Il s'agit d'un test fonctionnel devant vérifier si les performances du circuit correspondent à celles prévues (du cahier de charges) [18]. Il est appelé aussi test de vérification. Cette forme de vérification est effectuée lors d'une nouvelle conception de circuit avant d'être transformé en produit fini, il s'agit de s'assurer de son bon état et que ce produit répond parfaitement à toutes les spécifications possibles [19].

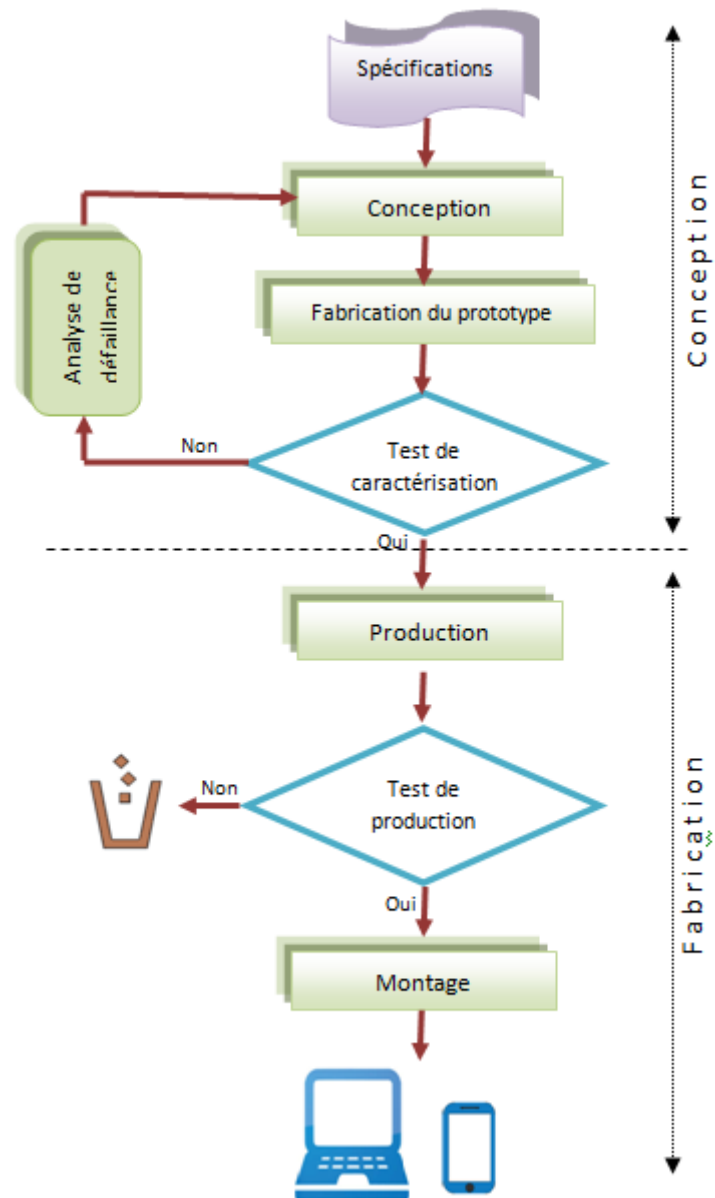


Figure 1.4. Cycle de conception et de fabrication des circuits intégrés et la place du test dans ce cycle [1] [5] [18]

1.3.2. Le test de production.

Le test de production des CIs a pour but de vérifier que les processus de fabrication et d'assemblage se sont déroulés correctement, et garantir ainsi le fonctionnement attendu des

circuits finis [20]. Le test de production se doit de détecter les défauts de fabrication des circuits et ainsi de différencier les bons circuits des mauvais [16].

Le test de production se déroule de la façon suivante : à l'aide d'équipements dédiés au test, un ensemble de stimuli est appliqué en entrée du circuit et les réponses obtenues en sortie sont collectées. Si les réponses sont égales à celles attendues, le circuit est déclaré sain et peut être délivré au client. Par contre, si le circuit présente des erreurs, il est marqué comme défectueux et sera donc rejeté [15], il n'est plus possible de réparer les circuits défectueux, on n'a pas besoin de faire un diagnostic de tous les circuits rejetés [1].

1.4. Les défauts dans les circuits intégrés

Un ensemble électronique est constitué d'un assemblage de composants de différentes natures, associés pour remplir une certaine fonction définie dans un cahier de charge. Il s'agit en général d'un ensemble de cartes imprimées équipées de composants passifs où actifs de différentes types comme résistances, capacités, amplificateurs, transistor, diodes ... etc.

Il ne sert à rien de construire des ensembles électroniques complexes utilisant les technologies les plus avancées à base des circuits analogiques où numérique, si l'on ne dispose pas de moyens de contrôle de leur bon fonctionnement. Un de ces moyens s'effectue au niveau processus de fabrication afin de confirmer la qualité de ces circuits ou dans le cas défavorable permettre de détecter les défauts avant que le produit ne soit lancé au marché [19].

La grande complexité de la nouvelle génération de circuits et de systèmes intégrés, combinée avec le développement des technologies, la haute vitesse de fonctionnement, la consommation basse d'énergie, la haute densité de mise en boîte et de réduction du temps du cycle de conception, a rendu extrêmement difficile et cher le test de systèmes électroniques et le diagnostic des parties défectueuses en utilisant les méthodes de test traditionnelles. Cette situation s'empirera dans un avenir proche, lorsqu'un grand nombre de puces seront conçues avec des blocs analogiques et digitaux complexes et hétérogènes.

Le plus souvent, les défauts rencontrés dans les circuits intégrés proviennent de deux sources différentes à savoir les défauts provenant des erreurs de conception et les défauts de fabrication. Tous les deux peuvent entraîner un dysfonctionnement total du circuit ou à des degrés moindres.

Les défauts de fabrication d'un circuit intégré sont généralement de deux types : les défauts dont l'origine provient de l'environnement de fabrication et les défauts causés par une variation du processus de fabrication. Une particule de poussière qui se dépose sur la tranche de silicium du circuit en cours de sa fabrication constitue un exemple de défaut dû à l'environnement. Un exemple de défaut causé par une variation de processus de fabrication est un mauvais alignement des masques.

Pour bien comprendre Les défauts dans les circuits intégrés, il est nécessaire de connaître les sources provoquant les fautes (section 1.4.1). Les classes des fautes sont décrites en (section 1.4.2).

1.4.1. Sources des fautes

On rencontre le plus souvent des circuits électroniques tels que les diodes, les transistors, les circuits qui tombent en panne même si apparemment ces composants n'ont subi aucune usure. Cela est dû à plusieurs mécanismes qui se manifestent au niveau de leur structure interne. Le procédé de fabrication est généralement la cause principale de la présence des fautes, que ce soit après fabrication ou bien après une durée de vie du circuit. Les fautes peuvent être aussi provoquées par le design et sont censées être corrigées après la vérification des prototypes [7] [19].

Le Tableau 1.1 résume les mécanismes de défaillances observés sur les dispositifs fabriqués, ainsi que les défauts qu'ils sont susceptibles d'engendrer. Ils ont été classés suivant qu'ils proviennent de la fabrication ou qu'ils se produisent lors de l'utilisation [21].

1.4.2. Classification des fautes

L'étape de conception de circuits peut être entachée d'erreurs qui devraient être détectées dans l'étape de vérification [22]. Des erreurs peuvent aussi être introduites dans l'étape de production. Le but ultime du test est de détecter les circuits défectueux compte tenu de ces erreurs.

Les variations du processus de fabrication engendrent deux types de défauts : les défauts globaux et les défauts locaux (Figure 1.5). Un défaut global correspond à une variation systématique d'un même paramètre. Par exemple, une variation hors tolérance de la tension de seuil de tous les transistors du circuit est représentative d'un défaut global.

Mécanismes de défaillances		Défauts
Fabrication	Lithographie	Défauts topologiques, courts circuits , circuits ouverts, variations paramétriques des topologies.
	Dépôts	Variation paramétriques : topologiques, mécaniques, thermiques.
	Gravures des couches sacrificielles	Collage, sur-gravures, rugosité.
	Séchage	Collage, non alignement, fracture.
	Particules	Courts circuits électriques, collage mécanique, frottement, variation paramétriques.
	Contamination chimique	Variation paramétriques : électrique et mécaniques, bruit.
Utilisation	Chocs	Fracture, Collage, non alignement.
	Friction	Frottement, usure, fracture, particules.
	Fatigue	Fracture, déformations plastique.
	Usure	variations paramétriques des topologies.
	Adhésion	Collage, Courts circuits électriques ,non alignement.
	Attraction électrostatique	Collage, Courts circuits ,non alignement.
	Surcharge électrique/thermique	Fusion, circuits ouverts, courts circuits, variations paramétriques, déformations plastique.
	Décollage	Frottement, fracture.
Délamination	Frottement, fracture, non alignement.	

Tableau 1.1: Principaux mécanismes de défaillances et défauts pouvant altérer le bon fonctionnement d'un circuit intégré.

Par opposition, un défaut local correspond à de petites variations aléatoires qui apparaissent entre des composants adjacents. Ces petites variations sont appelées erreur d'appariement.

Un défaut sur un composant du circuit provoque une défaillance Structurale (catastrophique et non-catastrophiques) ou paramétrique. Les fautes structurelles peuvent être catégorisées en fonction des effets des fautes sur les spécifications du circuit. Les fautes qui causent la violation de toutes les spécifications à la fois sont dites Fautes catastrophiques. Les fautes qui causent la violation, uniquement, de certaines spécifications sont dites Fautes non-catastrophiques. Alors que les défaillances paramétriques représentent les fautes qui ont uniquement un impact sur les valeurs des paramètres (par exemple, une déviation de la valeur typique d'une résistance ou d'une capacité) [5].

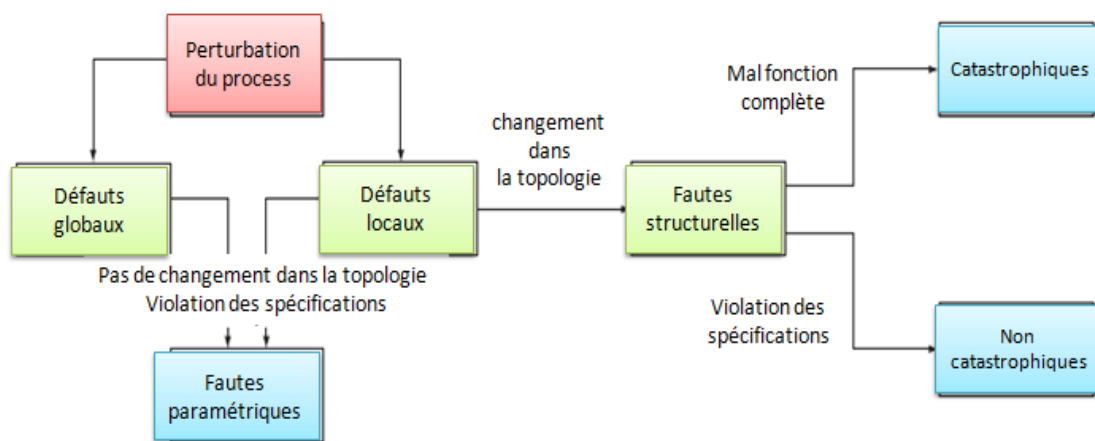


Figure 1.5. Classification des fautes.

1.4.2.1. Les fautes catastrophiques

Les fautes catastrophiques sont des fautes qui correspondent à des défauts aléatoires localisés dans un point. Par exemple, une particule de poussière sur un masque photolithographique entraînant des déformations locales qui peuvent engendrer des courts-circuits et des circuits ouverts [9].

La présence d'une faute catastrophique conduit généralement à un fonctionnement du circuit très loin de ses spécifications : "le circuit ne marche pas".

Les circuits ouverts sont généralement modélisés par une résistance dont la valeur peut varier de quelques centaines de kilohms à des centaines de mégaohms. Les courts-circuits sont modélisés par une résistance d'une valeur variant d'un ohm à une dizaine d'ohms [18].

1.4.2.2. Les fautes paramétriques

Comme pour les fautes catastrophiques, les fautes paramétriques sont des fautes dues aux fluctuations des paramètres du processus de fabrication qui en général n'engendrent pas un comportement complètement différent du circuit mais causent des déviations des sorties du circuit qui sont en dehors des intervalles de tolérance [8].

Comme les fautes paramétriques engendrent des déviations des paramètres de sortie du circuit et que ces déviations peuvent être plus au moins grandes suivant le paramètre considéré, il est donc plus difficile de tester ces fautes. En effet, il ne suffit pas de trouver des vecteurs de test qui activent les fautes, mais il faut aussi trouver les meilleurs paramètres qui permettent d'avoir des déviations en sortie du circuit en dehors des intervalles de tolérance [9].

1.5. Classement de test

Un test est une procédure qui permet de distinguer les bons et les mauvais circuits, les tests peuvent être classés en fonction de la technologie [23], des paramètres qu'ils mesurent, de l'objectif pour lequel les résultats du test sont utilisés et de la méthode d'application du test.

1.5.1. Aspect technologique.

Le type de tests à effectuer dépend fortement de la technologie du circuit à tester, analogique, numérique ou mixte.

1.5.1.1. Les circuits analogiques : ont la propriété que le domaine de valeurs du signal d'entrée et du signal de sortie est analogique ; c'est-à-dire que le balayage du signal prend n'importe quelle valeur dans une plage donnée (cette plage est délimitée par une borne inférieure et une borne supérieure (par exemple, dans le cas de niveaux de tension, ces limites peuvent être déterminées par la tension d'alimentation, résultant en une plage de 0 à +5V)).

Les tests analogiques visent à déterminer les valeurs des paramètres analogiques - tels que les niveaux de tension et de courant, la réponse en fréquence, la bande passante, la distorsion, etc. [24]

La génération des stimuli d'entrée de test, le traitement de ces stimuli par le circuit, ainsi que la détermination des valeurs des signaux de réponse de test sont par nature imprécis en

raison de la nature analogique des signaux (la précision infinie n'existe pas). Par conséquent, la détermination de la conformité d'un circuit à ses exigences n'est pas fondée sur une seule valeur, mais sur une plage de valeurs (intervalle).

1.5.1.2. Les circuits numériques : ont la propriété que le domaine de valeurs du signal d'entrée et du signal de sortie est binaire (généralement appelé numérique) ; c'est-à-dire que les signaux ne peuvent prendre que la valeur " logique 0 " ou " logique 1 ", les tests pour les circuits numériques déterminent les valeurs des signaux de réponse binaires, donnés par les stimuli binaires de test qui sont traités de manière numérique par le circuit à tester ; ceci peut être fait précisément du fait du caractère binaire des valeurs du signal, ces tests sont appelés tests logiques ou tests numériques.

1.5.1.3. Les circuits mixtes : ont la propriété que le domaine des valeurs des signaux d'entrée est numérique (analogique) tandis que le domaine des valeurs du signal de sortie est analogique (numérique), c'est-à-dire les circuits convertisseurs numérique-analogique (DAC) et analogique-numérique (ADC). Le test des circuits à signaux mixtes est basé sur une combinaison de techniques de test analogiques et numériques.

1.5.2. Aspect des paramètres mesurés

Lors du test de circuits électroniques, une classification des tests peut être effectuée en fonction de la nature du type de mesure qui est effectuée sur la valeur du signal. Lorsque la mesure vise à vérifier l'exactitude logique de la valeur du signal, on parle de tests logiques ; lorsqu'il s'agit du comportement de la valeur du signal dans le temps, ou de son niveau de tension et/ou de la capacité, on parle de tests électriques.

1.5.2.1. Tests logiques : les tests logiques visent à trouver des défauts ayant pour but de modifier le comportement logique du circuit : les écarts par rapport au bon circuit ne sont considérés comme des défauts que si le signal de réponse est un " 0 logique " et non un " 1 logique " attendu, et vice versa. Ces défauts peuvent se trouver n'importe où dans le circuit et ne sont pas considérés comme dépendant du temps (c'est-à-dire qu'il s'agit de défauts permanents).

1.5.2.2. Tests électriques : les tests électriques vérifient l'exactitude d'un circuit en mesurant les valeurs des paramètres électriques, tels que les niveaux de tension et de courant, ainsi que leur comportement dans le temps.

1.5.3. L'utilisation des résultats du test

L'utilisation la plus évidente du résultat d'un test est de distinguer les bons et les mauvais circuits. Ceci peut être fait avec un test qui détecte les défauts. Lorsque le but du test est la réparation, nous sommes intéressés par un test qui localise les défauts, ce qui est plus difficile à réaliser.

Les tests peuvent être effectués pendant l'utilisation normale du circuit ou du système ; ces tests sont appelés **tests concurrents**. Par exemple, la parité d'octets, par laquelle un bit de contrôle supplémentaire est ajouté à tous les huit bits d'information, est une technique bien connue de détection concurrente des erreurs.

Les tests non concurrents sont des tests qui ne peuvent pas être effectués pendant l'utilisation normale du circuit ou du système parce qu'ils ne préservent pas les données normales, ils ont l'avantage de pouvoir détecter et/ou localiser des défauts plus complexes.

La conception pour la testabilité (DFT) est une technique qui permet d'effectuer des tests non concurrents plus rapidement et/ou avec une meilleure couverture des défauts en incluant des circuits supplémentaires sur la puce à tester. La DFT est largement utilisée pour tester les circuits séquentiels. Lorsqu'un test doit être conçu pour un défaut donné dans un circuit combinatoire à n entrées, l'espace de recherche pour trouver un stimulus de test approprié pour ce défaut est de 2^n points. Dans le cas d'un circuit séquentiel contenant des flip-flops, l'espace de recherche augmente à 2^{n+f} points, en raison des états 2^f que les flip-flops peuvent assumer. Ceci rend la génération de tests très difficile pour tout circuit réaliste. Pour remédier à ce problème, on peut utiliser une technique DFT qui, en mode test, permet à toutes les bascules de former un grand registre à décalage. En tant que registre à décalage, les bascules peuvent être testées facilement (en décalant certaines séquences de 0 à 1) ; tandis qu'en même temps, les stimuli de test pour la partie logique combinatoire du circuit peuvent être décalés vers l'intérieur (balayés vers l'intérieur), et les réponses de test peuvent être décalées (balayés vers l'extérieur), réduisant ainsi le problème du test séquentiel du circuit. Cette forme particulière de DFT est appelée **scan design** [38].

Lorsque la quantité de circuits supplémentaires sur la puce à des fins de test est augmentée dans la mesure où il est possible de générer des stimuli de test et d'observer les réponses de test sur la puce, on parle **d'autotest intégré (BIST)**, qui évite la nécessité d'un équipement de test automatique (ATE) et permet un test en vitesse (à la fréquence normale).

1.5.4. Méthode d'application du test

Les tests peuvent également être classés en fonction de la façon dont les stimuli de test sont appliqués au circuit, et dont les réponses de test sont prélevées sur le circuit.

Un ATE peut être utilisé pour fournir les stimuli de test et observer les réponses; ceci nous est soumis un test externe. Dans le cas d'une carte comportant de nombreuses circuits, le test externe peut être effectué de la manière suivante :

1. Par les connecteurs normaux de la carte :

Cela permet une interface simple avec l'ATE et permet à la carte d'être testée à vitesse normale ; cependant, il peut être difficile (si ce n'est pas possible) de concevoir des tests permettant de détecter tous les défauts car tous les circuits ne sont pas facilement accessibles depuis les connecteurs ordinaires. Au niveau de la carte, ce type de test est appelé **test fonctionnel**, c'est la façon normale de tester à ce niveau.

2. Par l'intermédiaire d'un dispositif de fixation spécial (un jeu de connecteurs spécifiques à la carte) :

Un connecteur spécial spécifique à la carte est utilisé pour rendre accessibles toutes les lignes de signaux sur la carte. Des courants élevés sont utilisés pour piloter les signaux des stimuli de test afin de surcharger temporairement les niveaux de signal existants, ce qui réduit la vitesse à laquelle les tests peuvent être effectués à environ 1 MHz. Ce type de test est appelé **test in situ** ou **ICT** (in circuit testing). Il permet de localiser les composants défectueux.

1.6. Types de test

1.6.1. Test fonctionnel

Le test fonctionnel est défini comme un type de test qui vérifie le fonctionnement d'un circuit avant de l'envoyer en fabrication [9] [25]. et comme son nom l'indique, Le test fonctionnel consiste à évaluer toutes les spécifications d'un circuit ou système décrites dans la fiche technique (ou le cahier des charges) [18] [26]. Chaque fonctionnalité du système est testée en fournissant les données d'entrée appropriées, qui permettent d'obtenir les performances du dispositif en examinant les réponses sur les sorties (en comparant les

résultats réels avec les résultats attendus). Si une des performances est en dehors de ses spécifications, le dispositif est défaillant (voir Figure 1.6) [28]. Le test fonctionnel généré ne nécessite pas l'accès à la structure interne du système, seulement les relations fonctionnelles entre les entrées sorties du système sont demandées [29]. Du fait du nombre et de la complexité des performances à tester, le test fonctionnel est extrêmement coûteux en temps et en matériel [18].

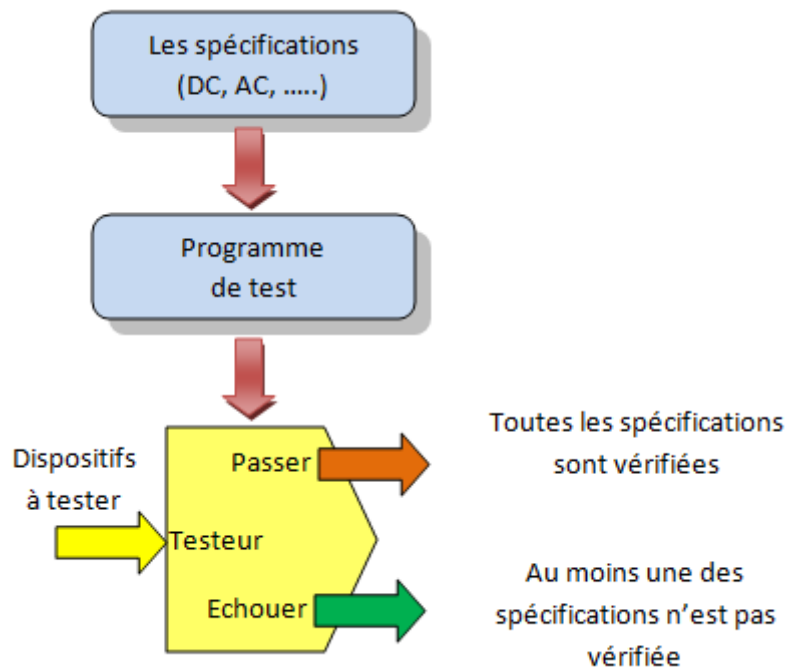


Figure 1.6. Principe d'un test fonctionnel.

1.6.2. Test structurel

A contrario du test fonctionnel, Un test structurel nécessite l'accès à la structure interne du système testé de façon à pouvoir adresser individuellement toutes ses composantes de base. L'approche structurelle est aujourd'hui la plus utilisée pour le test de fin de fabrication [5] [9].

Le test structurel a besoin d'une liste de fautes possibles afin de générer les vecteurs de test pour voir s'il existe ou non des fautes dans le circuit (voir Figure 1.7) [28]. Ceci demande une connaissance détaillée des défauts et des mécanismes de panne afin de construire des modèles de fautes qui nous permettent de simuler les mauvais comportements du circuit. Donc, la simulation de fautes et la génération automatique de

vecteurs de test sont utilisées pour décrire l'ensemble de vecteurs de test nécessaires pour un circuit donné afin de détecter les fautes prévues [18] [21].

Le test structurel est plus difficile à accomplir que le test fonctionnel, mais il permet d'utiliser un ensemble optimal de vecteurs de test et nécessite un minimum de temps de test, ce qui permet de réduire efficacement le coût du test [25].

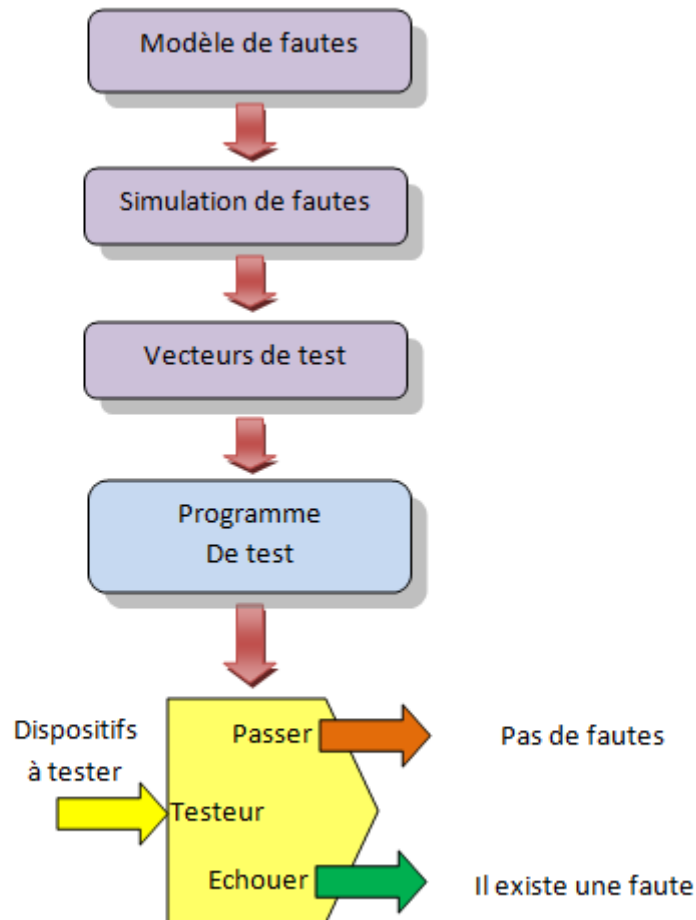


Figure 1.7. Principe d'un test structurel.

1.6.3. Test alternatif.

Le test alternatif est basé sur le fait que les variations des performances dépendent des variations des paramètres physiques du circuit sous test qui génèrent à la fois des variations dans les mesures de test [26]. Dans cette approche, les performances du circuit sous test ne sont pas directement mesurées en utilisant les méthodes conventionnelles. Mais en essayant de prédire les valeurs des performances à partir d'un ensemble réduit de mesures

de test qui peuvent être réalisées à bas cout [5] [9] [18]. Cette technique nécessite l'utilisation des méthodes de régression statistique dont la Figure 1.8 résume ce principe.

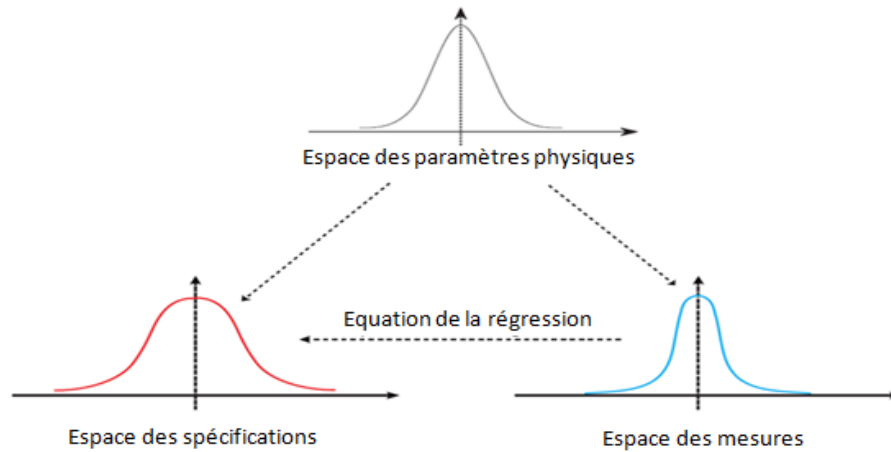


Figure 1.8. Correspondance entre mesures de test et performances

L'utilisation du test alternatif peut ainsi remplacer efficacement la procédure standard de test de spécifications, en vérifiant les performances du circuit de façon implicite. (Voir Figure 1.9) [26].

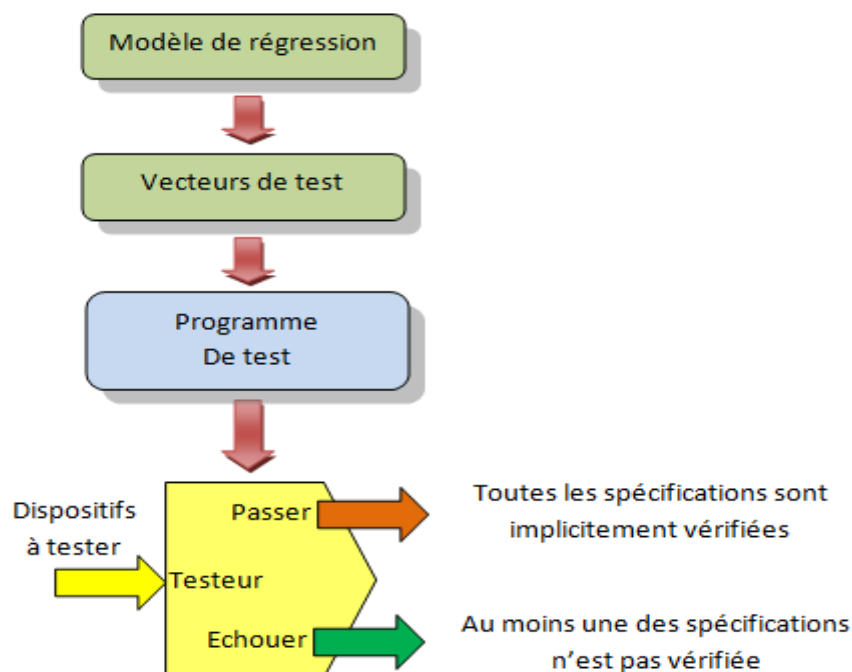


Figure 1.9. Principe de test alternatif.

1.7. Conception en vue du test

La conception en vue du test ou DFT " *Design For Testability* ", est un ensemble de techniques mises en jeu au moment de la conception du circuit pour en faciliter le test [21]. La DFT permet de concevoir des puces intégrant en plus à leur circuit principal un ensemble de circuits de test afin de réduire le coût de test et d'améliorer la fiabilité des circuits [5].

Plusieurs techniques d'aide à la conception en vue du test sont disponibles tels que :

1.7.1. Les techniques Ad-hoc : consistent principalement en un respect de règles de conception particulières [10]. On compte parmi ces méthodes :

- Le partitionnement : en divisant un circuit complexe en sous parties indépendantes plus faciles à tester.
- Le rajout de points de test : pour améliorer l'accessibilité en ajoutant des plots d'entrées sorties via des multiplexeurs.

1.7.2. Les techniques de scan (SCAN-PATH) : consistent à ramener le problème du test d'un circuit séquentiel à celui de plusieurs blocs combinatoires déconnectés et de taille plus réduite [10].

1.7.3. L'auto-test (BIST : Built In Self Test) : Le principe du BIST consiste à ajouter un ensemble de circuits intégrés dans une puce pour permettre au circuit ou au système de se tester tout seul (Auto-Test) [5].

1.7.4. Le test des frontières (IEEE 1149.1 Boundary Scan Standard) : Cette technique représente la technique la plus largement adoptée. Cette architecture facilite l'application des vecteurs de test et la lecture des réponses de test pour les puces numériques [1].

La DFT prend en compte les problèmes de test très tôt dans l'étape de conception des circuits. Actuellement, ces techniques sont très utilisées pour les circuits numériques.

Pour ce qui est des circuits analogiques, les techniques de DFT ont commencé à émerger ces dernières années et notamment pour le BIST où plusieurs techniques ont été développées [5].

La testabilité peut être définie, de manière générale, comme l'aptitude d'un circuit ou d'un système à être testé. Cette aptitude dépend de deux notions fondamentales en test [3] [9].

- ✓ **La contrôlabilité :** La capacité de contrôler des parties spécifiques d'une conception afin d'établir des valeurs particulières à des points spécifiques de la conception.
- ✓ **L'observabilité :** La capacité d'observer la réponse d'un circuit à un stimulus de circuit particulier.

Dans une conception logique numérique, ce serait une valeur logique particulière. Dans un circuit analogique, il s'agit d'une tension ou d'un courant particulier. Toutefois, cet objectif doit être atteint de manière économique et avec un impact minimal sur les performances de conception en mode de fonctionnement normal. Les questions économiques seraient liées à l'effort requis pour obtenir la contrôlabilité et l'observabilité [3].

1.8. Coût de test d'un circuit

Il est largement accepté dans l'industrie électronique que les puces doivent être testées avant d'être assemblées sur des circuits imprimés (PCB) qui, à leur tour, doivent être testés avant d'être assemblées dans des systèmes. Si un défaut de puce n'est pas détecté par le test de puce, alors la détection du défaut coûte 10 fois plus cher au niveau du circuit imprimé qu'au niveau de la puce. De même, si un défaut de carte n'est pas détecté par un test de PCB, alors le défaut coûte 10 fois plus cher au niveau du système qu'au niveau de la carte. Ces tests suivent la règle de dix ($\times 10$) (Figure 1.10). Certains prétendent que la règle des dix devrait être rebaptisée règle des vingt, parce que les puces, les cartes et les systèmes sont énormément plus complexes que lorsque la règle empirique a été énoncée pour la première fois [11].

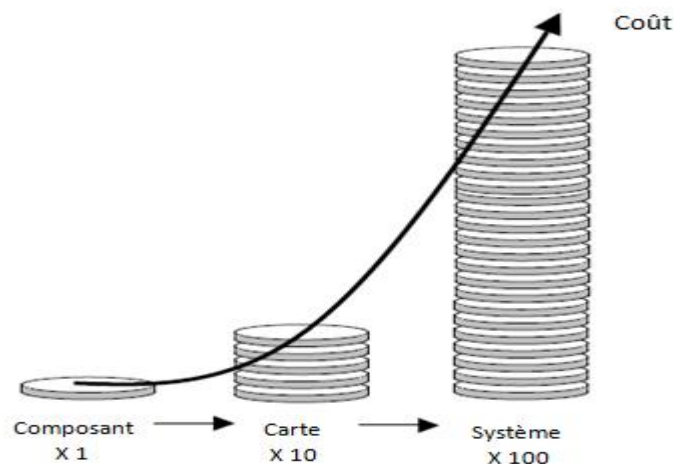


Figure 1.10. Coûts de détection des défauts (règle de $(\times 10)$).

Les coûts de test, qu'ils soient matériels ou relatifs au temps du test, ont un impact direct sur le coût final des circuits et sur les marges des entreprises de fabrication de circuits sur silicium. Le test d'un circuit ou d'une carte ou encore d'un système a donc un enjeu économique important. Il est donc nécessaire d'établir un compromis entre la qualité de test requise et le coût acceptable dans les limites raisonnables [10]. Il faudra alors penser à réaliser un test plus contraignant, donc augmenter son coût, entraîne naturellement une diminution du nombre de circuits défectueux vendus, et donc une diminution des coûts de retours clients.

Il est alors possible de faire apparaître un point d'équilibre entre le coût associé au test et le coût associé aux circuits défectueux vendus, qui sont des retours client. Ce point d'équilibre est représenté qualitativement en figure 1.11 et proposé par l'ITRS (*International Roadmap for Semiconductors*). L'augmentation de la performance du test entraîne l'augmentation du coût du test. En effet, pour augmenter la performance du test, il faut réaliser plus de tests, ou mesurer avec plus de précision. Ainsi, on observe une augmentation exponentielle du coût du test avec la performance du test. Une explication possible de cette allure est que ces contraintes sur le test sont utilisées pour détecter des défaillances dont la probabilité d'apparition est de plus en plus faible [31].

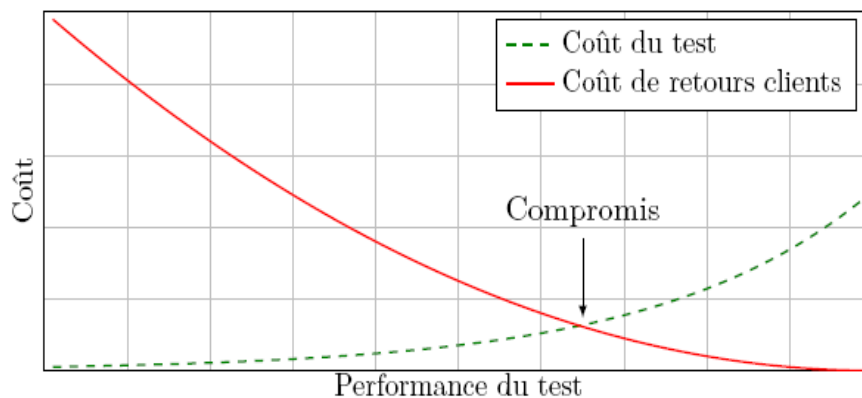


Figure 1.11. Illustration qualitative du compromis entre le coût du test et le coût des retours clients (d'après l'ITRS)

1.9. Conclusion

Ce chapitre a été consacré à un état de l'art du test des circuits et systèmes intégrés. Ceci nous a permis d'aborder les concepts de base qui s'y rattachent. Nous avons exposé la problématique du test des systèmes intégrés et les nouveaux défis et exigences de test des systèmes.

Cette Présentation permet de se familiariser avec les concepts utilisés par la suite pour étendre ces techniques au test et diagnostic des circuits analogiques. Ce sera l'objectif du prochain chapitre.

Chapitre **2**

**DIAGNOSTIC DE FAUTES DES
CIRCUITS ANALOGIQUES**

Chapitre 2

DIAGNOSTIC DE FAUTES DES CIRCUITS ANALOGIQUES

2.1. Introduction

Dans le domaine du test, les progrès accomplis au cours de la dernière années sont spectaculaires [32]: La grande complexité de la nouvelle génération de circuits et de systèmes intégrés, combinée avec le développement des technologies, la haute vitesse de fonctionnement, la consommation basse d'énergie, la haute densité de mise en boîte et de réduction du temps du cycle de conception, a rendu extrêmement difficile et cher le test de systèmes électroniques et le diagnostic des parties défectueuses en utilisant les méthodes de test traditionnelles. Il y a donc, un grand besoin de connaître la méthodologie de test et de diagnostic qui réduisent au minimum des coûts et qui produisent des produits de grande qualité [19].

Quand un système est reconnu défectueux, on se pose naturellement la question de l'origine de la défaillance. Ainsi, la localisation des fautes pose le problème essentiel du diagnostic. En effet, il est très important de faire procéder au diagnostic dans les systèmes électroniques [32].

Le diagnostic des défauts des circuits analogiques est un problème de recherche important en raison de l'absence de procédures ou de méthodes normalisées de test et de diagnostic [35]. Le diagnostic des défauts des circuits analogiques identifie d'abord si le circuit sous

test (CUT) est défectueux ou non en mesurant des variables de circuit telles que les tensions et les courants des nœuds, puis localise les composants défectueux.

2.2. Test et diagnostic

Tester un produit signifie évaluer s'il fonctionne correctement. Le processus de test peut être défini comme une procédure efficace d'extraction d'information pertinente concernant le système sous-test. En général, cette procédure est traduite par l'expérience dans laquelle le système est excité et sa réponse est analysée pour s'assurer de son bon fonctionnement [36]. Le test est réalisé en envoyant des stimuli sur les entrées et en observant la réponse du circuit sur les sorties. Si une faute est détectée, on a recours à des outils de diagnostic pour localiser la cause de la défaillance.

Définition du diagnostic : processus permettant d'acquérir la connaissance à travers des signes observables et le raisonnement menant à l'identification de l'origine d'une défaillance [37].

Les outils de diagnostic ont pour but de mettre en évidence des erreurs ou un dysfonctionnement dans les domaines suivants :

- Les erreurs de conception
- Les problèmes de fabrication
- Les dysfonctionnements d'équipements
- Les failles dans les programmes de test

2.3. Complexité du test et du diagnostic des circuits analogiques

Actuellement, les circuits analogiques sont très utilisés, mais la complexité et la densité de ces circuits en rendent la conception et le test très difficiles [39]. Alors que le test et le diagnostic des circuits numériques a fait l'objet de nombreuses études, qui ont permis la mise au point de différentes méthodes, ceux des circuits analogiques n'ont pas connus ce même essor [40] [42]. En pratique, la partie analogique des systèmes électroniques représentent 20 à 30% de la surface total du circuit. Par contre la complexité relative des circuits analogiques, associés au manque d'outils performants, rend le test et le diagnostic des circuits analogiques itératifs, lents et par conséquent, coûteux [21] [39].

Des efforts considérables ont été consacrés à identifier les causes de la complexité des tests analogiques [1] [21] [39] [40] [42] [44]. Elles se résument comme suit :

- Les signaux analogiques sont continus, ceci implique que l'ensemble des valeurs pris par les signaux est infini. Pour un circuit numérique, la présence d'une anomalie modifiera généralement la signature binaire du circuit, la réponse 0/1 obtenue correspond à une probabilité de 100% ou à une probabilité nulle de détection de faute. Cependant, la détection d'erreur pour les circuits analogiques n'est pas aussi simple à réaliser que pour les circuits numériques. En effet, en raison de la nature continue des signaux analogiques, il est impossible d'obtenir une signature aussi radicale. Ceci peut donc entraîner une mauvaise interprétation de la couverture de fautes, et on doit alors travailler avec des échelles de tolérance [1] [21] [44].
- La non-linéarité des caractéristiques des circuits analogiques et la relation non linéaire entre les réponses du circuit et les valeurs des composants. En d'autres termes, si la valeur d'un composant change d'un facteur quelconque k , la réponse ne changera pas nécessairement avec le même facteur [42] [44].
- Les relations entre les signaux d'entrée et de sortie des circuits analogiques sont souvent très complexes par rapport à celles des systèmes numériques où la relation entre les signaux d'entrée et de sortie est logique (booléenne) par nature. Un tel comportement est complexe et difficile à modéliser que ces dernières qui sont basées sur des tables de vérité, précises et faciles à modéliser [21].
- La haute sensibilité des performances du circuit aux capacités parasites sur les nœuds internes. Ce phénomène diminue de manière significative l'observabilité et la contrôlabilité du circuit. [39]
- La variété de composants complexes existe dans les circuits analogiques : transistor (MOS, bipolaires,...), condensateurs, diodes, résistances, inductances. Au contraire des circuits numériques basés sur l'emploi des transistors NMOS et PMOS. Cela complexifie les études de mécanismes de défaillance. [21]
- La prise en compte des tolérances des composants du circuit testé car les éléments sans défaut peuvent ne pas être à leur valeur nominale.
- La diversité des types et des paramètres d'entrée sortie pour les circuits analogiques, le problème de la génération des jeux de stimuli n'est pas facile [27]. En effet, les types de signaux à appliquer en entrée et à mesurer en sortie des circuits analogiques sont très divers et différent d'un circuit à un autre. Les paramètres d'entrée d'un circuit

analogique peuvent être : la tension, le courant, la fréquence, ... etc, et les paramètres de sortie peuvent être : la tension, le courant, le gain, la phase, la tension d'offset, le courant d'offset, le rapport signal/bruit, ... etc. Par contre, Pour les circuits numériques, quelque soit la fonctionnalité du circuit, les signaux d'entrée sortie sont toujours des tensions (V_{ss} et V_{dd}) [1].

2.4. Tâches des systèmes de diagnostic des fautes

Un défaut peut être défini comme la variation de la valeur d'un élément par rapport à sa valeur nominale, entraînant la défaillance de l'ensemble du circuit. Le diagnostic consiste à trouver la cause du mauvais fonctionnement d'un circuit défaillant. Selon le but du diagnostic, on peut distinguer les tâches de base d'un système de diagnostic de faute: la détection, la localisation et l'identification de fautes [34].

- **La détection de fautes** consiste à détecter qu'une faute existe dans le circuit, la procédure de diagnostic s'arrête une fois l'existence d'une faute est détectée.
- **La localisation de fautes** consiste à localiser l'endroit d'une faute sur le circuit.
- **L'identification de fautes** consiste à identifier la valeur d'un paramètre (par exemple une déviation de la valeur d'un paramètre du circuit au-delà de son intervalle de tolérance) qui engendre la faute.

2.5. Modélisation des fautes analogiques

Un modèle de fautes représentatif des défauts réels et simple à utiliser est fondamental pour développer une stratégie de test efficace. Plus le modèle de fautes est représentatif de la majorité des défauts physiques, plus on aura de défauts détectés.

Les fautes analogiques entraînant un mode continu de dégradation des paramètres, c'est-à-dire qu'ils peuvent prendre un nombre théoriquement infini de valeurs, la différenciation proviendra du seuil défini. C'est pourquoi, le problème majeur se dégageant pour le développement d'un modèle de faute dédié aux circuits analogiques provient des bandes de tolérance dont les limites sont à l'appréciation du testeur (figure 2.1) [45] [46].

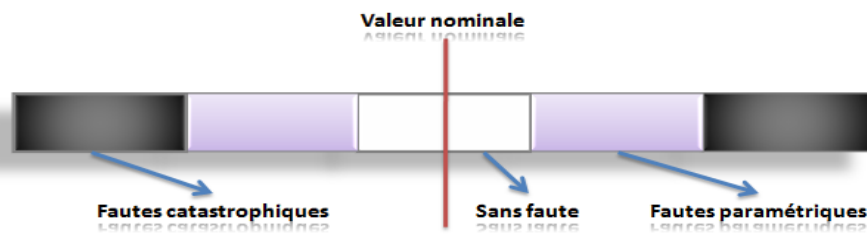


Figure 2.1 : Bandes de tolérance pour les différents types de fautes

Pour les circuits numériques on peut définir des modèles de faute selon deux niveaux d'abstraction : au niveau logique et au niveau transistor. Par exemple, au niveau logique, nous avons le modèle des collages au niveau porte "*Stuck at Fault*", le modèle des court-circuits "*Bridgings faults*", au niveau transistor nous avons le modèle des transistors collés [1] [17]. Pour les circuits analogiques, les défauts physiques peuvent être classés en trois catégories : une modélisation au niveau composant ou structurelle, une modélisation paramétrique et une modélisation au niveau fonctionnel [9] [46].

2.5.1. Modélisation structurelle (au niveau composant)

La modélisation au niveau composant consiste à modéliser les défauts au niveau structurel. Dans la plupart des cas, les fautes sont modélisées par des circuits ouverts ou des courts circuits [30]. Pour avoir des modèles de fautes précis et adaptés aux circuits intégrés, les défauts de circuit ouvert ou de court-circuit doivent être considérés comme une valeur résistive dépendant de la technologie.

Afin de pouvoir simuler les fautes sur les circuits, le modèle utilisé pour les différents constituants d'un circuit analogique est présenté en figure 2.2. Le modèle appliqué à la résistance R est adapté aux condensateurs, inductances et diodes en le remplaçant par ces derniers.

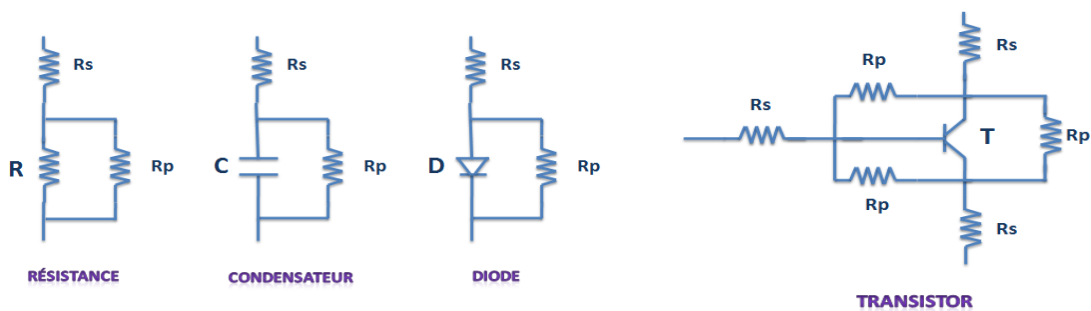


Figure 2.2 : modèles de fautes

Les défauts de circuit ouvert sont des défauts catastrophiques pour lesquels le terminal du composant n'est plus en contact avec le reste du circuit. Pour simuler de telles fautes, on applique une valeur importante à la résistance série, R_S , concernée ($\geq 1 \text{ M}\Omega$). Au contraire, les courts circuits vont directement relier deux terminaux d'un composant, pour les modéliser on appliquera une faible valeur à la résistance parallèle, R_P , concernée ($\leq 1 \Omega$) [43].

Nous pouvons, à partir de ce modèle, établir une équation permettant de calculer le nombre de fautes catastrophiques simulées pour un circuit intégré [46] :

$$N_{FC} = 2 \cdot (R + C + D + L) + 6 \cdot T \quad (2.1)$$

Où N_{FC} : Nombre de fautes catastrophiques
 R : Nombre de résistances
 C : Nombre de condensateurs
 D : Nombre de diodes
 L : Nombre d'inductances
 T : Nombre de transistors.

2.5.2. Modélisation paramétrique

La modélisation paramétrique est souvent l'attribution de la distribution d'une valeur d'un paramètre au-delà de son intervalle de tolérance. Contrairement au modèle structurel, le modèle paramétrique modélise les défauts qui ne changent pas la topologie du circuit. Pour trouver une telle faute, il faut varier le paramètre en question d'un certain pourcentage jusqu'à ce qu'au moins une des spécifications soit violée tandis que les autres paramètres restent fixés à leurs valeurs nominales.

La modélisation paramétrique est une méthode non déterministe, elle permet de couvrir une large plage de déviations de paramètres de circuit. L'avantage est que toutes les possibilités des valeurs dans l'intervalle de variations considérées peuvent être représentées par le modèle. Mais ce modèle ne prend pas en compte la possibilité réelle de déviations de composants en assumant généralement une variation plus large que ses tolérances. Pourtant, certaines variations des paramètres assumées par le modèle se produisent rarement dans la réalité.

2.5.3. Modélisation au niveau fonctionnel (comportemental)

La modélisation au niveau fonctionnel est une description de haut niveau des performances d'un circuit ou d'un sous circuit. L'injection d'une telle faute consiste à dévier les performances d'un circuit ou d'un sous circuit. Puisque les fautes sont modélisées au niveau performances, la simulation du modèle est plus rapide.

La modélisation comportementale est très utile pour un système complexe où une analyse hiérarchique est nécessaire. Dans l'industrie, les modèles comportementaux sont utilisés comme la base de développement de procédures de test. Mais l'efficacité de cette méthode dépend beaucoup de la qualité du modèle, il faut un modèle très complet et précis pour pouvoir décrire le défaut physique. En plus, le modèle comportemental ne contient pas d'informations sur les causes originales de fautes (déviation de paramètres du design ou défauts physique au niveau process), il ne permet pas d'effectuer un diagnostic profond sur les circuits défailants.

La modélisation des fautes au niveau fonctionnel est réalisée soit en utilisant des macro-modèles avec un simulateur de type SPICE soit en utilisant les langages de description comportemental analogique de type VHDL-AMS, qui permettent de modéliser le comportement d'un circuit analogique en utilisant des équations et des expressions mathématiques. L'avantage ici réside dans sa facilité à modéliser le comportement des circuits fautifs grâce à l'utilisation des outils mathématiques et des expressions de contrôle de type "If- Then- Else" [1].

2.6. Simulation de fautes et génération des vecteurs de test

2.6.1. Simulation de fautes

La méthodologie suivie par un simulateur de fautes consiste à simuler le circuit correct et les circuits fautifs afin de comparer les résultats sur les sorties primaires.

Comme il est montré sur la figure 2.3, le simulateur de fautes a besoin d'un modèle du circuit sous test, d'un modèle de fautes et d'une séquence de test en entrée qui peut être générée de manière aléatoire. Une faute introduite dans le circuit défectueux impliquant une sortie primaire différente de celle obtenue par la simulation du circuit correct est dite détectée [11] [48].

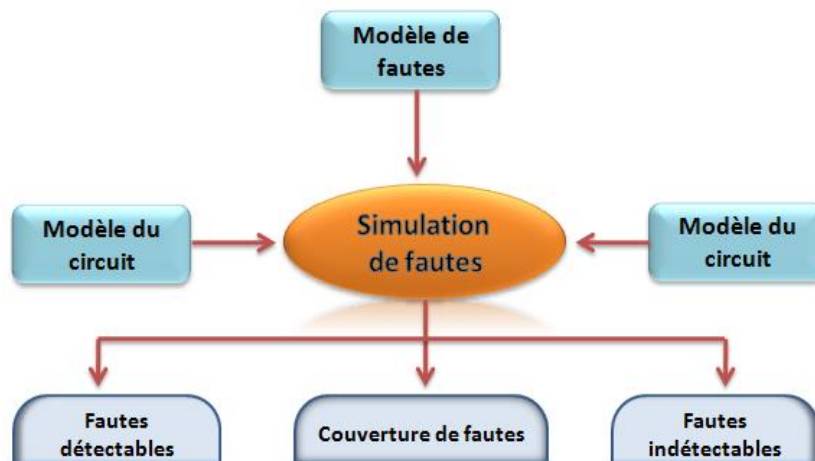


Figure 2.3: Méthodologie de la simulation de fautes.

L'approche la plus utilisée pour la simulation de fautes des circuits analogiques est basée sur l'utilisation d'un simulateur électrique comme SPICE et ELDO. La méthode consiste à exécuter les étapes suivantes [9] :

- ✓ simulation du circuit sans faute ;
- ✓ introduction d'une faute dans le circuit ;
- ✓ simulation du circuit avec faute ;
- ✓ comparaison des résultats des deux simulations.

Les trois dernières étapes sont répétées pour chaque faute.

2.6.2. Génération de vecteurs de test

Comme pour les circuits numériques, un vecteur de test représente le stimulus à appliquer au circuit sous test dans le but de détecter un défaut physique. Les stimuli analogiques sont plus complexes que les stimuli numériques. Ils ne sont pas constitués de séquences discrètes binaires, mais correspondent à des signaux analogiques qui sont par définition continus en temps et en amplitude. De plus, un stimulus analogique peut être caractérisé par une forme particulière adaptée pour un type de test donné. Par exemple, on teste un filtre analogique du premier ordre en lui injectant un signal sinusoïdal [16].

Un vecteur de test est une combinaison des entrées du circuit sous test qui permet de contrôler les fautes à partir des entrées primaires et de les observer sur des sorties primaires. L'opération de la génération des vecteurs de test consiste à définir le programme

qui permet de décrire les vecteurs de test spécifiques pour détecter l'ensemble des fautes données dans le but de réduire le coût de test. La Figure 2.4 montre un schéma général résumant la génération et l'application des vecteurs de test [5] [21].

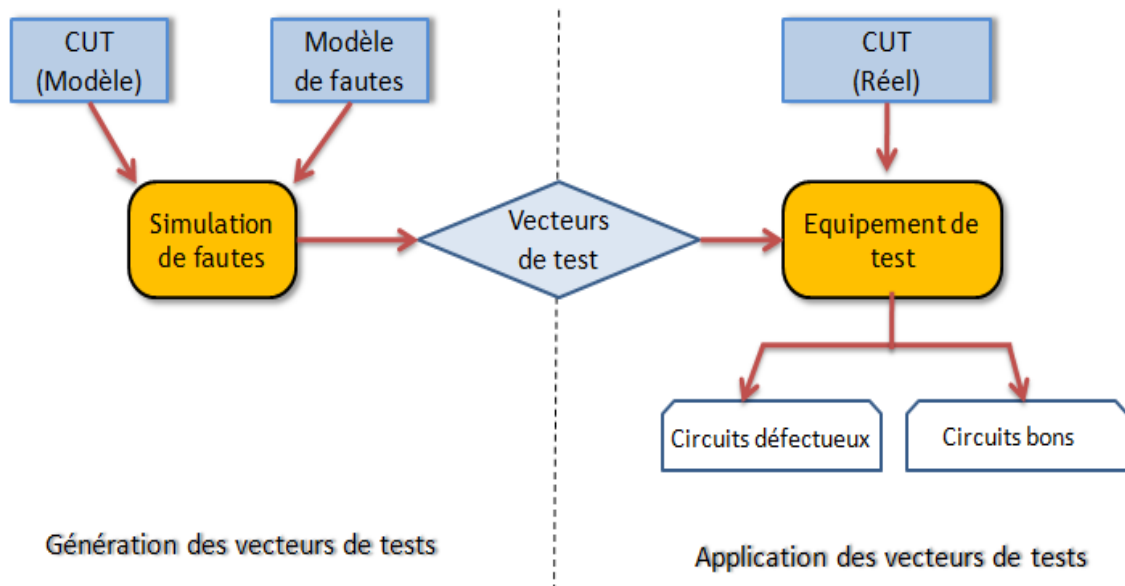


Figure 2.4. Génération et application des vecteurs de test.

Le générateur de vecteur de test analogique est un composant essentiel du schéma de détection et de diagnostic des défauts des circuits intégrés analogiques. Ce générateur de stimulus dépend du type de mesure de test à appliquer. Quatre catégories de mesures peuvent être distinguées [46]:

1. Mesures statiques en courant continu (DC): Ils comprennent la détermination des points de fonctionnement, de la polarisation et des tensions de décalage et des gains. Les défauts DC sont détectés par un seul ensemble d'entrées en régime permanent.

2. Mesures dynamiques AC : Ils mesurent la réponse en fréquence du circuit testé. Le stimulus d'entrée est généralement une forme d'onde sinusoïdale à fréquence variable. L'analyse spectrale harmonique peut être réalisée à l'aide des techniques de traitement numérique des signaux.

3. Mesures dans le domaine temporel : Ils utilisent des signaux impulsionnels (ondes carrées, et trains d'impulsions), des rampes ou des formes d'ondes triangulaires comme stimuli d'entrée du circuit. Parmi les paramètres dérivés : la vitesse de balayage, le temps de montée et le temps de retard.

4. Mesures de bruit : Ils mesurent la variation du signal qui apparaît à la sortie du circuit lorsque l'entrée est mise à zéro.

2.7. Techniques employées pour le diagnostic de fautes des circuits analogiques

Les méthodes analogiques de diagnostic de défauts peuvent être classées en deux stratégies principales : simulation avant test (SBT : Simulation Before Test) et simulation après test (SAT : Simulation After Test) [51]. Dans la stratégie SBT, pour un circuit sous test (CUT) particulier, une liste de défauts est obtenue à la première étape. Ensuite, les réponses correspondantes du CUT pour tous les défauts considérés sont enregistrées. Ceci peut être fait en examinant le CUT ou en effectuant des simulations de défaillance à l'aide d'un simulateur de type SPICE. Les défauts sont ensuite diagnostiqués en comparant les réponses simulées et observées. D'autre part, la stratégie SAT a été conçue pour résoudre les valeurs des paramètres des composants, compte tenu d'un ensemble de réponses mesurées et de la connaissance de la topologie du CUT [47].

Pour l'approche SBT, les paramètres d'entrée sont les paramètres des composants du circuit, et les paramètres de réponse sont des mesures du diagnostic (réponses mesurées du CUT). L'approche SAT est utilisée pour déterminer la carte inverse, c'est-à-dire que les paramètres d'entrée se composent des réponses mesurées du CUT, et des algorithmes sont développés pour résoudre les paramètres des composants du circuit sous test. La figure 2.5 présente une brève description des approches SBT et SAT et la figure 2.6 présente les différentes méthodes de diagnostic. Une description détaillée sera présentée dans la section suivante.

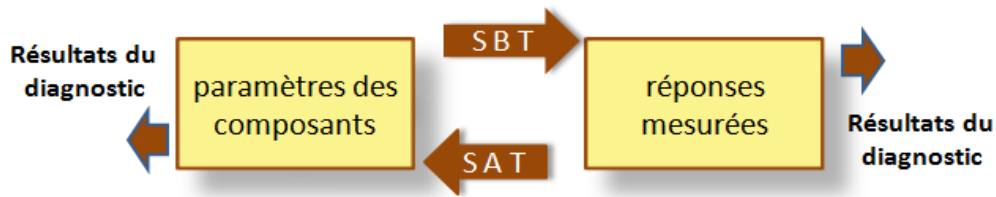


Figure 2.5. Description des approches SBT et SAT

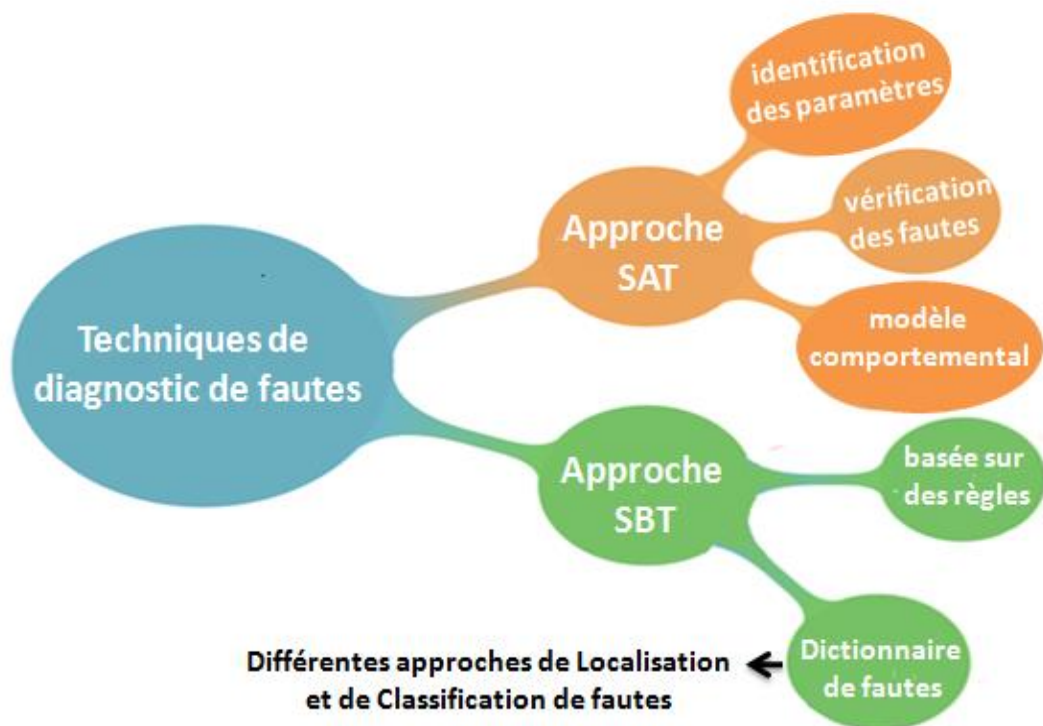


Figure 2.6. Classification des différentes approches de diagnostic des fautes.

2.7.1. Simulation avant test (SBT)

Dans cette approche, la simulation des défauts est effectuée avant le test à l'aide d'une liste de défauts prédéfinis. Une fois le circuit est testé, la décision de diagnostic peut se faire rapidement [49].

L'approche SBT peut être subdivisée en deux grandes approches, à savoir l'approche basée sur des règles et l'approche de dictionnaire de fautes. La présente section donne une description détaillée de ces approches.

2.7.1.1. Approche basée sur des règles

Le diagnostic basé sur des règles représente les informations de diagnostic sous forme de règles qui prennent généralement la forme

SI symptôme(s) *ALORS* fautes

Pour un domaine particulier, la construction de la base de connaissances peut nécessiter des centaines, voire des milliers de règles. Dans la phase de diagnostic, le moteur d'inférence cherche dans la base de connaissances les règles appropriées pour trouver la solution du problème [50].

L'approche de l'arbre de défaillance (arbre de décision) présentée dans la figure 2.7 peut également être classée comme approche fondée sur des règles puisque la relation entre les symptômes et les défaillances est également représentée en termes de conditions et de règles. La plupart des programmes de diagnostic intelligent mis en œuvre dans le début des années 1980 étaient de cette forme.

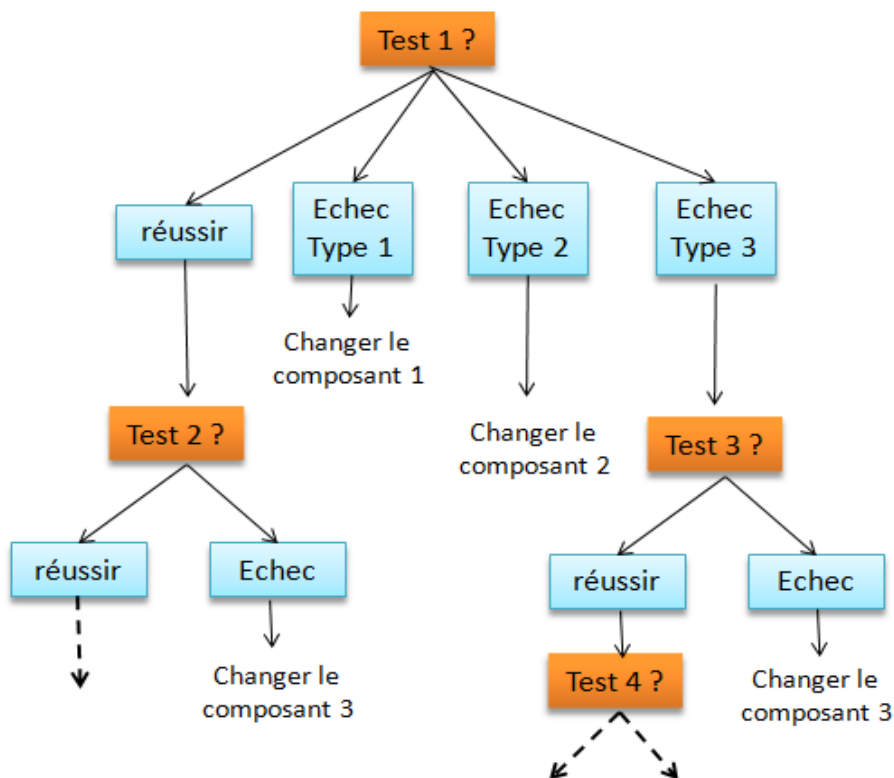


Figure 2.7. Arbre de défaillance simple [50]

L'avantage de cette méthode est sa simplicité. Pour diagnostiquer un circuit défaillant, une fois les règles sont définies, la solution peut être obtenue rapidement.

L'inconvénient de cette méthode est la difficulté d'obtenir une base de connaissances suffisante qui inclut toutes les fautes éventuelles. En plus, la construction de la base de connaissance dépend du circuit, une base de connaissance pour un circuit ne peut pas être utilisée pour un autre.

2.7.1.2. Méthode de dictionnaire de fautes

C'est indiscutablement la plus populaire des méthodes de diagnostic en électronique [32]. De nombreux outils de test permettent à leurs utilisateurs d'en générer de manière automatique. Un dictionnaire de fautes peut être soit une liste de fautes avec chaque vecteur d'entrée et le vecteur de sortie obtenu en présence de chaque faute, soit une liste de vecteurs de test avec les fautes détectées pour chacun de ces vecteurs [33].

Pour construire un dictionnaire de fautes, on définit d'abord les conditions de défaut possibles du CUT et on identifie un type de stimulus (AC, DC ou domaine temporel) d'une grandeur appropriée. Le CUT est simulé pour un fonctionnement sans défaut et différentes conditions de défaut et les réponses du circuit sont obtenues [46].

Dans la phase d'identification des défauts, des mesures sont effectuées sur les points de test et sont comparées avec les réponses stockées pour localiser les composants défectueux. Comme l'approche n'implique que des comparaisons, ce type de test s'avère efficace et peu coûteux sur le plan du calcul. Le problème associé à ce type de technique est le stockage dans le cas de circuits complexes et de défauts multiples.

La figure 2.8 montre le principe de la méthode de dictionnaire de fautes. Cette méthode construit un dictionnaire qui contient l'ensemble de fautes $\{F_j, j = 1, 2, \dots, n\}$ et les réponses mesurées du CUT $\{m_j, j = 1, 2, \dots, n\}$ correspondantes. Ils sont obtenus à partir des simulations en générant chaque fois une faute F_j dans le netlist du circuit. Dans la phase de diagnostic, les mêmes mesures m_i sont prises et elles sont comparées avec celles stockées dans le dictionnaire. La faute sera celle dont les mesures sont plus similaires que celles du circuit sous test. La méthode de dictionnaire de fautes est donc une approche de reconnaissance de formes (classification). Plusieurs méthodes de classification ont été proposées dans la littérature [55], comme les réseaux de neurones, machine à vecteurs de

support (SVM), la logique floue, etc. une description détaillée des différentes méthodes du dictionnaire de défauts sera décrite en section 2.8.

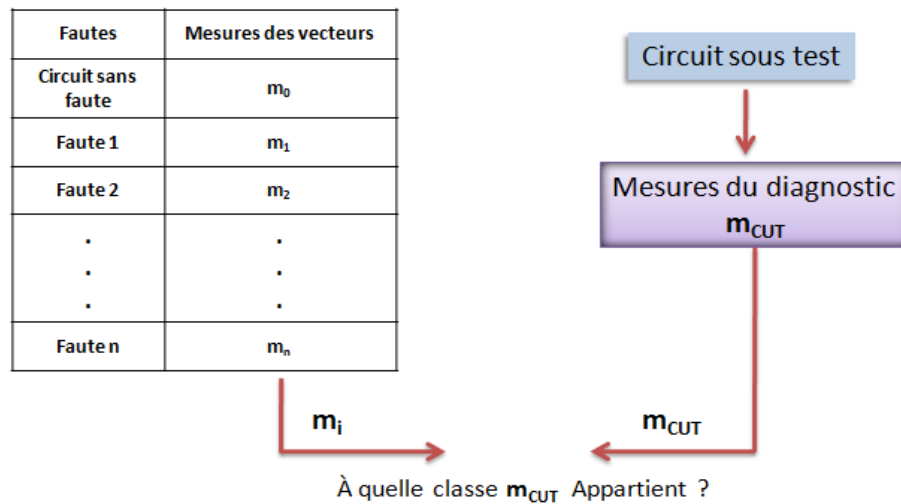


Figure 2.8: Méthode de dictionnaire de fautes

2.7.2. Simulation après test (SAT)

Dans le cas d'une simulation après test, les variables de diagnostic ou de test sont mesurées au moment du test, et des simulations sont effectuées pour localiser les composants défectueux [41]. Il existe différentes méthodes de SAT pour l'identification des paramètres : technique basée sur les méthodes d'identification des paramètres, technique basée sur la vérification des défauts et la technique basée sur le modèle comportemental du circuit. Les méthodes d'identification des paramètres utilisent un plus grand nombre de mesures pour trouver les composants défectueux alors que les techniques de vérification des défauts minimisent le nombre de mesures nécessaires pour les tests [42].

2.7.2.1. Méthodes d'identification des paramètres

La méthode d'identification des paramètres estime les valeurs réelles de tous les paramètres du réseau. Un élément est considéré comme défectueux si ses paramètres de réseau ne correspondent pas aux variations autorisées.

Les paramètres de réseau sont estimés en résolvant un ensemble d'équations linéaires ou non linéaires de circuits pouvant être résolus avec la connaissance des valeurs nominales des composants et de la topologie des circuits.

Les circuits pour lesquels les valeurs des composants peuvent être déterminées à l'aide des équations de diagnostic et de quelques mesures suffisantes pour le test sont appelés circuits résolubles par la valeur des éléments.

Les éléments peuvent être identifiés en supposant que les nœuds sont accessibles pour la mesure. Dans les circuits linéaires, des techniques de simulation de composants et de transformation en étoile delta sont utilisées pour déterminer les paramètres du réseau. Dans le cas de circuits non linéaires, on utilise des méthodes de test en courant continu, dans le domaine temporel et en fréquence multiple [42].

2.7.2.2. Méthodes de vérification des fautes

Les méthodes de vérification des défauts sont similaires aux méthodes d'identification des paramètres mais utilisent des mesures effectuées sur un nombre limité de nœuds en supposant que seules ces mesures sont déviées de l'état sans défaut. Ainsi, la première étape de l'approche de vérification des défaillances consiste à trouver les éléments potentiellement défectueux et à sélectionner les nœuds de test. Les méthodes de vérification des défauts sont effectuées en supposant que le nombre de composants défectueux est inférieur au nombre de mesures utilisées pour les tests (Tong 1980). Comme l'approche n'utilise que peu de mesures pour localiser les composants défectueux, le coût de calcul est réduit.

2.7.2.3. Méthode de modèle comportemental

La technique de modèle comportemental consiste à générer un modèle approximatif du circuit. Différents niveaux d'abstraction peuvent être envisagés pour construire le modèle. Ensuite pour un circuit sous test, les mesures sont prises et comparées avec les performances du modèle. S'il existe une différence entre les performances du circuit et celles du modèle, alors la présence d'une faute est détectée. Le diagnostic consiste à ajuster les paramètres du modèle pour que ses performances soient identiques que celles du circuit sous test. Les paramètres qui ont été déviés dans le modèle indiquent l'origine de fautes.

Théoriquement, si le modèle du circuit est précis, toutes les fautes peuvent être diagnostiquées. La difficulté principale de cette méthode est que le temps de calcul pour aboutir à une solution pourrait être très long dans la phase d'identification. En plus, si une faute a changé la topologie du circuit, le modèle ne sera plus valable et la solution d'identification pourrait être fausse [52].

2.7.3. Conclusion sur les techniques du diagnostic

L'approche SBT pour le diagnostic des défaillances a été présentée dans cette section. Dans cette approche, la simulation de défaut est effectuée avant le test du CUT en tenant compte de sa topologie. L'utilisation de modèles de défaillance réalistes est très importante pour améliorer l'efficacité de la simulation de défaillance. Le choix d'un ensemble de mesures adéquates est également important pour distinguer les différents défauts. Comme nous l'avons mentionné précédemment, des approches de diagnostic de défauts peuvent être appliquées pour diagnostiquer un circuit. Chaque approche présente des avantages et des inconvénients, de sorte que le choix d'une approche est un problème spécifique au circuit.

Contrairement à l'approche SBT, le calcul en approche SAT pour résoudre les paramètres de réponse connaissant la topologie du circuit est effectué après le test du CUT. Les paramètres à résoudre peuvent être des paramètres de conception/process, mais aussi des paramètres comportementaux de haut niveau. La testabilité est la question principale dans l'approche SAT, c'est-à-dire si tous les paramètres considérés peuvent être résolus avec précision dans un délai acceptable en utilisant les mesures disponibles. Plusieurs méthodes ont été proposées pour améliorer la testabilité telle que présentée dans cette section. En cas de déviation importante des paramètres ou d'un circuit complexe avec un grand nombre de composants, la résolution des paramètres peut prendre beaucoup de temps. De plus, si un défaut a modifié la topologie du circuit, tel qu'un défaut ponctuel, l'approche peut ne pas être validée.

2.8. Approches de Localisation et de Classification de fautes

Au début des années 80, et après avoir constaté l'évolution rapide de la complexité des systèmes électroniques et les limitations liées à l'utilisation des dictionnaires de fautes, les travaux de recherche se sont orientés vers l'étude d'une possible contribution que pourrait

apporter l'intelligence artificielle dans le domaine du diagnostic. Ces systèmes sont qualifiés d'"Experts" dans la mesure où ils sont censés reproduire le raisonnement d'un expert humain confronté aux mêmes problèmes.

Dans cette section, au delà des méthodes probabilistes ou statistiques traditionnelles, on introduit les principales méthodes de localisation et de classification des fautes basées sur les réseaux de neurones et la logique floue qui permettent d'exploiter la masse de données disponibles [54].

2.8.1. Les réseaux de neurones artificiels (ANN) [52]

Un réseau neuronal artificiel (ANN) est un modèle mathématique ou un modèle computationnel qui s'inspire de la structure et des aspects fonctionnels des réseaux neuronaux biologiques. Un réseau neuronal se compose d'un groupe interconnecté de neurones artificiels. Dans la plupart des cas, un ANN est un système adaptatif qui modifie sa structure en fonction des informations externes ou internes qui circulent dans le réseau pendant la phase d'apprentissage.

Un ANN est généralement composé d'un certain nombre de couches. Les entrées de chaque couche sont reliées aux sorties de la couche précédente. Chaque couche est composée de plusieurs neurones associés à un poids. Sur la dernière couche, toutes les sorties sont additionnées grâce à une fonction d'activation prédéfinie ϕ . La figure 2.9 montre une représentation graphique d'un ANN monocouche. La sortie y_j de l'ANN peut être exprimée comme suit :

$$y_i = \phi \sum_{i=1}^n (X_i w_{ij}) \quad (2. 2)$$

Où ϕ désigne la fonction d'activation, X désigne le vecteur d'entrée, n désigne la dimensionnalité de l'entrée, et w_{ij} désigne la i ème valeur pondérale de la j ème couche.

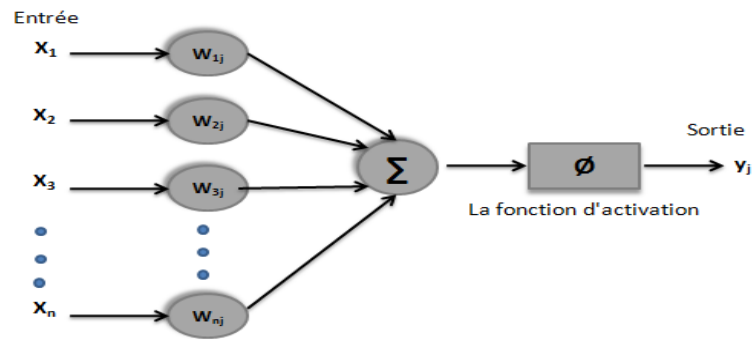


Figure 2.9. Un ANN monocouche.

Un ANN est généralement défini par trois types de paramètres :

- 1) Le schéma d'interconnexion entre les différentes couches de neurones.
- 2) Le processus d'apprentissage pour la mise à jour des poids des interconnexions, et
- 3) La fonction d'activation qui convertit l'entrée pondérée d'un neurone en sa sortie.

Pendant la phase d'entraînement, les poids sont mis à jour de manière ciblée avec des échantillons d'entrée et de sortie afin de minimiser les erreurs d'entraînement.

Lorsque l'ANN est utilisé à des fins de diagnostic de défauts, les échantillons d'entrée de l'ANN sont constitués d'échantillons de mesure de diagnostic et les échantillons de sortie sont constitués des classes de défauts correspondantes. Dans la phase de diagnostic, les mesures de diagnostic du CUT sont utilisées comme entrée de l'ANN et la valeur de sortie sera la classe de défaut prévue.

2.8.2. Machine à vecteurs de support (SVM : Support Vector Machine)

La machines à vecteurs de support (SVM) est une méthode d'apprentissage supervisée qui analyse les données et reconnaît les formes. La SVM standard prend un ensemble de données d'entrée et prédit, pour chaque entrée donnée, laquelle des deux classes possibles l'entrée est membre, ce qui fait que la SVM est un classificateur linéaire binaire non probabiliste [53].

Plus formellement, une SVM de support construit un hyperplan ou un ensemble d'hyperplans dans un espace dimensionnel élevé, qui peut être utilisé comme frontière de séparation pour la classification [57]. Il existe de nombreux hyperplans qui peuvent classer les données. Un choix raisonnable comme meilleur hyperplan est celui qui représente la plus grande séparation (marge) entre les deux classes. Il faut donc l'hyperplan

qui maximise la distance entre celui-ci et le point de données la plus proche de chaque côté. Si un tel hyperplan existe, il est connu sous le nom d'hyperplan à marge maximale. La figure 2.10 illustre le principe de l'hyperplan à marge maximale utilisé dans la SVM.

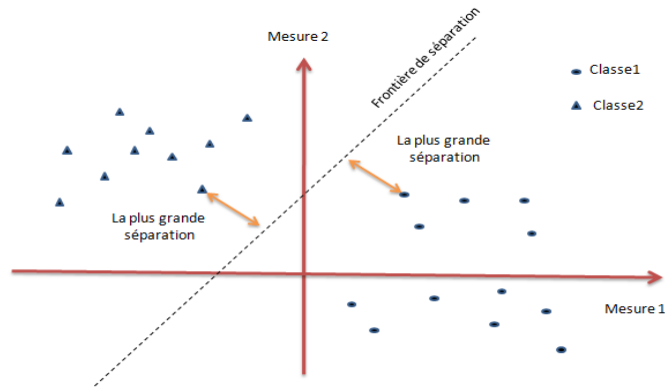


Figure 2.10. Hyperplan à marge maximale utilisé dans SVM.

Si dans l'espace d'origine les ensembles à discriminer ne sont pas séparables linéairement, les données seront mappées dans un espace dimensionnel beaucoup plus grand à l'aide d'une fonction k du noyau, rendant probablement la séparation plus facile dans cet espace. La figure 2.11 montre le principe de l'affectation de l'espace à l'aide de la fonction Kernel.

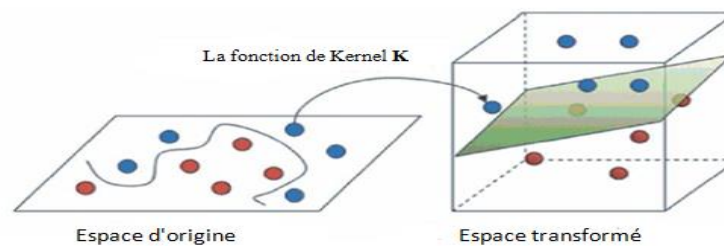


Figure 2.11 : Mappage spatial du SVM à l'aide de la fonction kernel.

La SVM attribue les limites de séparation de telle sorte qu'elles traversent le milieu de la distance entre les groupes de défauts. Par conséquent, lorsque les mesures de diagnostic sont projetées dans un espace d -dimensionnel, c'est-à-dire qu'il y aura des sous-espaces vides entre les groupes de défauts. Cela signifie que la SVM sera insensible au bruit de mesure ou même aux dérives des équipements [52].

2.8.3. La logique floue

La logique floue est une extension de la logique classique qui permet la modélisation des imperfections des données et se rapproche dans une certaine mesure de la flexibilité du raisonnement humain. Elle décrit des relations entre les variables en utilisant les règles « if-then » où les objets manipulés sont appréhendés de façon approximative et dans un cadre linguistique.

En effet, le mode de raisonnement en logique floue est plus intuitif que la logique classique. Il permet aux concepteurs de mieux appréhender les phénomènes naturels, imprécis et difficilement modélisables en s'appuyant sur la définition de règles et de fonctions d'appartenance à des ensembles dits « ensembles flous ».

La logique floue a été appliquée avec succès dans des domaines tels que le contrôle automatique, la classification des données, l'analyse des décisions, les systèmes experts. En raison de leur nature multidisciplinaire, les systèmes d'inférence floue sont associés à un certain nombre de noms, tels que FIS (fuzzy inference system), systèmes experts flous, modélisation floue, contrôleurs à logique floue, et simplement les systèmes flous.

Dans le prochain chapitre, nous allons expliquer avec plus de détails l'approche de la logique floue qui est utilisé dans le cadre de cette thèse.

2.9. Conclusion

Dans ce chapitre, nous avons présenté brièvement l'état de l'art du Diagnostic des défauts des circuits analogiques. La première partie présente les différents outils et techniques de modélisation et de simulation de fautes, ainsi que les techniques de la génération de vecteurs de test.

Dans la deuxième partie, différentes approches de diagnostic ont été discutées. Les avantages et les principaux enjeux des approches existantes sont discutés. Cela nous permettra de comprendre les choix qui ont été faits en termes de techniques et d'outils qui seront présentés dans les chapitres suivants.

Chapitre **3**

LA LOGIQUE FLOUE

Chapitre 3

LA LOGIQUE FLOUE

3.1. Introduction

La perception ou la connaissance d'un phénomène est souvent imparfaite, du fait de la complexité du processus observé et du manque de limite nette de l'observation [56]. La plupart des problèmes rencontrés sont modélisables mathématiquement. Mais ces modèles nécessitent des hypothèses parfois trop restrictives, rendant délicate l'application au monde réel. Les problèmes du monde réel doivent tenir compte d'informations imprécises et incertaines. En effet, le raisonnement humain est basé sur des données imprécises ou incomplètes, alors que la machine se base sur des données exactes [58]. Pour cela, les chercheurs dans le domaine de l'intelligence artificielle essaient de se rapprocher le plus possible du raisonnement humain et de maîtriser les incertitudes ce qui nous mène à la théorie de la logique floue (en anglais *fuzzy logic*).

Dans le sens de mieux maîtriser les informations imprécises, la logique floue a été introduite de sorte à formaliser les méthodes humaines de raisonnement en utilisant des bases de règles et variables linguistiques pour la représentation de connaissances [59].

La logique floue est une technique très puissante issue de la théorie des ensembles flous, pour combler la lacune entre la précision de la logique classique et l'imprécision de l'être humain.

La logique floue est très utile dans des situations où il y a de larges incertitudes et de variations inconnues dans les paramètres et la structure du systèmes, ou bien, lorsque des experts humains sont disponibles pour fournir des descriptions subjectives et qualitatives du comportement du système avec des termes en langage naturel [60].

3.2. Historique

Les prémisses de la logique floue sont apparues pour la première fois en 1965 lorsque le professeur "Lotfi A. Zadeh", professeur à l'université californienne de Berkeley aux USA, publiait un article intitulé «Ensembles flous» (Fuzzy sets) [62] [63]. Il a réalisé de nombreuses avancées théoriques majeures dans le domaine et a été rapidement accompagné par de nombreux chercheurs développant des travaux théoriques.

Parallèlement, certains chercheurs se sont penchés sur la résolution par logique floue de problèmes réputés difficiles. Ainsi en 1975, le professeur "Mamdani" à Londres établit la première application industrielle de la logique floue : la régulation floue d'une chaudière à vapeur. Il introduit ainsi la commande floue dans la régulation industrielle. En 1978, la société danoise "F. L. Smidth" réalisait le contrôle d'un four à ciment. C'est là la première véritable application industrielle de la logique floue.

Grâce au chercheur japonais M. Sugeno, la logique floue a été introduite au Japon dès 1985. C'est au Japon, où la recherche n'est pas seulement théorique mais également très applicative, que la logique floue connaît son véritable essor. Les sociétés comprirent l'avantage à la fois technique et commercial de cette logique :

- facilité d'implantation
- solution de problèmes multi-variables complexes
- robustesse vis à vis des incertitudes
- possibilité d'intégration du savoir de l'expert.

Aujourd'hui, un véritable boum qu'il faut parler. Les produits grand public, appareils électroménagers (lave-linge, aspirateur, autocuiseur,...etc) ; systèmes audio-visuels (appareil photo, caméscope à stabilisateur d'images, photocopieur,...) ; systèmes

automobiles embarqués (ABS, suspension, climatisation,...etc.) ; systèmes de transport (train, métro, ascenseur,...) ; systèmes de décision, diagnostic (médical, électronique, économique,) ; estampillés «logique floue» ne se comptent plus.

3.3. Principes de la logique floue

La définition de Zadeh [59]:

« Fuzzy Logic is determined as a set of mathematical principles for knowledge representation based on degrees of membership rather than on crisp membership of classical binary logic »

La logique floue est une théorie mathématique englobant la logique classique. Contrairement à cette dernière elle autorise plus de deux valeurs de vérité pour une proposition : il y a des états intermédiaires entre vrai et faux.

Pour illustrer très concrètement le principe fondamental de la logique floue, nous allons prendre l'exemple de la température d'un patient. A quelle température un patient a-t-il une forte fièvre ? La logique classique détermine qu'un patient ayant 39 ou plus a une forte fièvre, en dessous, il n'a pas du tout de fièvre (figure 3.1).

On s'aperçoit immédiatement que la logique classique est difficilement applicable à notre problème. Son utilisation en devient même complètement absurde : un simple degré d'écart entre deux températures peut faire basculer notre perception de la température d'un état à l'autre.

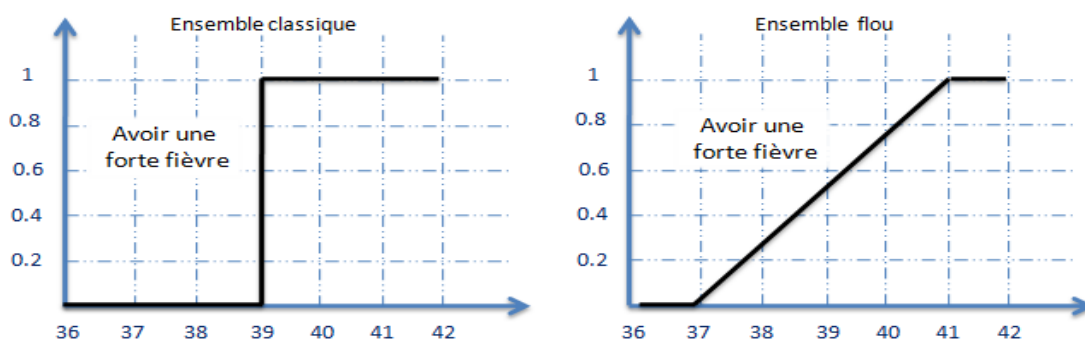


Figure 3.1. Logique classique et logique floue

La logique floue, qui introduit une infinité de valeurs entre vrai et faux, permet de déterminer un degré d'appartenance à l'un ou l'autre état.

- La fièvre est considérée comme nulle en dessous de 37 (température normale du corps humain), on dit qu'elle est élevée à 0% en dessous de 37 degrés.
- La fièvre est considérée comme très forte à partir de 41 degrés. Elle est donc très forte à 100% au-dessus de 41 degrés.
- La fièvre est très forte à 50% à une température de 39 degrés, elle est très forte à 25% à une température de 38 degrés.

Cette représentation est plus souple que la logique classique, elle permet de mieux traiter et modéliser des situations réelles.

3.4. Les concepts principaux de la logique floue :

Le concept de la théorie des sous-ensembles flous, s'appuie sur la notion de degré d'appartenance d'un élément à un sous-ensemble flou. Tandis que les ensembles traditionnels sont caractérisés par une fonction d'appartenance (également appelée fonction caractéristique) définie sur $\{0,1\}$, les sous-ensembles flous sont caractérisés par une fonction d'appartenance notée μ définie sur $[0,1]$.

En résumé, pour un sous-ensemble A défini sur un univers de discours U , on peut écrire :

A Sous-ensemble classique : fonction caractéristique

$$X_A : U \rightarrow \{0,1\}$$

A Sous-ensemble flou : fonction d'appartenance

$$\mu_A : U \rightarrow [0,1]$$

3.4.1. Les ensembles flous

La logique floue repose sur la théorie des ensembles flous, qui est une généralisation de la théorie des ensembles classiques [59]. Un ensemble classique se caractérise par ses frontières abruptes entre deux catégories d'éléments; ceux qui font partie de l'ensemble et ceux qui ne le font pas (vrai ou faux) (figure 3.2.a). La théorie des ensembles flous utilise la notion d'appartenance partielle: chaque élément appartient partiellement ou graduellement aux ensembles flous qui ont été définis. Les contours de chaque ensemble flou (figure 3.2.b) ne sont pas « nets », mais « flous » ou « graduels » [65] [66].

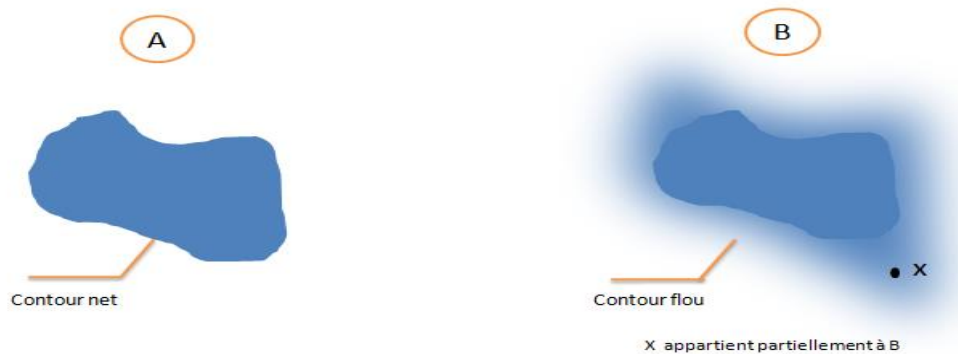


Figure 3.2. Représentation d'un ensemble classique et d'un ensemble flou

À titre d'exemple, on désire classer la température, une en logique classique, et l'autre en logique floue. La Figure 3.3.a illustre trois fonctions en théorie des ensembles classiques, soient : une variable x (la température), avec A l'ensemble Faible, B l'ensemble Moyenne et C l'ensemble Elevée. Dans la théorie des ensembles classiques, soit qu'un élément appartient totalement à un ensemble soit qu'il ne lui appartient pas du tout. Autrement dit, toute température est *soit* Faible, Moyenne ou *soit* Elevée.

On écrira pour un élément x appartient à A :

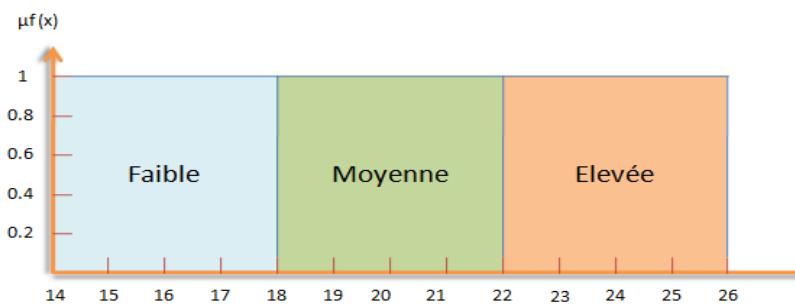
$$\emptyset: x \in A \rightarrow \emptyset_A(x) \in \{0, 1\} = \begin{cases} \emptyset_A(x) = 1 & \text{si } x \in A \\ \emptyset_A(x) = 0 & \text{si } x \notin A \end{cases} \quad (3.1)$$

Pour imiter l'esprit humain, la structure de la logique classique est limitée, étant donné qu'on ne peut exprimer des faits qu'avec *vrai ou faux* (0 ou 1). En effet, la logique classique ne considère pas la représentation intermédiaire; par contre, la théorie des ensembles flous donne une représentation de ces catégories vagues.

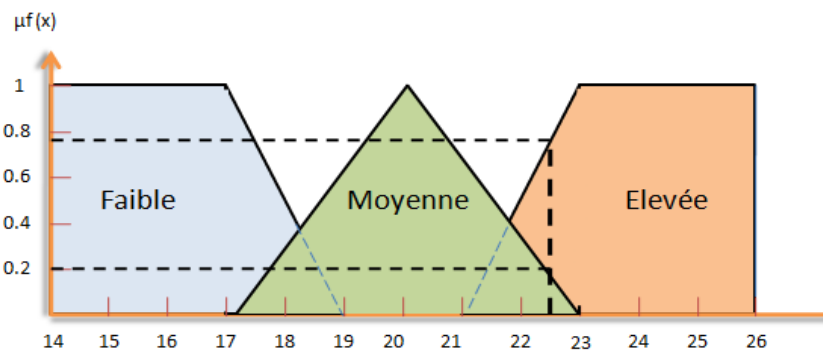
L'approche floue se base sur des descriptions qualitatives du comportement d'un système. Ces descriptions, appelées *fonctions d'appartenance*, sont représentées par des variables linguistiques. Ces fonctions d'appartenance ont le grand avantage de constituer une représentation beaucoup plus proche du raisonnement humain [64]. Un ensemble flou est défini par une *fonction d'appartenance*, $\mu_A(x)$, qui décrit le degré avec lequel l'élément x appartient à A telle que :

$$\mu : x \in A \rightarrow \mu_A(x) \in [0, 1] \rightarrow \begin{cases} \mu_A(x) = 1 & \text{si } x \text{ est compl\u00e9ment dans } A \\ 0 < \mu_A(x) < 1 & \text{si } x \text{ est partiellement dans } A \\ \mu_A(x) = 0 & \text{si } x \text{ est \u00e0 l'ext\u00e9rieur de } A \end{cases} \quad (3.2)$$

Dans la repr\u00e9sentation de la Figure 3.3.b, on introduit des fonctions d'appartenance qui d\u00e9finissent, les degr\u00e9s d'appartenance \u00e0 chaque ensemble flou. Les limites ne varient pas soudainement, mais progressivement. Par exemple, une temp\u00e9rature de 22.5 appartient au groupe "moyenne" avec un degr\u00e9 d'appartenance de 0.167, et appartient au groupe "'\u00e9lev\u00e9e" avec un degr\u00e9 d'appartenance de 0.75 [65].



a) Repr\u00e9sentation classique



b) Repr\u00e9sentation floue

Figure 3.3. Appartenance de la temp\u00e9rature en logique classique et la logique floue

Un ensemble flou A peut \u00e9galement \u00eatre d\u00e9crit par un certain nombre de caract\u00e9ristiques comme [62]:

- **Son support** : qui est l'ensemble des éléments de U qui appartiennent au moins un peu à A . Il est défini par :

$$\text{sup}(A) = \{x \in U / \mu_A(x) > 0\} \quad (3.3)$$

- **Sa hauteur** : qui est sa plus grande valeur prise par sa fonction d'appartenance. Elle est défini par :

$$h(A) = \sup_{x \in U} \{ \mu_A(x) \} \quad (3.4)$$

- **Son noyau** : qui est l'ensemble des éléments de U pour lesquels la fonction d'appartenance de A vaut 1. Il est défini par :

$$\text{noy}(A) = \{x \in U / \mu_A(x) = 1\} \quad (3.5)$$

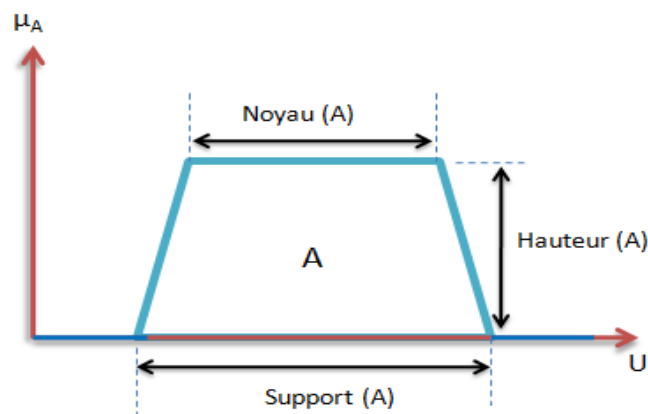


Figure 3.4 . Caractéristiques d'un sous ensemble flou

3.4.2. Fonctions d'appartenances

Une fonction d'appartenance d'un ensemble flou A définie sur l'univers de discours X , notée $\mu_A(x)$ tel que $x \in X$, est une courbe qui définit comment chaque point dans l'univers de discours est tracé avec une valeur d'appartenance comprise dans l'intervalle $[0, 1]$ [67]:

$$\mu_A(x): = \begin{cases} X & \rightarrow [0, 1] \\ x & \rightarrow \mu_A(x) \end{cases} \quad (3.6)$$

La valeur $\mu_A(x)$ mesure l'appartenance ou le degré avec lequel un élément x appartient à l'ensemble A . Il n'y a pas de règle précise pour la définition de fonction d'appartenance. Alors, chaque ensemble flou peut être représenté par sa fonction d'appartenance. Les fonctions d'appartenance peuvent être symétriques, régulièrement distribuées ou avoir une distribution non uniforme [63] [68]. En général, on utilise pour les fonctions d'appartenance trois formes géométriques : trapézoïdale, triangulaire et Gaussienne (figure 3.5). Les deux premières formes sont les plus souvent employées en raison de leur simplicité. Le triangle peut être considéré comme un cas **spécial** du trapèze lorsque deux **points** coïncident ($P_2=P_3$) [66].

- Fonction triangulaire

$$\mu(x) = \begin{cases} \frac{a-x}{a-b} & \text{si } x \in [a, b] \\ \cdot & \cdot \\ \frac{b-x}{b-c} & \text{si } x \in [b, c] \end{cases} \quad (3.7)$$

- Fonction trapézoïdale

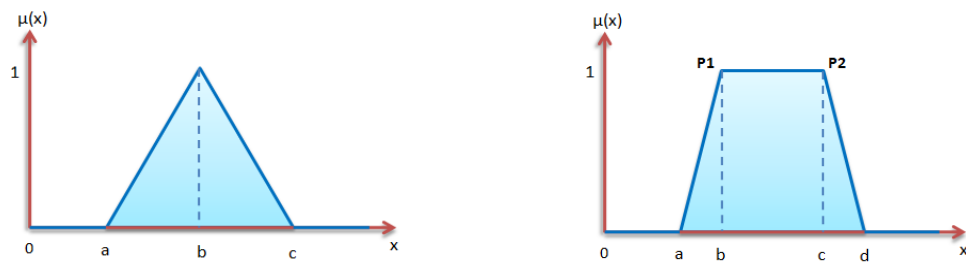
$$\mu(x) = \begin{cases} \frac{a-x}{a-b} & \text{si } x \in [a, b] \\ \cdot & \cdot \\ 1 & \text{si } x \in [b, c] \\ \cdot & \cdot \\ \frac{d-x}{c-d} & \text{si } x \in [c, d] \end{cases} \quad (3.8)$$

- Fonction gaussienne

$$\mu(x, m, \sigma) = e^{-\frac{(x-m)^2}{2\sigma^2}} \quad (3.9)$$

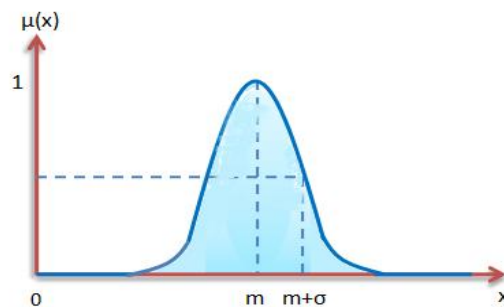
m : centre de la gaussienne

σ : sa largeur



a) Triangulaire

b) trapézoïdale



c) Gaussienne

Figure 3.5. Formes usuelles des fonctions d'appartenance.

3.4.3. Variable linguistique

Le concept de fonction d'appartenance vu précédemment nous permettra de définir des systèmes flous en langage naturel, la fonction d'appartenance faisant le lien entre logique floue et variable linguistique que nous allons définir à présent.

La notion essentielle de variable linguistique a été introduite par Zadeh, elle suggère d'emblée que les valeurs de cette variable ne sont pas numériques, mais plutôt symboliques, en termes de mots ou d'expressions du langage naturel [63]. On utilise souvent des termes flous, dans le genre, quelque, beaucoup, peu élevé, très élevé, grand, petit, moyen, lent, rapide, à peu-prêt...etc. [58].

Une variable linguistique sert à modéliser les connaissances imprécises ou vagues sur une variable dont la valeur précise peut être inconnue. Elle est définie par [69] : $(x, U, T(x), \mu_x)$. Où X désigne le nom de la variable (âge, température, . . .), U est l'univers du discours associé à la variable X , $T(X) = \{T_1, T_2, \dots, T_n\}$ est l'ensemble des valeurs linguistiques de la

variable X (appelé également termes linguistiques ou étiquettes linguistiques), et finalement μ_x sont les fonctions d'appartenance associées à l'ensemble de termes linguistiques.

La figure 3.6 illustre un exemple de variable linguistique 'vitesse' avec trois termes linguistiques : petite, moyenne et grande.

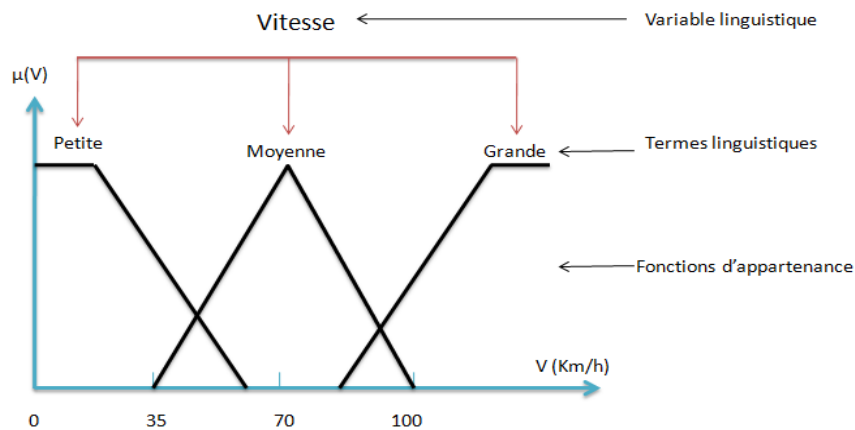


Figure 3.6. Variable linguistique

3.4.4. Opérateurs flous

Il existe une logique binaire pour les ensembles classiques et une logique avec des degrés de vérité pour les sous-ensembles flous. Les variables linguistiques sont liées entre elles au niveau des règles d'inférence par des opérateurs "ET", "OU", et "NON". Ces opérateurs permettent d'écrire des combinaisons logiques entre notions floues, c'est-à-dire de faire des calculs sur des degrés de vérité [58] [68].

- **Opérateur OU (l'union)**

On définit l'opérateur **OU** flou comme l'union de deux ensembles flous A et B , respectivement étant le plus grand ensemble flou contenu dans A et dans B d'autre part.

Selon l'approche Zadeh, l'union de deux ensembles flous A et B de même référentiel U est le maximum des degrés de vérité de A et de B :

$$\forall (x, y) \in X * Y : \mu_{A \cup B}(x, y) = \max(\mu_A(x), \mu_B(y)) \quad (3.10)$$

- **Opérateur ET (l'intersection)**

L'opérateur **ET** flou est l'intersection de deux ensembles flous A et B étant le plus petit ensemble flou contenant A et B . L'intersection de deux ensembles flous A et B de même référentiel U est le minimum des degrés de vérité de A et de B , et définie par l'équation suivante :

$$\forall (x, y) \in X * Y : \mu_{A \cap B}(x, y) = \min(\mu_A(x), \mu_B(y)) \quad (3.11)$$

- **Opérateurs NON (complément)**

Le complément permet de vérifier de combien un élément n'appartient pas à un ensemble. Comme exemple, si on a l'ensemble des températures élevées, le complément est l'ensemble des températures qui ne sont pas élevées. L'opérateur logique correspondant au complément d'un ensemble est la négation :

$$\mu_{\bar{A}}(x) = 1 - \mu_A(x) \quad (3.12)$$

La figure 3.7 résume de façon graphique ces opérations :

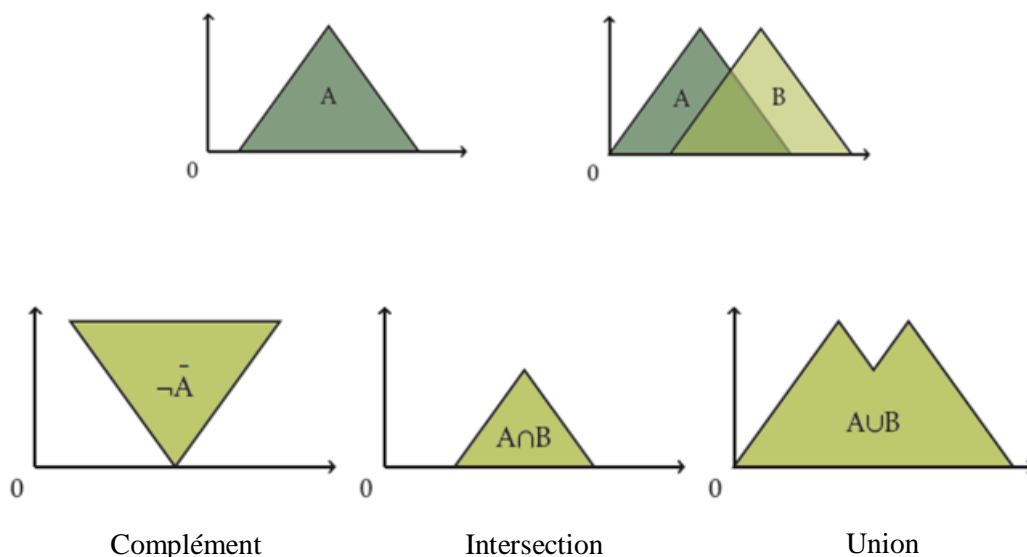


Figure 3.7. Opérateurs flous.

3.5. Système d'inférence flou

Le Système d'inférence flou (FIS : Fuzzy Inference System) est le processus de transformation des données d'entrée en données de sortie à partir de l'évaluation d'un ensemble des règles en utilisant une logique floue.

La mise en œuvre d'un système d'inférence flou se fait en trois étapes comme indiqué sur la Figure 3.8 [61]. La première, l'étape de *fuzzification*, transforme les valeurs numériques en degrés d'appartenance que l'on désignera par des variables linguistiques aux différents ensembles flous de la partition. La seconde étape est le module d'inférence, qui est constitué de deux blocs, le *moteur d'inférence* et la *base des règles*. Enfin, l'étape de *défuzzification* qui consiste à convertir le résultat flou de l'inférence des règles en une valeur de sortie finale précise [60] [70].

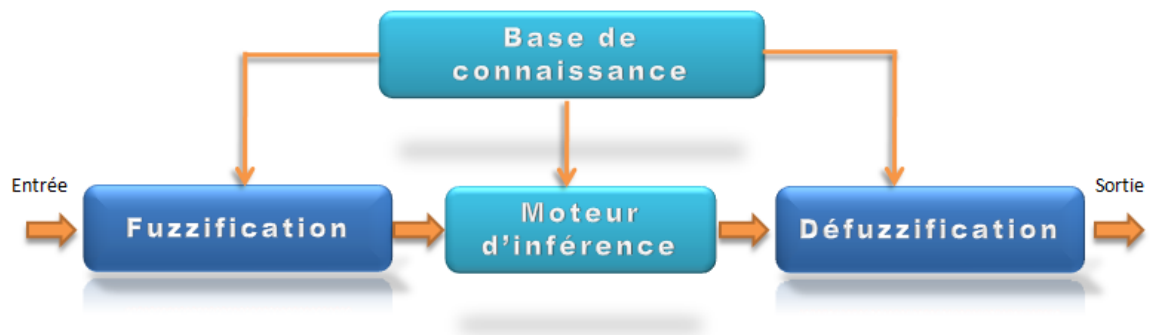


Figure 3.8. Architecture de base d'un système d'inférence flou

3.5.1. Fuzzification

La fuzzification est le premier traitement qui entre en compte dans la structure d'un système flou. Elle consiste à définir des fonctions d'appartenance pour les différentes variables linguistiques. Ceci a pour but la transformation des grandeurs physiques (entrées) en valeurs linguistiques (sous ensemble flou) représentés par leurs fonctions d'appartenances [56] [72]. Durant l'étape de la fuzzification, chaque variable d'entrée et de sortie est associée à des sous-ensembles flous, ce qui permet d'avoir une mesure précise sur le degré d'appartenance de la variable d'entrée à chaque ensemble flou [63].

Les caractéristiques de cette étape sont habituellement déterminées par des experts ou des opérateurs qualifiés recourant le plus souvent à leurs connaissances.

Les étapes de la fuzzification consistent à [65]:

1. Etablir les variables linguistiques;
2. Établir les quantificateurs flous (nombre de valeurs linguistiques);
3. Transformer ces valeurs numériques en valeurs linguistiques en utilisant des fonctions d'appartenances qui ont pour but de subdiviser l'espace d'entrée de l'univers de discours en sous ensembles flous.

3.5.2. Module d'inférences

Ce bloc représente le noyau du système flou, qui est capable de simuler les décisions humaines basées sur le concept flou par intervention des règles d'inférence.

L'interface d'inférence est formée de deux blocs (figure 3.9) :

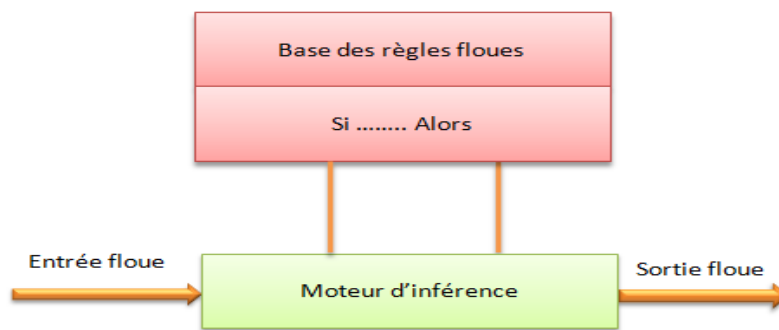


Figure 3.9. Module d'inférence d'un système flou

a) **La base des règles**, composé d'un ensemble de relations liant les variables d'entrées (variables linguistiques) aux variables de sorties (variable linguistique) du système à régler (voir figure 3.10). Ces relations fournissent ensuite *la base des règles* à partir de laquelle les décisions peuvent être prises [63] [64] [73].

Chaque relation est composée d'une condition précédée du symbole **Si (if)** appelée prémisses, et d'une conclusion (action, décision, opération ou commande) précédée du symbole **Alors (then)** [58].

Si *prémisse* **Alors** *conclusion*

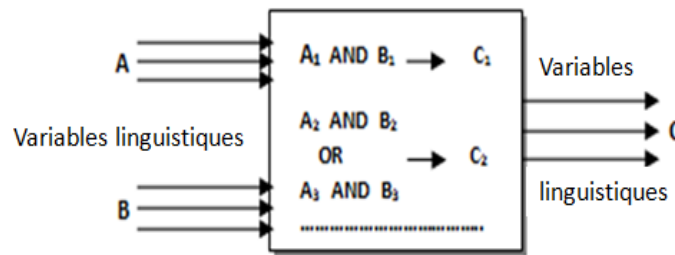


Figure 3.10. Processus d'inférence floue

b) Le moteur d'inférence qui est un mécanisme permettant de condenser l'information d'un système à travers d'un ensemble de règles définies pour la représentation d'un problème quelconque. Il réalise le traitement numérique des règles d'inférence, décrites par des opérateurs flous [71]. Chaque règle délivre une conclusion partielle qui est ensuite agrégée aux autres règles pour fournir une conclusion (agrégation).

Plusieurs approches sont proposées pour le traitement numérique des règles d'inférences. On cite principalement [56]:

1) Méthode d'inférence max-min de Mamdani

L'opérateur *ET* est réalisé par la formation du minimum, l'opérateur *OU* est réalisé par le maximum, et l'implication (*ALORS*) est réalisée par le minimum.

Opérateur ET : min

Opérateur OU : max

Implication (Alors) : min

Pour chaque règle, on obtient la fonction d'appartenance partielle par la relation :

$$\mu_{R_i}(x_R) = \min [\mu_{c_i}, \mu_{o_i}(x_R)] ; i = 1,2,3, \dots \dots m. \quad (3.13)$$

Où $\mu_{o_i}(x_R)$ est la fonction d'appartenance liée à l'opération imposée par la règle R_i , μ_{c_i} est le facteur d'appartenance. La fonction d'appartenance résultante est alors donnée par :

$$\mu_{Res}(x_R) = \max [\mu_{R_1}(x_R), \mu_{R_2}(x_R), \dots \dots \dots, \mu_{R_m}(x_R)] \quad (3.14)$$

2) Méthode d'inférence max- produit (Larsen)

Opérateur ET : produit

Opérateur OU : max

Implication (Alors) : produit

Pour chaque règle, la fonction d'appartenance partielle $\mu_{Ri}(x_R)$ est donnée par la relation :

$$\mu_{Ri}(x_R) = [\mu_{ci} \times \mu_{oi}(x_R)] ; i = 1,2,3, \dots \dots m. \quad (3.15)$$

Pour la fonction d'appartenance résultante, on obtient :

$$\mu_{Res}(x_R) = \max [\mu_{R1}(x_R), \mu_{R2}(x_R), \dots \dots, \mu_{Rm}(x_R)] \quad (3.16)$$

3) Méthode d'inférence somme- produit (Sugeno).

Opérateur ET : produit

Opérateur OU : la somme (Σ)

Implication (Alors) : produit

En toute généralité, on obtient la fonction d'appartenance partielle $\mu_{Ri}(x_R)$ de chaque règle par la relation :

$$\mu_{Ri}(x_R) = [\mu_{ci} \times \mu_{oi}(x_R)] ; i = 1,2,3, \dots \dots m. \quad (3.17)$$

Où m est le nombre de règles intervenant dans l'inférence.

$$\mu_{Res}(x_R) = \Sigma [\mu_{R1}(x_R), \mu_{R2}(x_R), \dots \dots, \mu_{Rm}(x_R)] / m \quad (3.18)$$

Pour mieux illustrer les méthodes d'inférence précédentes, on donne un exemple sur la méthode MAX-MIN de Mamdani avec deux règles simples :

$$\left\{ \begin{array}{l} \text{Si } x_1 \text{ est } A_1 \text{ ET } x_2 \text{ est } B_1 \text{ Alors } y \text{ est } C_1 \\ \text{ou} \\ \text{Si } x_1 \text{ est } A_2 \text{ ET } x_2 \text{ est } B_2 \text{ Alors } y \text{ est } C_2 \end{array} \right. \quad (3.19)$$

Chaque règle est activé séparément et les conclusions sont agrégées pour définir l'ensemble flou de y , ce raisonnement est illustré sur la figure 3.11 [56] [74].

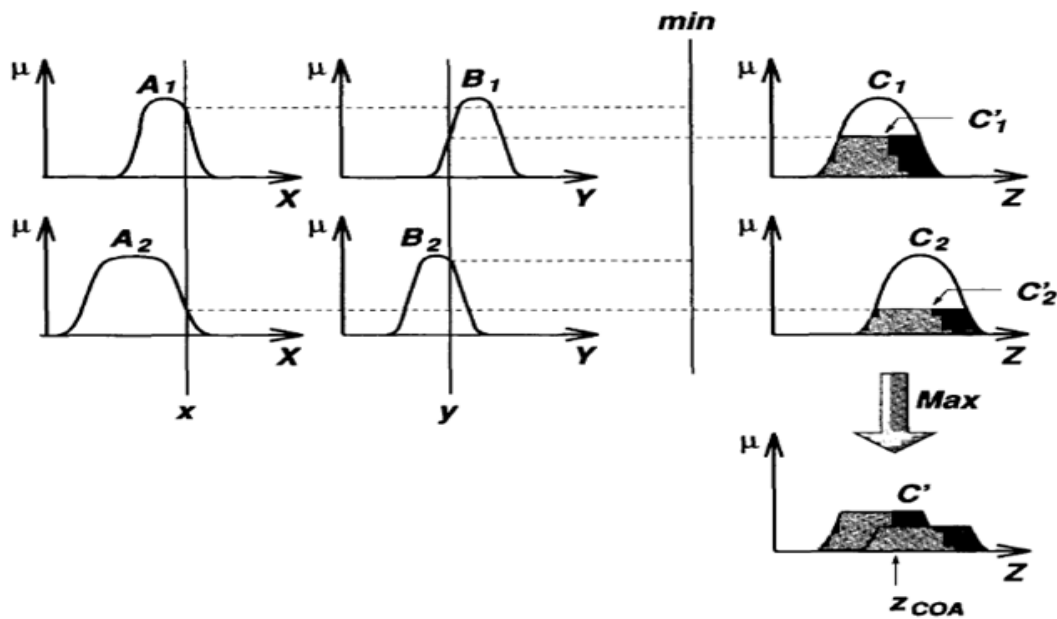


Figure 3.11. Composition Max-min de Mamdani

3.5.3. Défuzzification

La défuzzification est le processus de convertir une valeur floue en valeur nette. La valeur floue est donnée par les méthodes d'inférences sous forme d'une fonction d'appartenance résultante pour la variable de sortie. C'est donc une information floue qu'il faut transformer en grandeur physique [58] [72].

La défuzzification est généralement l'une des tâches les plus gourmandes en temps d'opération du traitement flou [66].

Il existe plusieurs méthodes de défuzzification, Les méthodes les plus couramment utilisées sont [75] :

➤ Méthode du centre de gravité

C'est la méthode la plus utilisée. Dans cette méthode, la sortie correspond à l'abscisse du centre de gravité de la surface de la fonction d'appartenance résultante. La sortie défuzzifiée u_r est définie par :

$$u_r = \frac{\sum_{i=1}^n u_i u_{Res}(u_i)}{\sum_{i=1}^n u_{Res}(u_i)} \quad (3.20)$$

On peut procéder de deux manières :

- ✓ Soit prendre l'union des sous-ensembles flous de sortie et tirer le centroïde global (calculs très lourds).
- ✓ Soit prendre chaque sous-ensemble séparément et calculer son centroïde, puis on réalise la moyenne de tous les centroïdes.

➤ **Methode du plus grand maximum**

Cette méthode consiste à ne prendre en compte qu'une valeur possédant le pourcentage maximum (la plus grande valeur) de la fonction d'appartenance résultante des règles d'inférences.

$$\mu_A(u_R) = \max (\mu_A(x)) \quad (3.21)$$

➤ **Methode du plus petit maximum**

Elle donne comme résultat la plus petite valeur dont la grandeur a le plus grand degré d'appartenance.

$$U_A (u_r) = \min (u_A(u)) \quad (3.22)$$

➤ **Methode de la moyenne des maxima**

Elle donne comme valeur la moyenne des valeurs dont le degré d'appartenance est maximal.

$$u_r = (\inf (M) + \sup (M)) / 2 \quad (3.23)$$

Où $\inf (M)$ et $\sup (M)$ sont respectivement les bornes inférieure et supérieure de l'intervalle M.

➤ **Methode de la bissectrice de surface**

La bissectrice est la ligne verticale qui divisera la région en deux sous-régions de superficie égale. Elle coïncide parfois, mais pas toujours, avec la ligne centroïde.

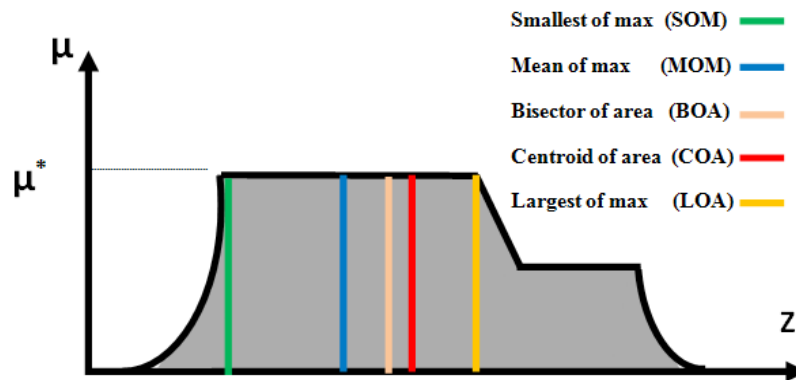


Figure 3.12. Différentes méthodes de défuzzification

3.6. Conclusion

Dans ce chapitre, nous avons donné un aperçu général sur les concepts fondamentaux de la logique floue et la théorie des ensembles flous. Un système flou est une machine de prise de décision composée de quatre parties essentielles : la fuzzification, la base de connaissance, le moteur d'inférence floue et la défuzzification. L'architecteur d'un système flou est déterminée par une meilleure compréhension des ensembles flous et des opérateurs flous, et le concepteur d'un système doit faire un nombre de choix important, en particulier pour définir les fonctions d'appartenance et les règles d'inférences. Tous ces outils, serviront une meilleure solution des problèmes rencontrés dans le domaine du diagnostic des fautes dans les circuits analogiques que nous allons aborder dans la suite.

Nous pouvons dire que la logique floue ouvre des possibilités remarquables d'exploitation des connaissances des experts. Les applications utilisant la logique floue sont faciles à réaliser et à utiliser.

Chapitre **4**

TEST EN MODE DC POUR LA DETECTION DE FAUTES DES CIRCUITS ANALOGIQUES

Chapitre 4

TEST EN MODE DC POUR LA DETECTION DE FAUTES DES CIRCUITS ANALOGIQUES

4.1. Introduction

L'approche de test en mode DC est très utile pour le diagnostic des défauts durs (circuits ouverts et courts-circuits) dans les circuits analogiques. L'avantage principal par rapport aux autres tests est qu'il engendre un coût de test moins élevé et un temps d'exécution plus rapide des équipements de test qui y sont impliqués [76].

Dans l'approche DC, des tensions nodales prises du circuit sous test sont générées grâce à une simulation de celui-ci, exécutée pour les fonctionnements nominal et sous des conditions de défauts prédéfinies. Cet ensemble de valeurs de tensions continues forme le dictionnaire de défauts qui sera stocké dans une station de test [78]. En application pratique, ce même circuit défaillant est alimenté par les mêmes tensions que celles utilisées en simulation et les nouvelles tensions résultantes sont alors mesurées et font objet d'acquisition pour un éventuel diagnostic. Ces dernières sont comparées avec celles du dictionnaire de défauts pour déterminer les défauts du circuit testé. Nous rappelons que ce

dictionnaire de fautes est élaboré d'une façon plus facile à utiliser et à être plus informatif sur la nature de faute, sa localisation et son identification et même son isolation par rapport à d'autres types de fautes.

En règle générale, les entrées et les sorties mesurées d'un dictionnaire de défauts peuvent être prise en mode courant continu (DC) ou alternatif, selon le type de mesures effectuées. Mais l'approche du premier mode offre des avantages incontestables caractérisés par des simulations de circuits plus simples et de mesures de sortie plus faciles [80].

4.2. Méthodologie proposée

La méthodologie de la détection de fautes que nous proposons a fait l'objet des études de recherches antérieures [19] [77], et consiste à utiliser la tension de sortie comme un signal accessible pour diagnostiquer les circuits analogiques en premier temps. Les caractéristiques de défaut de la tension de sortie sont extraites et analysées. Ensuite, un nouveau signal accessible, appelé courant d'alimentation est utilisé pour diagnostiquer les mêmes circuits analogiques. Les caractéristiques de défaut de ces deux types de signaux ont été analysées et comparées pour le diagnostic des défauts des circuits analogiques. La figure 4.1 montre la description de la méthodologie proposée.

Cette approche est une procédure organisée pour générer un dictionnaire de défauts analogique et fournir une base quantitative pour la détection de fautes. Les défauts sont sélectionnés de façon qu'ils puissent englober tout les modes de défaillance pouvant survenir en mode continu (DC).

La description du circuit, la définition des défauts et les stimuli d'entrée sont fournis par un expert. Pour la première tâche, le circuit décrit se compose des éléments électriques primitifs à savoir - résistances, transistors, diodes, transistors à effet de champ, etc. Les stimuli d'entrée sont sélectionnés pour vérifier les circuits en mauvais fonctionnement, et enfin la couverture de fautes est évaluée d'après les résultats de la simulation de ces dernières. Si le pourcentage de défauts détectés n'est pas suffisant, alors le processus de génération de vecteurs de test est répété pour les fautes échappées à la détection jusqu'à l'obtention d'une meilleure couverture.

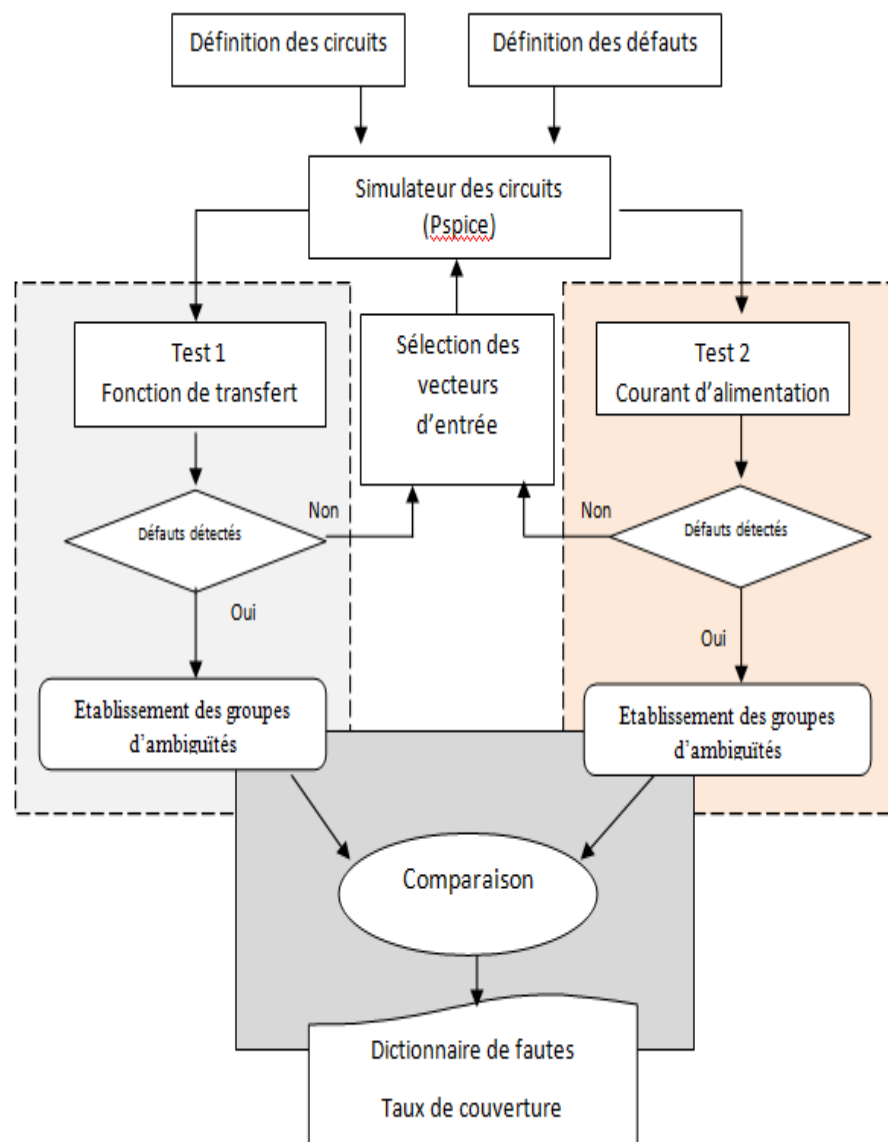


Figure 4.1. Méthodologie de détection de fautes proposée

Comme le stipule l'organigramme de la figure 4.1, cette analyse s'effectue selon les étapes suivantes:

- 1) L'expert doit établir une liste de défauts selon son expérience et l'historique de défaillance du système, surtout les composants à semi-conducteurs qui sont les plus susceptibles à la défaillance.
- 2) L'établissement des vecteurs de test (ou signaux d'entrée) qui contiennent les valeurs de tension qu'on applique aux entrées afin de propager l'effet des défauts

vers les sorties du circuit. Une multitude de combinaisons permet une meilleure séparation des défauts.

- 3) La simulation du circuit sous les conditions des différents défauts par un simulateur de type Pspice.
- 4) L'application d'un algorithme de détection de défauts aux valeurs obtenues après la simulation pour chaque test.
- 5) L'application ensuite d'un algorithme de construction de groupes d'ambiguïté.
- 6) Et à la fin l'établissement du dictionnaire de fautes.

4.3. Concept d'ambiguïté [46] [78]

Considérons comme exemple le cas d'un circuit donné avec deux nœuds de test désignés comme N1 et N2, et huit défauts désignés comme F1 à F8. L'état nominal ou sans défaut du circuit est désigné par F0. Les tensions des nœuds de test ont été déterminées à l'aide d'un programme de simulation assisté par ordinateur pour le circuit sans défaut et les huit conditions de défaut qui donnent les résultats indiqués dans le tableau 4.1.

	F0	F1	F2	F3	F4	F5	F6	F7	F8
N1 voltage	5.0	7.0	7.4	7.3	7.2	9.6	9.7	9.8	5.2
N2 voltage	9.0	5.0	7.1	6.4	6.2	5.1	5.2	7.3	9.2

Tableau 4.1. Les tensions des nœuds d'un circuit hypothétique sans défaut et pour diverses conditions défectueuses

La valeur d'un composant peut varier à l'intérieur d'une certaine plage de tolérance. Si la valeur mesurée de la tension au nœud N1 est disons 5,1 V, on ne peut vraiment pas connaître si le circuit est en condition F0 ou F8. Tout ce que l'on peut dire, c'est que lorsque cette tension est de 5,1 V, le circuit est en condition F0 ou F8. Ainsi, dans ce cas, F0 et F8 forment ce qu'on appelle un ensemble d'ambiguïtés. On peut maintenant définir la tension d'une ambiguïté réglée pour avoir une portée autour de sa valeur centrale et que les différentes tensions de réglage de l'ambiguïté ne se chevauchent pas. Dans l'exemple ci-

dessus, les tests de 1 à 3 forment un groupe d'ambiguïté et les tests 2 à 4 forment un autre groupe d'ambiguïté qui sont énumérés dans le tableau 4.2 ci-dessous.

Nœud, groupe d'ambiguïté	fautes	plage de tension
(1, 1)	F0, F8	4.6 – 5.6
(1, 2)	F1, F2, F3, F4	6.7 - 7.7
(1, 3)	F5, F6, F7	9.2 - 10.2
(2, 1)	F1, F5, F6	4.6 - 5.6
(2, 2)	F3, F4	5.8 - 6.7
(2, 3)	F2, F7	6.6 - 7.7
(2, 4)	F0, F8	8.6 - 9.6

Tableau 4.2. Groupes d'ambiguïtés et plages de tension

Le tableau 4.2 permet de conclure que le défaut F1 ne peut pas être isolé des défauts F2, F3 et F4 si seul le nœud de test 1 est utilisé. De même, le défaut F1 ne peut pas être isolé des défauts F5 et F6 si seul le nœud de test 2 est utilisé. Toutefois, si les deux nœuds de test sont utilisés, le défaut F1 peut être isolé. D'autre part, les défauts F3 et F4 ne peuvent pas être isolés même si les deux nœuds de test sont utilisés. Afin d'obtenir un isolement maximal, les groupes d'ambiguïtés doivent être manipulés pour déterminer quels défauts peuvent être isolés et quels vecteurs de test fournissent le plus grand degré d'isolement.

Afin de mettre en exergue le fonctionnement de la méthodologie de test proposée, deux exemples choisis sont : l'amplificateur opérationnel de type μA 741 monté en inverseur et le régulateur de tension. Ces deux circuits sont largement utilisés dans de nombreuses applications des circuits analogiques.

4.4. Exemple 1 : L'amplificateur inverseur à base de μA 741

Afin d'expliquer la méthode proposée en section 4.2, nous avons choisi un amplificateur inverseur à titre d'exemple. C'est un montage de base à amplificateur opérationnel. Le gain en boucle fermée de l'amplificateur est réglé par deux résistances comme le montre la figure 4.2 [75]: la résistance de la contre réaction négative, R_2 , et la résistance d'entrée, R_1 . Les valeurs de ces composants choisies pour le cas de circuit sous test sont $R_1 = 1\text{ k}$ et $R_2 = 4,7\text{ k}$.

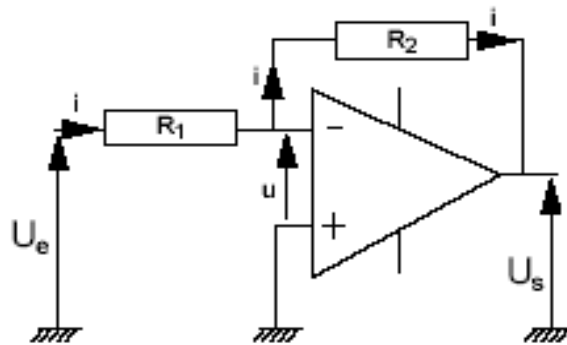


Figure 4.2. Amplificateur inverseur

La figure 4.3 montre le circuit construit et simulé au niveau transistor de l'amplificateur $\mu A741$ qui a été utilisé dans cette étude.

4.4.1. Structure des transistors utilisés.

Le schéma électrique de l'amplificateur opérationnel disposé en figure 4.3 est propre à la maison originale FERRANTI Interdesign. En outre, la réalisation fut possible grâce à la disposition des transistors intégrés dans une même puce (Mono-chip) et offrant les mêmes caractéristiques électriques que celles du 741 intégré.

Nous rappelons qu'il y'a deux types de polarisation de transistors employés dans cet amplificateur particulier :

- les transistors de Q1 à Q10 sont de type NPN
- les transistors de Q101 à Q108 sont de type PNP.

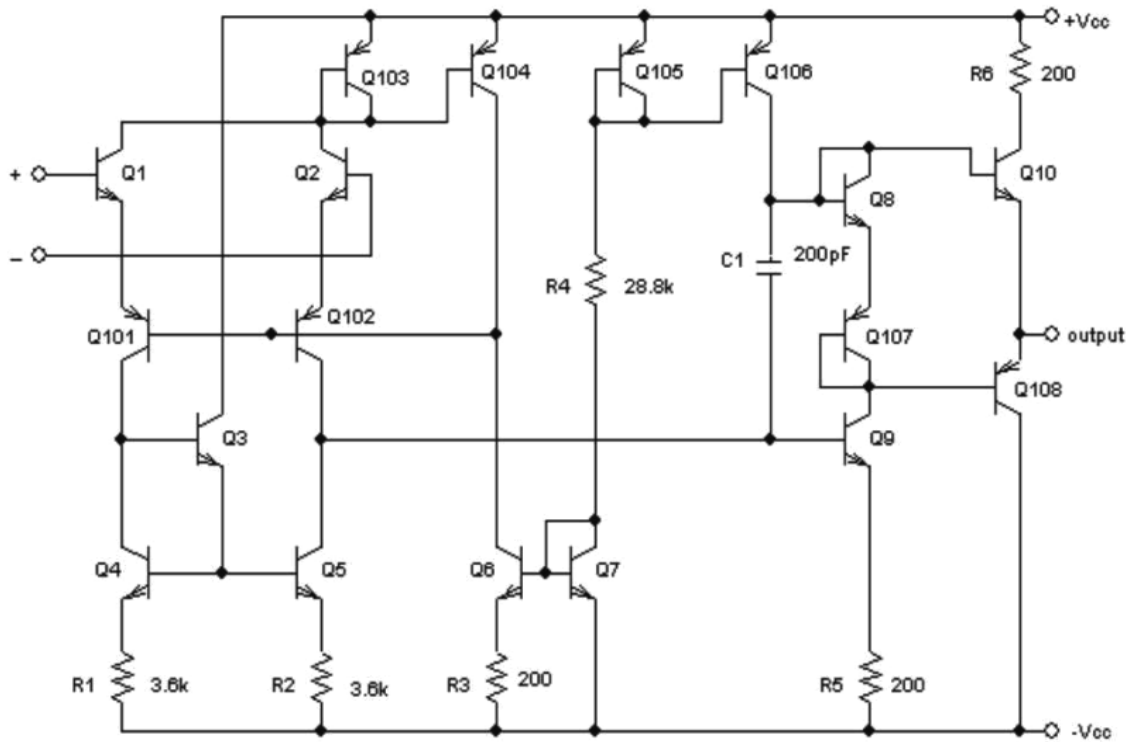


Figure 4.3. Amplificateur opérationnel uA741

La structure interne équivalente à chacun de ces transistors spécifiques à cette compagnie là est complexe et émane de la technologie de fabrication par épitaxie servant à leur réalisation: il s'agit de structures planaires latérale et verticale conduisant aux circuits équivalents des transistors comme indiqués dans les figures suivantes:

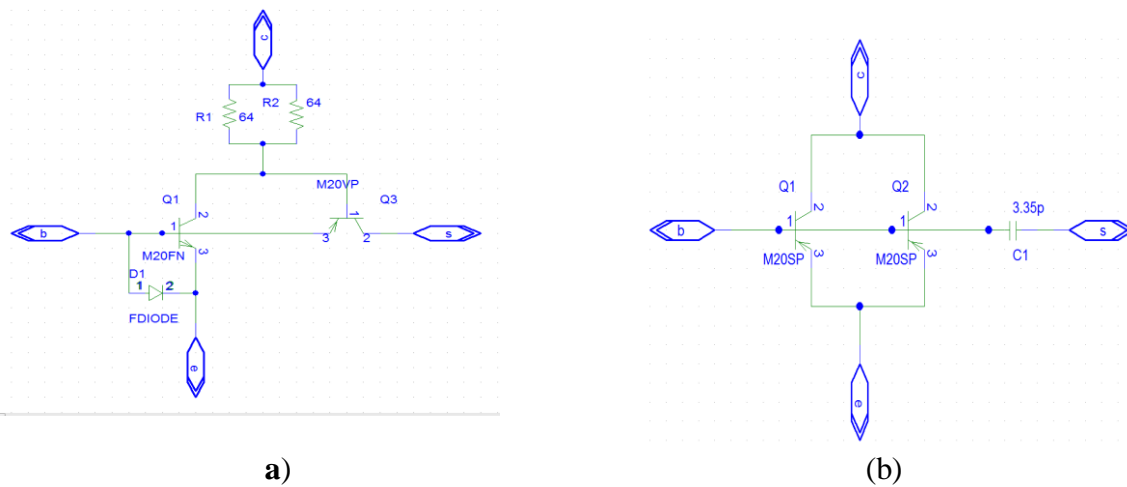


Figure 4.4. Structure des transistors utilisés a) Transistor NPN (b) Transistor PNP

Pour une simulation précise de ces types de transistors, les différents paramètres du modèles des ces composants sont procurés auprès de ce fournisseur de circuits intégrés et qui sont donnés comme suit:

FDIOD	
IS	45.000000E-21
N	1.75
ISR	100.000000E-12
BV	6.6
IBV	10.000000E-06
RS	75
TT	5.000000E-09
CJO	1.000000E-12
VJ	.75
M	.3333

(a)

	M2OSP	M20VP	M20FN
IS	200.000000E-18	1.300000E-15	450.000000E-18
BF	90	20	150
NF	1	1	1
VAF	50	150	150
IKF	500.000000E-06		6.000000E-03
ISE	5.000000E-15		7.000000E-15
NE			1.75
BR	1	.15	.5
NR	1	1	1
VAR	100	100	150
IKR	100.000000E-06		1.000000E-03
ISC	10.000000E-15		1.000000E-15
NC	1.5		1.3
RB	50	760	135
RE	100	7	2.42
RC	100	15	36
CJE	120.000000E-15	2.000000E-12	546.000000E-15
CJC	400.000000E-15	2.700000E-12	1.520000E-12
TF	10.000000E-09	10.000000E-09	338.000000E-12
XTF	10	10	10
VTF	10	10	10
ITF	1	1	1
TR	10.000000E-09	10.000000E-09	33.800000E-09
XTB			4.400000E-03
CN	2.2	2.2	2.42
D	.52	.52	.87

(b)

Tableau 4.3. Paramètres des modèles des composants (a) Diode zener (b) Transistors

Pour simuler le fonctionnement du circuit, nous avons utilisé le simulateur électrique Pspice, un logiciel mondialement connu pour ce genre d'applications et développé originellement par l'université de Berkeley aux Etats Unis.

D'une utilisation très conviviale, il permet d'accéder rapidement au résultat souhaité en construisant le circuit électronique désiré à partir d'une bibliothèque de composants.

4.4.2. Le mode et le vecteur de test choisis

Le test développé ici est cependant limité aux points d'accès externes du circuit qui en pratiques sont les seuls permis à l'accès pour un circuit intègre (CI). A ce niveau de test, le mode DC s'avère concluant dans la détection de fautes par des signaux de tensions et de courants [80].

Pour la génération du dictionnaire de défauts, le mode DC est considéré comme un excellent outil pour le diagnostic et la détection de défauts catastrophiques (court circuit et circuit ouvert) dans les circuits analogiques. En effet, l'approche DC a les avantages de la simplicité de simulations des circuits et l'aisance dans la mesure des sorties.

Le vecteur de test choisi est le signal de tension d'entrée dont la valeur s'étale sur un intervalle allant de -5V à +5V, qui représentent les valeurs limites que peut admettre le circuit, et dont le pas de variation est conçu minutieusement de façon suffisante et nécessaire à l'exploration de l'effet de faute.

4.4.3. Les défauts employés

Dans cette expérience, les défauts qui ont été considérés étaient principalement des court-circuits et des circuits ouverts, qui ont été appliqués aux composants actifs (transistors). Les court-circuits (CC) étaient matérialisés par des résistances de faibles valeurs (1Ω), tandis que des lignes de connexion ouvertes ou des résistances de grande valeur ($100 M\Omega$) étaient utilisées pour le circuit ouvert (CO) [83]. Par conséquent, pour chaque transistor du circuit, six défauts ont été inclus dans la liste des défauts comme illustré à la Figure 4.5:

- contact de l'émetteur ouvert (EO);
- contact du collecteur ouvert (CO);
- contact de la base ouvert (BO);

- Court circuit entre la base et le collecteur (BCS);
- Court circuit entre la base et l'émetteur (BES);
- Court circuit entre le collecteur et l'émetteur (CES).

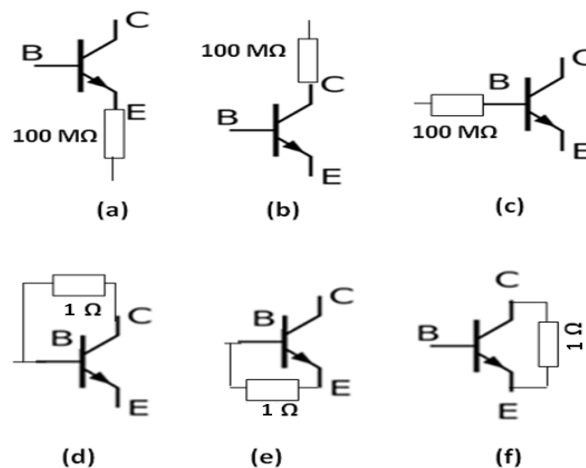


Figure 4.5. Court circuit et circuit ouvert

L'amplificateur configuré en inverseur est un assemblage de dix huit transistors, et comme le nombre de fautes propres à chaque transistor sont de 6, ce grand nombre de composant conduit à l'observation des effets de 108 fautes théoriques (6 x 18).

Par une analyse intentionnée, le nombre de fautes fut réduit à 70 grâce à sa configuration électronique :

- Certaines fautes CC ou CO mesurées individuellement au niveau d'un élément se trouve par conséquent assimilée à une faute double, car elle affectent d'autre élément ayant un nœud commun avec le premier.
- D'autres CC associés au même transistor sont considérés comme double à cause de la façon de connexion de cet élément dans le circuit, par exemple l'élément Q7 monté en diode (jonction B-C court-circuitée) affecte d'un CC entre B et E et aussi traité comme CC entre E et C



Figure 4.6. Faute double

4.4.4. Procédure de test basée sur la fonction de transfert

A priori, le test par analyse de la fonction de transfert est exécuté afin de détecter / identifier le vecteur (stimulus) de test à l'entrée qui permet d'acheminer et de propager l'effet de fautes vers la sortie [82]. Toutefois, les constatations suivantes vont clarifier cette procédure :

- Application d'une gamme de tension d'entrée et la mesure de la tension de sortie correspondante afin de reproduire la caractéristique de transfert (voir figure 4.7).

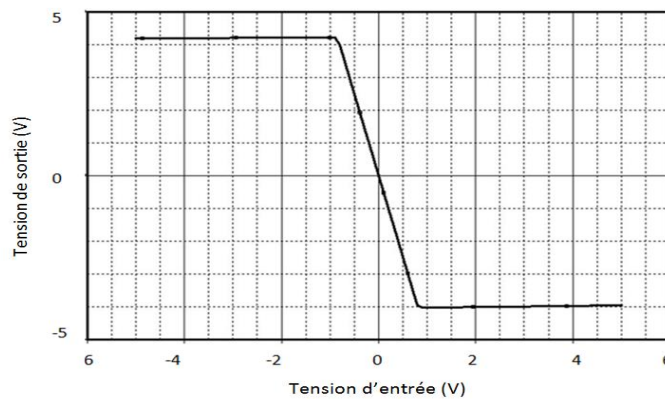


Figure 4.7. Fonction de transfert de l'amplificateur inverseur

- Cette tâche est reprise par l'ensemble de fautes à explorer afin de mesurer les caractéristiques du circuit sous ses différentes conditions de fautes dont on présente certaines d'entre elles en figure 4.8.

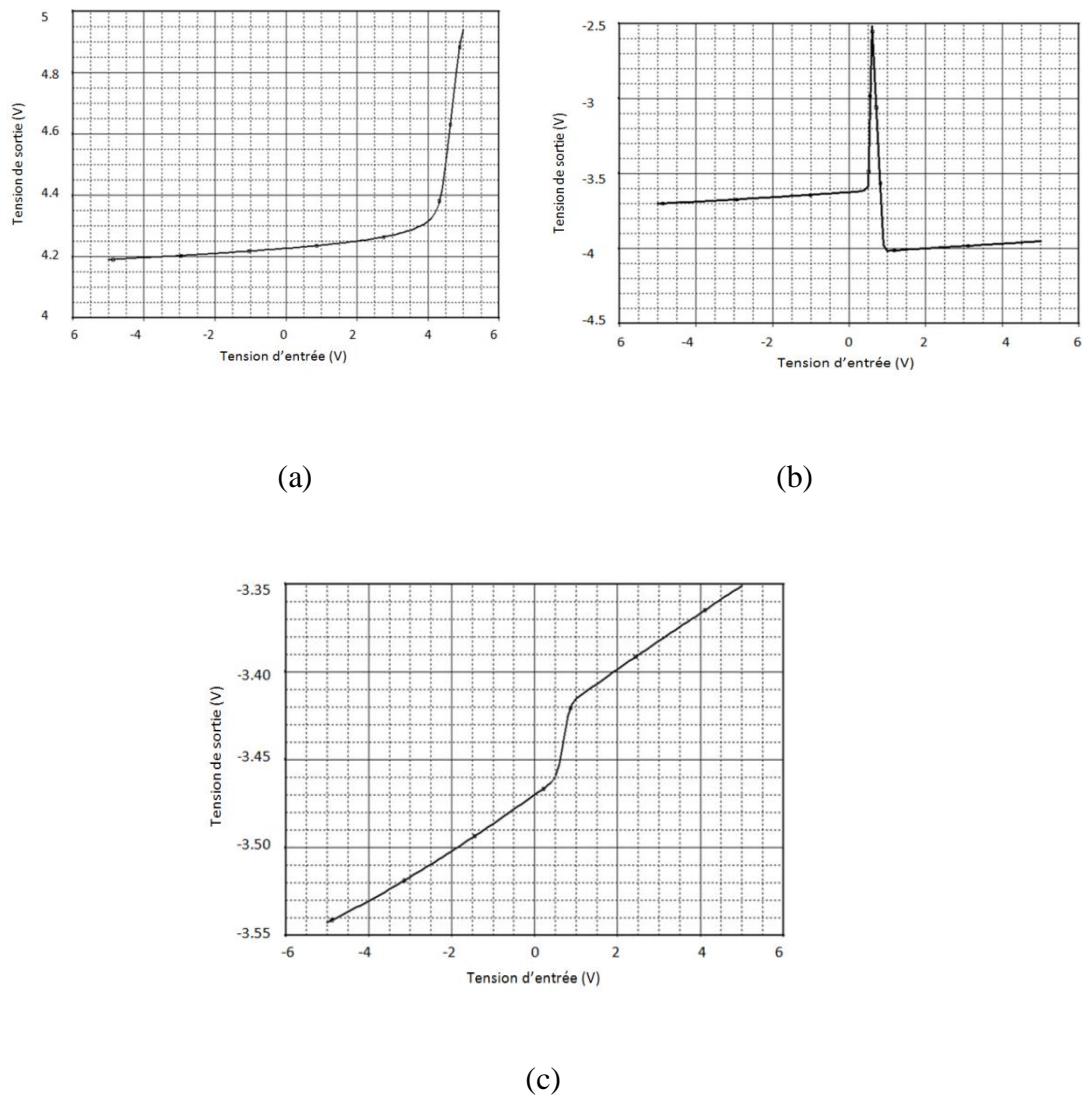


Figure 4.8. Fonction de transfert de l'amplificateur inverseur sous différentes fautes

(a) BOQ101 (b) BESQ8 (c) BCSQ10

- Analyse et comparaison de ces caractéristiques avec celle en condition sans faute, conduiront à la localisation de l'effet de fautes sur la courbe d'entrée-sortie du circuit ainsi que le(s) niveau (x) de tension servant à sa propagation.
- Cette tâche exige un temps et un volume de donnée à analyser assez important, ce qui rendra un tel processus pour un système complexe impraticable pour des raisons économiques (temps et coût). Donc le but ici est de retenir un nombre restreint de vecteur de test $V_T(V_e, V_s)$ jugé suffisant à la détection de fautes.

4.4.4.1. Critère de détection

Le critère sur lequel est fondée cette méthode est définie comme une déviation de +/- 1.5% de la valeur nominale du paramètre d'analyse de fautes à savoir la tension de sortie : $((3.9424 \times 1.5)/100 = \mathbf{0.06})$. Ceci dit que toute faute est considérée détectée si elle produit un écart sur la valeur nominale d'un de ces paramètres égal ou supérieur à cette valeur de tolérance. Un tel choix de tolérance est fait en partant du concept d'un appareil de mesure de courant ou de tension pour usage de laboratoire exige une classe de précision pas plus de 1.5%.

$$\Delta V_s = |V_s(F_j) - V(F_0)| < 1.5\% (V(F_0))$$

ΔV_s : l'écart calculé pour un défaut particulier.

$V_s(F_j)$: La tension calculée par le simulateur pour un défaut particulier.

Le dictionnaire de fautes pour le premier test basé sur la fonction de transfert qui a été construit est représenté dans le tableau 4.4. Ici, les effets des défauts durs ont été matérialisés à partir des signaux de réponses (V_s) en régime continu (DC). Leurs défauts correspondants ont été codés par les abréviations suivantes : EOQn, BOQn, COQn, EBSQn, ECSQn et BCSQn, où E, B et C représentent respectivement, l'émetteur, la base et le collecteur du transistor, qu'on identifie par la lettre Q et son numéro de position n dans la configuration électronique du circuit sous test.

N° de la faute	Code de la faute	Tension de sortie(V)	Calcul de l'écart $\Delta V_s = V_s(F_j) - V(F_0) $	N° de la faute	Code de la faute	Tension de sortie(V)	Calcul de l'écart $\Delta V_s = V_s(F_j) - V(F_0) $
f0	Sans faute	-3,9424	0	f36	CCBEQN2	-3,9472	0,0048
f1	BOQN1	-4,0182	0,0758	f37	CCCEQN2	-4,0163	0,0739
f2	COQN1	-4,0111	0,0687	f38	CCBCQN3	4,2143	0,2719
f3	BOQN2	4,236	0,2936	f39	BESQN3	-3,9924	0,05
f4	COQN2	-3,5003	0,4421	f40	BCSQN4	-3,9585	0,0161
f5	BOQN3	-3,9924	0,05	f41	BESQN4	-2,9923	0,9501
f6	COQN3	-3,9919	0,0495	f42	CESQN4	-3,9914	0,049
f7	BOQN4	-2,9597	0,9827	f43	BCSQN5	0,2217	3,7207
f8	COQN4	-3,5118	0,4306	f44	CESQN5	1,3334	2,609
f9	BOQN5	-3,9707	0,0283	f45	BCSQN6	-2,9332	1,0092
f10	COQN5	-3,9732	0,0308	f46	BESQN6	4,2359	0,2935

f11	BOQN6	4,236	0,2936	f47	CESQN6	-3,1548	0,7876
f12	COQN6	4,236	0,2936	f48	BESQN7	4,2359	0,2935
f13	BOQN7	-3,7581	0,1843	f49	BESQN8	-3,9367	0,0057
f14	COQN7	-3,9957	0,0533	f50	BCSQN9	-3,4253	0,5171
f15	BOQN8	-3,5436	0,3988	f51	CESQN9	-4,1369	0,1945
f16	COQN8	-4,0209	0,0785	f52	BCSQN10	3,4321	0,5103
f17	BOQN9	4,2359	0,2935	f53	BESQN10	-4,096	0,1536
f18	COQN9	4,2358	0,2934	f54	CESQN10	2,1206	1,8218
f19	BOQN10	-3,938	0,0044	f55	BCSQP1	-3,3445	0,5979
f20	COQN10	-3,9652	0,0228	f56	BESQP1	-0,0297	3,9127
f21	BOQP3	4,2352	0,2928	f57	CESQP1	-3,0194	0,923
f22	COQP3	-3,6747	0,2677	f58	BCSQP2	-2,2499	1,6925
f23	BOQP4	-3,868	0,0744	f59	BESQP2	4,2359	0,2935
f24	COQP4	-3,868	0,0744	f60	CESQP2	-2,0382	1,9042
f25	BOQP5	3,9108	0,0316	f61	BESQP3	-3,8677	0,0747
f26	COQP5	-3,8371	0,1053	f62	BCSQP4	4,236	0,2936
f27	BOQP6	-4,1335	0,1911	f63	CESQP4	4,236	0,2936
f28	COQP6	-4,1336	0,1912	f64	BESQP5	-4,1347	0,1923
f29	COQP7	-3,9429	0,0005	f65	BCSQP6	3,4074	0,535
f30	BOQP8	0,7821	3,1603	f66	CESQP6	4,2232	0,2808
f31	COQP8	-3,5723	0,3701	f67	BESQP7	-3,9367	0,0057
f32	BCSQN1	1,1978	2,7446	f68	BCSQP8	-4,2057	0,2633
f33	BESQN1	-3,6525	0,2899	f69	BESQP8	4,1556	0,2132
f34	CESQN1	4,236	0,2936	f70	CESQP8	-5	1,0576
f35	BCSQN2	4,3241	0,3817				

 Fautes détectées  Fautes non détectées

Tableau 4.4. Dictionnaire de fautes pour la fonction de transfert

4.4.4.2. Couverture de fautes et formation de groupes d'ambiguïté

Comme résultat, la couverture maximale de fautes atteinte est donnée par le rapport des défauts détectés sur les défauts injectés [19] [84] [86] :

$$N = \frac{\text{Nombre de fautes détectables}}{\text{Nombre total de fautes}}$$

Soit : $N = 55 / 70 = 78\%$

Cette couverture a été assurée selon la tension d'entrée d'amplitude de 0.8 V. Les autres tensions sont exclues car jugées redondantes ou peu efficaces.

Un code de couleur associé au tableau 4.4 est employé pour rendre facile la distinction entre les fautes détectables et les fautes non détectables:

- 1- les fautes dont les écarts ΔV s sont importants et donnant des erreurs supérieurs à 1.5% : les fautes sont détectables.
- 2- Fautes non détectables dont l'écart est inférieur à la déviation 1.5%.

Un autre problème concerne les groupes d'ambiguïtés ou les groupes de défauts équivalents. Ici, nous pouvons dire qu'un groupe d'ambiguïtés consiste en un ensemble de défauts qui propagent des signaux de fautes (signatures) identiques à la sortie, mais aucune distinction entre les défauts individuels n'est possible et rendant leur diagnostic irréalisable [82]. Dans l'exemple ci-dessus, nous avons formé 9 groupes d'ambiguïtés, de sorte qu'un seul effet de faute est représentant de chaque groupe d'ambiguïtés.

Les groupes d'ambiguïtés pour les caractéristiques de défaut de la tension de sortie sont illustrés en tableau 4.5.

G1	F0 F5 F6 F9 F10 F14 F19 F20 F25 F29 F36 F39 F40 F42 F49 F67	G6	F4 F8
G2	F1 F2 F16 F23 F24 F26 F37 F61	G7	F50 F52 F65
G3	F13 F27 F28 F51 F53 F64 F69	G8	F41 F57
G4	F3 F11 F12 F17 F18 F21 F22 F33 F34 F38 F46 F48 F59 F62 F63 F66 F68	G9	F7 F45
G5	F15 F31 F35		

Tableau 4.5. Formation de groupes d'ambiguïté

Le tableau 4.5 montre que ces défauts ne peuvent pas être localisés de manière isolés les uns des autres en utilisant uniquement la tension de sortie. Il existe des groupes d'ambiguïtés qui contiennent deux ou plusieurs défauts. Ce qui par conséquent donne recours à l'investigation sur d'autres signaux à observer. Le courant d'alimentation est jugé comme un élément clé et efficace au test [80]: il s'agit d'un nouveau signal testable afin d'améliorer la couverture de fautes et la porter à un niveau le plus élevé possible.

4.4.5. Maximalisation de la détection de fautes par le test basé sur le courant d'alimentation

Le test par courant d'alimentation appliqué à l'amplificateur inverseur consiste en la mesure de courant au niveau de l'alimentation négative. Il s'agit d'assurer la détection des fautes non détecté par le test du premier mode (test par voie de fonction de transfert).

La mesure du courant effectuée pour ce circuit correspond à une mesure de courant s'écoulant vers le potentiel le plus négative de circuit (-5V) par le simulateur électrique PSPICE. Les vecteurs de test imposés sont ceux employés au mode de test précédent. Les fautes à déceler par ce nouveau mode sont celles échappées au processus de test antérieur.

Afin de diagnostiquer les défauts du CUT, nous devons également extraire les caractéristiques de défaut du courant d'alimentation. Les mêmes modèles de fautes et les vecteurs de test sont sélectionnés que celles de la section 4.4.

Les figures 4.9 et 4.10 montrent les résultats de simulation du bon circuit et des circuits défectueux respectivement. Le courant d'alimentation a été tracé par rapport à la tension d'entrée V_{in} .

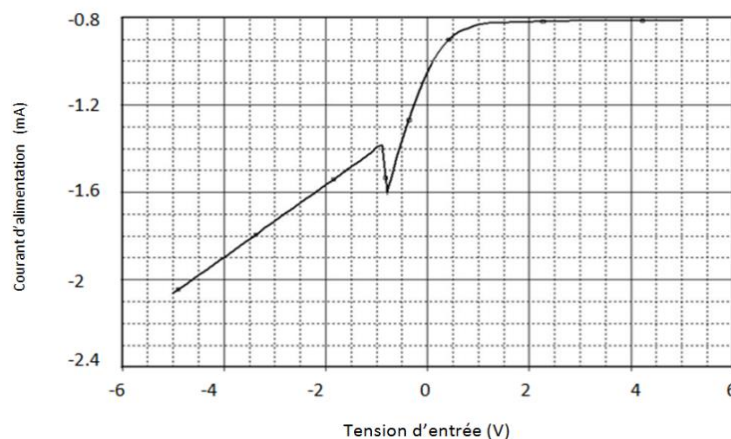


Figure 4.9. Caractéristique $I_e=f(V_e)$ de l'amplificateur inverseur

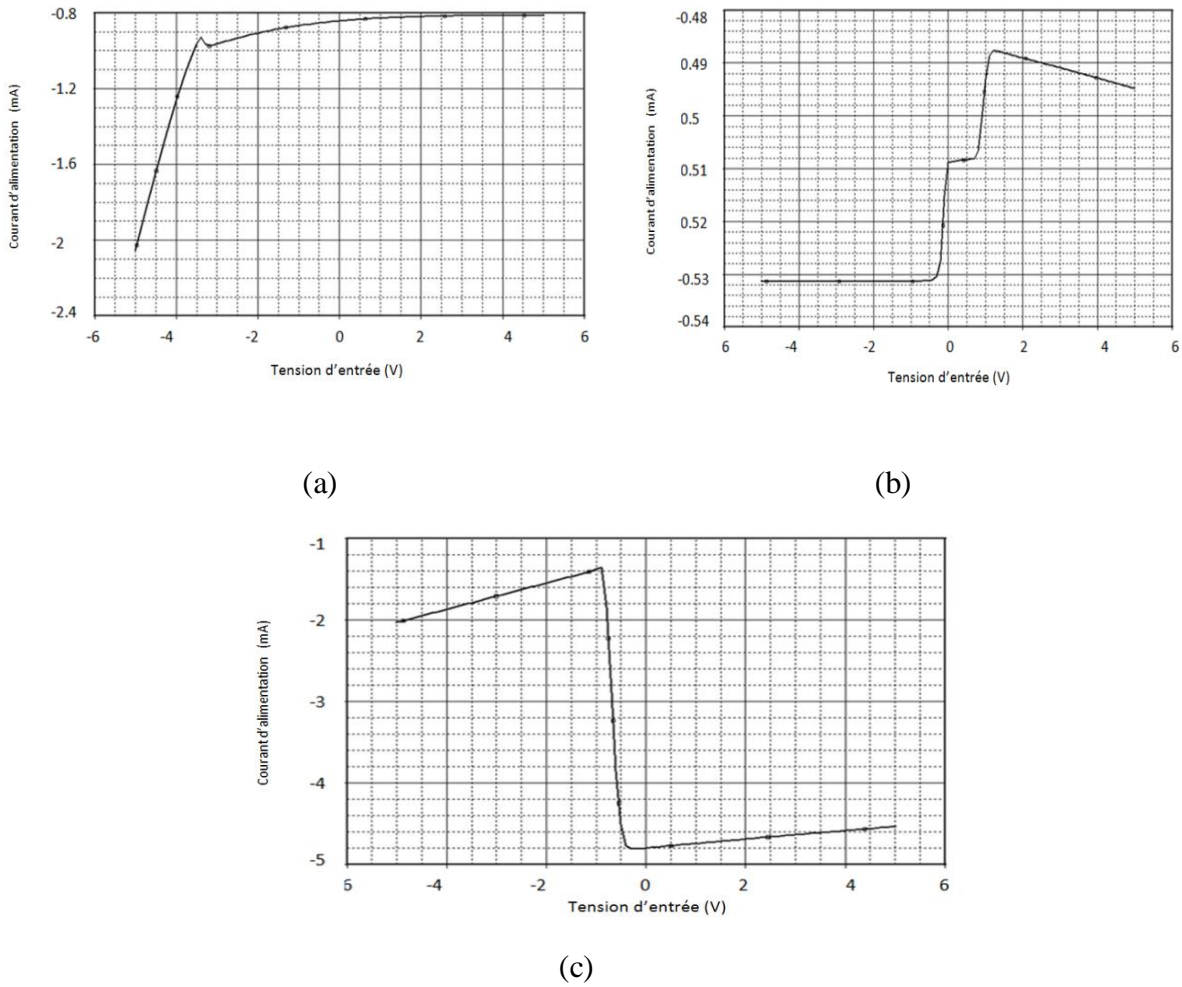
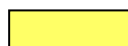


Figure 4.10. Caractéristique $V_e=f(I_e)$ de l'amplificateur inverseur sous différentes fautes (a) CESQ3 (b) EOQ2 (c) ECSQ107.

Les résultats collectés après l'analyse des signatures de sortie mesurant le paramètre du courant d'alimentation sont reportés au tableau 4.6, où un code de couleur est employé pour distinguer entre les écarts de courants ΔI_e et en conséquence entre les fautes détectées et non détectées.

N° de la faute	Code de la faute	Courant d'alimentation (mA)	Calcul de l'écart $\Delta I_e = I_e(F_j) - I_e(F_0) $	N° de la faute	Code de la faute	Courant d'alimentation (mA)	Calcul de l'écart $\Delta I_e = I_e(F_j) - I_e(F_0) $
f0	Sans faute	-0,8489	0	f36	BESQN2	-0,8389	0,01
f1	BOQN1	-0,8306	0,0183	f37	CESQN2	-0,8426	0,0063

f2	COQN1	-0,8531	0,0042	f38	BCSQN3	-1,1517	0,3028
f3	BOQN2	-1,1036	0,2547	f39	BESQN3	-1,1447	0,2958
f4	COQN2	-0,8756	0,0267	f40	BCSQN4	-0,8308	0,0181
f5	BOQN3	-0,8407	0,0082	f41	BESQN4	-1,7371	0,8882
f6	COQN3	-0,8568	0,0079	f42	CESQN4	-0,8305	0,0184
f7	BOQN4	-0,8573	0,0084	f43	BCSQN5	-56,044	55,1951
f8	COQN4	-1,0312	0,1823	f44	CESQN5	-66,861	66,0121
f9	BOQN5	-0,7608	0,0881	f45	BCSQN6	-53,567	52,7181
f10	COQN5	-0,8307	0,0182	f46	BESQN6	-0,8925	0,0436
f11	BOQN6	-0,8705	0,0216	f47	CESQN6	-25,823	24,9741
f12	COQN6	-0,8708	0,0219	f48	BESQN7	-0,8947	0,0458
f13	BOQN7	-10,008	9,1591	f49	BESQN8	-0,8228	0,0261
f14	COQN7	-0,9674	0,1185	f50	BCSQN9	-0,8481	0,0008
f15	BOQN8	-6,473	5,6241	f51	CESQN9	-0,8491	0,0002
f16	COQN8	-0,83	-0,0189	f52	BCSQN10	-4,7524	3,9035
f17	BOQN9	-0,9567	0,1078	f53	BESQN10	-0,825	0,0239
f18	COQN9	-1,066	0,2171	f54	CESQN10	-15,167	14,3181
f19	BOQN10	-0,8202	0,0287	f55	BCSQP1	-11,241	10,3921
f20	COQN10	-0,8207	0,0282	f56	BESQP1	-0,8869	0,038
f21	BOQP3	-0,9752	0,1263	f57	CESQP1	-16,107	15,2581
f22	COQP3	-0,8012	0,0477	f58	BCSQP2	-16,667	15,8181
f23	BOQP4	-3,8562	3,0073	f59	BESQP2	-0,9569	0,108
f24	COQP4	-3,8563	3,0074	f60	CESQP2	-15,561	14,7121
f25	BOQP5	-4,7673	3,9184	f61	BESQP3	-3,8572	3,0083
f26	COQP5	-1,1471	0,2982	f62	BCSQP4	-0,9716	0,1227
f27	BOQP6	-0,5057	0,3432	f63	CESQP4	-0,9719	0,123
f28	COQP6	-0,5066	0,3423	f64	BESQP5	-0,5416	0,3073
f29	COQP7	-0,8897	0,0408	f65	BCSQP6	-4,7131	3,8642
f30	BOQP8	-0,8047	0,0442	f66	CESQP6	-4,8967	4,0478
f31	COQP8	-0,8226	0,0263	f67	BESQP7	-0,823	0,0259
f32	BCSQN1	-116,873	116,0241	f68	BCSQP8	-0,8491	0,0002
f33	BESQN1	-4,0572	3,2083	f69	BESQP8	-3,0547	2,2058
f34	CESQN1	-1,1124	0,2635	f70	CESQP8	-6,6342	5,7853
f35	BCSQN2	-3,7096	2,8607				



Fautes détectées



Fautes non détectées

Tableau 4.6. Dictionnaire de fautes pour le courant d'alimentation

4.4.5.1. Couverture de fautes et formation de groupes d'ambiguïté

La détection de fautes par test du courant d'alimentation est assurée de la même façon que le premier mode mais en utilisant plus tôt l'écart produit par la faute sur le courant noté ΔI_e qu'on évalue comme:

$$\Delta I_e = |I_e(F_j) - I_e(F_0)|$$

Où $I_e(F_j)$ et $I_e(F_0)$ sont respectivement les courants de masse en présence de la faute F_j , et sans faute (F_0).

Le seuil de courant est fixé par le même critère de détection de la section 4.4.1 et calculé comme : $V_{F_0} * 1.5\% = \mathbf{0.013}$, où en deçà duquel la faute est non détectable.

A partir de résultats obtenus, nous pouvons tirer de nouvelles constatations sur le taux de couverture de fautes atteint par ce nouveau mode de test. Cette amélioration a été obtenue en impliquant le courant d'alimentation comme deuxième signature de défaut - la combinaison de ces deux paramètres a permis d'élever le taux de détection de **78%** en premier mode de test à **85%** (60/70) en mode de test combiné.

Les groupes d'ambiguïtés pour les caractéristiques de défaut du courant d'alimentation sont présentés au tableau 4.7.

G1	F0 F2 F5 F6 F7 F36 F37 F50 F51 F68	G6	F26 F39
G2	F1 F3 F10 F11 F12 F16 F40 F42 F53 F67	G7	F38 F61 F64
G3	F4 F19 F20 F31 F49 F56	G8	F27 F28
G4	F22 F29 F30 F46 F48 F56	G9	F23 F24
G5	F14 F21 F62 F63		

Tableau 4.7. Formation de groupes d'ambiguïté pour le test 2

4.4.5.2. Comparaison des résultats de deux tests

Les caractéristiques de défaut de la tension de sortie et du courant d'alimentation sont extraites pour le diagnostic des défauts du circuit sous test dans les sections 4.4 et 4.5 respectivement. Les résultats de la comparaison de ces deux signaux sont présentés au tableau 4.8.

Onze (11) types de défauts peuvent être localisés de manière unique en utilisant le signal de tension de sortie. Ils représentent 16 % de tous les types de défauts. Vingt cinq (25) types de défauts peuvent être localisés de manière unique si le signal de courant d'alimentation est utilisé. Cette proportion est portée à 38% en mode combiné. Le nombre de groupes d'ambiguïtés est de 9 pour chaque type de test, mais il y a une réduction nette du nombre de fautes que compte chaque groupe lorsqu'on a introduire le courant d'alimentation. Par exemple, le premier groupe d'ambiguïtés assimilé à la valeur nominale de la tension de sortie contient 15 fautes : F5, F6, **F9**, F10, F14, F19, F20, **F25**, F29, F36, F39, F40, F42, F49 et F67. Mais les fautes F9 et F25 peut être localisées de manière unique en utilisant le courant d'alimentation.

Type de test	Fonction de transfert	Courant d'alimentation
Nombre de fautes localisés de manière individuelle (isolée)	11	25
	F30 F32 F43 F44 F47 F54 F55 F56 F58 F60 F70	F8 F9 F13 F15 F21 F25 F32 F33 F34 F35 F41 F43 F44 F45 F47 F52 F54 F55 F57 F58 F60 F65 F66 F69 F70

Tableau 4.8. Comparaison des résultats de deux tests

4.5. Exemple 2 : Le régulateur de tension

Le régulateur de tension, montré en figure 4.11, est le régulateur de tension série positive à température stable le plus commun et le plus simple [87].

La configuration interne se compose de trois éléments de base différents et sont:

- L'amplificateur A qui incorpore une bande-gap à référence (Q3 - Q7, R2, R3) qui établit une tension référentielle V_{ref} exprimé par $V_{ref} = [R5 / (R4 + R5)] \cdot V_s$
- L'élément de conduction (pass-element) P.E, Ce bloc est constitué de deux transistors NPN dont la structure de connexion est celle d'un montage Darlington construit avec les transistors Q8, et Q9 qui est très commode pour manipuler les courants élevés.
- et l'échantillonneur de tension, S, employé pour réinjecter par contre réaction une fraction de la sortie de l'élément P.E à l'entrée inverseuse de l'amplificateur.

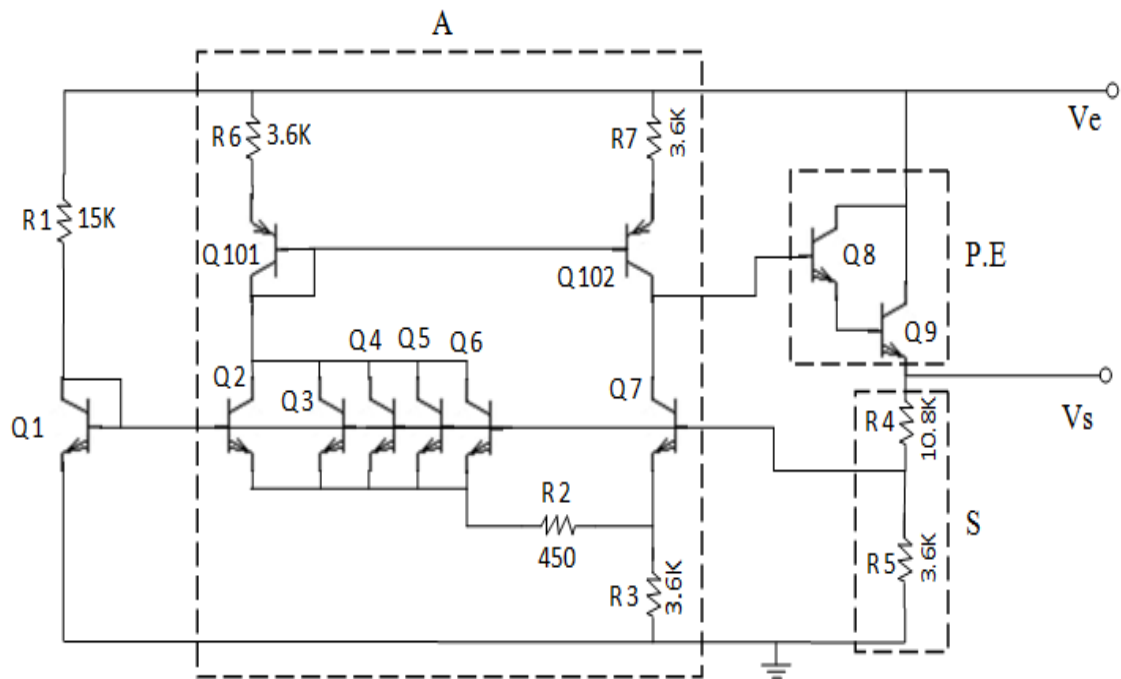


Figure 4.11. Régulateur de tension positive

Quand on applique des tensions à l'entrée du circuit, le transistor Q1 conduit et met en marche le transistor Q2 de l'amplificateur. Par conséquent, ce transistor fournit un courant polarisant le circuit miroir courant (Q101-Q102) qui à son tour met en marche l'amplificateur de Darlington, et la tension à travers la résistance R3 et R4 commencent à

augmenter. Une fois que la tension de référence atteint 1.25V, la sortie se stabilise à une tension de 5V qui peut être fixée par les résistances R4 et R5 [87].

Pour le cas du régulateur de tension présenté ci-dessus, nous avons effectué les mêmes procédures décrites dans les sections précédentes pour l'amplificateur inverseur.

4.5.1. Test par fonction de transfert

Le régulateur de tension positive soumis au test est conçu d'onze transistors et quelques résistances comme le précise sa configuration donnée en figure 4.12. Les fautes considérées sont de type catastrophique (courts circuits et circuits ouverts) appliqués aux niveaux des transistors.

En appliquant un signal à l'entrée du régulateur sur une gamme de tension d'entrée ($1V < V_e < 18V$), il est possible d'observer des signatures du circuit sain et sous différents défauts en utilisant la technique de simulation PSpice. La figure 46 montre la réponse nominale sans défaut observée à la sortie du régulateur, tandis que la figure 4.13 illustre 3 signatures de fautes comme exemples parmi les 36 fautes possibles (après élimination des fautes doubles comme déjà expliqué en section 4.3).

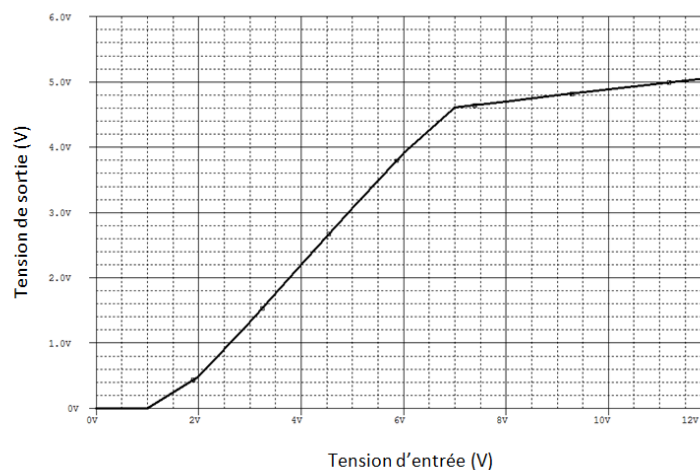


Figure 4.12. Fonction de transfert du régulateur

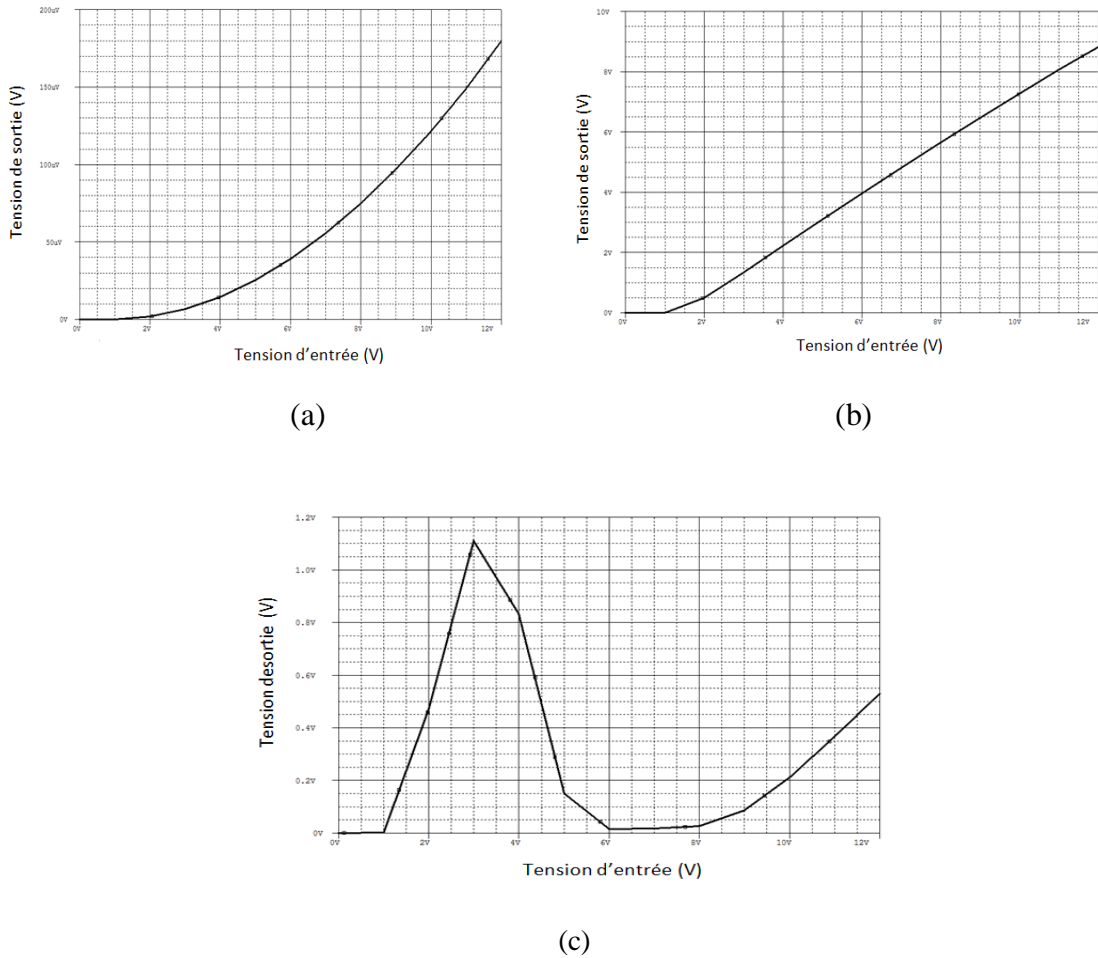
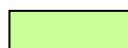


Figure 4.13. Fonction de transfert du régulateur sous différentes fautes (a) CESQ1 (b) CESQ102 (c) EOQ1

Avant la construction du dictionnaire de fautes, il est question de rechercher le meilleur vecteur de test qui assure la détection de la globalité des fautes. Pour le régulateur de tension, plusieurs valeurs de tension d'entrée donnent les mêmes efficacités en ce sens. Après collection des données expérimentales des réponses de ces vecteurs de test, il s'est avéré que l'amplitude de tension de valeur 3V paraît comme meilleur vecteur de test qui a conduit à l'aboutissement d'un taux de couverture de fautes le plus large possible.

Le dictionnaire de fautes pour la fonction de transfert du régulateur de tension est présenté dans le tableau 4.9.

N° de la faute	Code de la faute	Tension de sortie(V)	Calcul de l'écart $\Delta V_s = 0.02$	N° de la faute	Code de la faute	Tension de sortie(V)	Calcul de l'écart $\Delta V_s = 0.02$
f0	F0	1.3293	0	f19	COQ7	1.3585	0,0292
f1	BOQ1	1.1155	0,2138	f20	EOQ7	1.3447	0,0154
f2	COQ1	1.3298	0,0005	f21	BESQ1	6.5487m	1,329293
f3	EOQ1	1.1152	0,2141	f22	BCSQ2	129.442m	1,2003
f4	BOQ2	1.3374	0,0081	f23	BESQ2	4.2125m	1,3251
f5	COQ2	1.34	0,0107	f24	CESQ2	768.232m	0,5613
f6	EOQ2	1.3374	0,0081	f25	BESQ101	6.86m	1,3225
f7	BOQ101	1.3121	0,0172	f26	BCSQ102	806.576m	0,5233
f8	COQ101	1.3367	0,0074	f27	BESQ102	6.86m	1,3225
f9	EOQ101	1.3121	0,0172	f28	CESQ102	1.3632	0,0339
f10	BOQ102	6.86m	1,3225	f29	BCSQ8	1.4095	0,0802
f11	COQ102	6.86m	1,3225	f30	BESQ8	154.266m	1,1753
f12	EOQ102	6.86m	1,3225	f31	CESQ8	2.0501	0,7208
f13	BOQ8	9.922m	1,3193	f32	BESQ9	154.266m	1,1753
f14	COQ8	153.235m	1,1763	f33	CESQ9	3	1,6707
f15	EOQ8	6.9008m	1,3223	f34	BCSQ7	6.9408m	1,3224
f16	COQ9	159.749m	1,1693	f35	BESQ7	3.9704m	1,3253
f17	EOQ9	6.8764m	1,3223	F36	CESQ7	6.8496m	1,3225
f18	BOQ7	1.3447	0,0154	Nbre de fautes (Déte�tes/inject�es)		27/36= 75%	



Fautes d te tes



Fautes non d te tes

Tableau 4.9. Dictionnaire de fautes pour la fonction de transfert du r gulateur

Suite aux r sultats enregistr s au tableau 4.9 r capitulatif des effets de fautes   travers les  carts de tension ΔV_s , on d nombre 9 fautes non d tectables. Elles pr sentent un effet sur la fonction de transfert approximativement le m me qui permet de les rassembler dans un m me groupe. L' cart de la tension ΔV_s qui d limite l'intervalle de la d tection est  gal   0.02, au-del  de cette valeur, les fautes sont consid r es comme d te tes. Le taux de couverture pour ce mode de test est estim    75%.

Sur la base du dictionnaire de fautes, on d duit 5 groupes d'ambigu t  qui sont pr sent s au tableau 4.10 et qui justifie une deuxi me fois que l'utilisation d'un seul param tre n'est plus suffisant pour avoir un taux  lev  d'isolation de fautes.

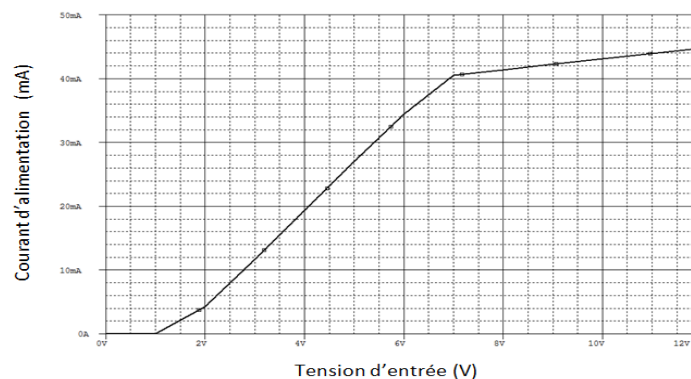
G1	F0 F2 F4 F5 F6 F7 F8 F9 F18 F20
G2	F19 F28
G3	F1 F3
G4	F14 F16 F30 F32 F33
G5	F10 F11 F12 F15 F17 F21 F23 F25 F27 F34 F35 F36

Tableau 4.10. Groupes d'ambiguïté résultant du test par fonction de transfert

4.5.2. Test par courant d'alimentation

La même stratégie de test suivie pour l'inverseur est reconduite pour tester le régulateur en utilisant le paramètre du courant d'alimentation. L'objectif reste le même que prévu précédemment, il s'agit de déceler les anomalies qui puissent apparaître chez certaines fautes échappées lors du premier test afin de maximaliser la détection de fautes, et d'augmenter le taux d'isolation par réduction du nombre de fautes dans chaque groupe d'ambiguïté enregistré.

Les figures 4.14 et 4.15 illustrent les résultats de simulation du circuit sous les mêmes différentes conditions de fautes qui ont été appliqués pour la fonction de transfert.

Figure 4.14. Caractéristique $I_e=f(V_e)$ du régulateur de tension

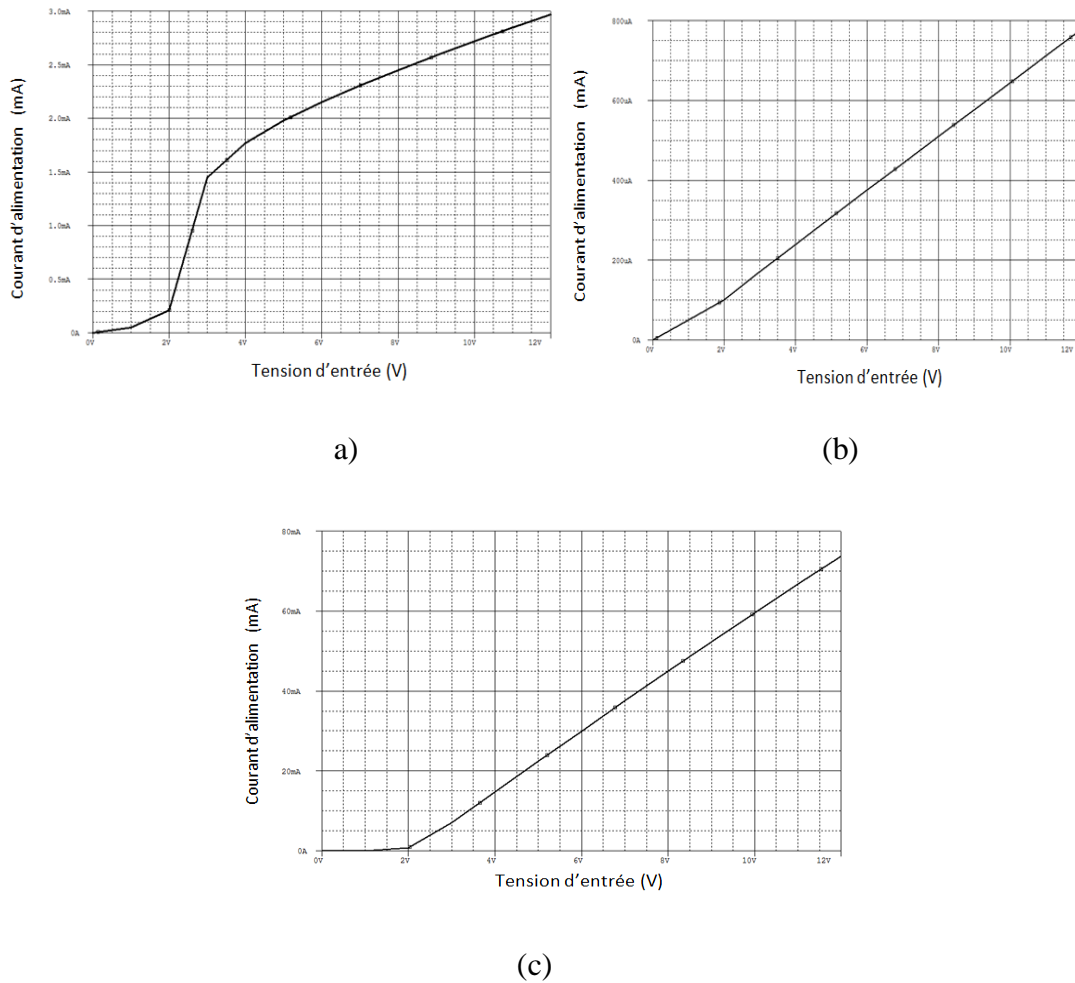


Figure 4.15. Caractéristique $I_e=f(V_e)$ du régulateur sous différentes fautes

a) BESQ8 (b) BOQ9 (c) BCSQ102

Le tableau 4.11 présente le dictionnaire de fautes pour différentes signatures du courant d'alimentation. Dans ce tableau, on constate que le taux de couverture de fautes est augmenté à 81%. La deuxième constatation après la formation des groupes d'ambiguïtés présentés au tableau 4.12, est faite sur ce mode de test qui peut servir à la détection et la distinction entre certaines fautes non détectables d'une façon nette (le cas des fautes F7 et F9), et l'élimination de la redondance de l'effet d'autres fautes (le cas des fautes F21, F34 et F36).

N° de la faute	Code de la faute	Courant d'alimentation (mA)	Calcul de l'écart $\Delta I_e = 0.175$	N° de la faute	Code de la faute	Courant d'alimentation (mA)	Calcul de l'écart $\Delta I_e = 0.175$
f0	F0	11.697	0	f19	COQ7	11.886	0,189
f1	BOQ1	9.82	1,877	f20	EOQ7	11.826	0,129
f2	COQ1	11.615	0,082	f21	BESQ1	0.2	11,497
f3	EOQ1	9.819	1,878	f22	BCSQ2	2.0177	9,6793
f4	BOQ2	11.678	0,019	f23	BESQ2	0.1736	11,5334
f5	COQ2	11.698	0,001	f24	CESQ2	7.1506	4,5464
f6	EOQ2	11.678	0,019	f25	BESQ3	0.1704	11,5299
f7	BOQ3	11.374	0,323	f26	BCSQ4	7.0892	4,6078
f8	COQ3	11.27	0,025	f27	BESQ4	0.1705	11,5365
f9	EOQ3	11.374	0,323	f28	CESQ4	11.901	0,204
f10	BOQ4	0.1704	11,5215	f29	BCSQ5	12.3	0,603
f11	COQ4	0.1704	11,5266	f30	BESQ5	1.4771	10,2199
f12	EOQ4	0.1704	11,5245	f31	CESQ5	17.835	6,138
f13	BOQ5	0.1998	11,4972	f32	BESQ6	1.4771	10,2199
f14	COQ5	1.4481	10,2489	f33	CESQ6	26.027	14,33
f15	EOQ5	0.1735	11,5235	f34	BCSQ7	0.4981	11,1989
f16	COQ6	1.4352	10,2618	f35	BESQ7	0.1751	11,5219
f17	EOQ6	0.1733	11,5287	F36	CESQ7	0.352	11,345
f18	BOQ7	11.826	0,129	Nbre de fautes (Déte�tes/inject�tes)		29/36= 81%	


 Fautes d te tes  Fautes non d te tes

Tableau 4.11. Dictionnaire de fautes pour le courant d'alimentation du r gulateur

G1	F0 F2 F4 F5 F6 F8 F18 F20	G4	F30 F32
G2	F7 F9 F19 F28	G5	F13 F21
G3	F1 F3	G6	F10 F11 F12 F15 F17 F23 F25 F27 F35

Tableau 4.12. Groupes d'ambigu t  pour le test par courant d'alimentation

4.5.3. Comparaison

Afin de comparer de façon objective les résultats obtenus par les deux modes de test à savoir la fonction de transfert et le courant d'alimentation, le tableau 4.13 a été construit. Il reflète assez bien et en bon accord avec celui obtenu pour l'amplificateur inverseur. Six fautes peuvent être localisées de manière individuelle en utilisant la fonction de transfert, ils représentent 16 % de tous les types de défauts. Pour le courant d'alimentation, ce taux de localisation est augmenté à 30% lors de la localisation de 11 fautes en mode combiné.

Type de test	Fonction de transfert	Courant d'alimentation
Nombre de fautes localisés de manière unique	6 F29 F26 F24 F31 F22 F13	10 F29 F24 F26 F31 F22 F14 F16 F34 F36 F33

Tableau 4.13. Fautes localisés pour les deux modes de test

Une approche différente a été suggérée par [88] utilisant un filtre passe-bas de deuxième ordre (voir figure 4.16), composé de trois amplificateurs opérationnels du même circuit sous test uA 741 dont la structure électronique interne est similaire à celle mentionnée dans la section 4.1. Les auteurs de ce même travail ont eu recours au test en mode transitoire en injectant un signal d'impulsion carrée unique à l'entrée du circuit pour détecter les fautes échappées au test en mode DC. La réponse est représentée sous forme d'une suite d'impulsions de différentes durées qui constituent un moyen d'observation de l'effet des fautes.

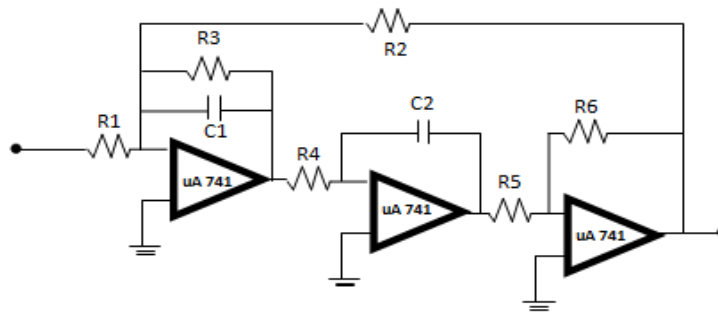


Figure 4.16 . Filtre passe-bas de deuxième ordre

Les résultats de cette expérience en terme de couverture de fautes a atteint les 90%. Il s'en suit que trois amplificateurs de même structure interne furent introduits au lieu d'un seul afin d'améliorer la détectabilité la couverture n'a pas battue son plein (atteint les 100%). D'autre part certaines fautes couvertes sont restées non distinctes et le problème d'ambiguïté des groupes reste insoluble.

Le recours à de nouvelles techniques de grande précision basées sur l'intelligence artificielle à savoir la logique floue reste indispensable pour élever le taux de couverture à son niveau maximal. Tout comme il peut servir d'un apport appréciable quant l'identification et l'isolation des fautes. Ceci dit, le phénomène d'ambiguïté des fautes sera éliminé entièrement ou du moins réduit à son minimum permettant d'atteindre un taux d'isolation souhaité. Cette approche sera détaillée dans le chapitre prochain.

4.6. Conclusion

Dans ce chapitre, nous avons présenté la méthodologie de test des circuits analogiques en mode DC dont la procédure générale a été discutée. L'approche par les dictionnaires de fautes est adaptée à la détection des fautes catastrophiques. La méthode mise en place combine le test par deux paramètres en mode DC :

- ✓ Fonction de transfert ou une observation accentuée est faite au niveau des tensions d'entrée et de sortie qui constituent le siège de génération de vecteurs de test efficaces à la détection de fautes.
- ✓ Dans le cadre d'amélioration de la détectabilité c'est-à-dire d'élever le taux de couverture à son niveau le plus haut possible, une autre méthode de test a été

introduite comme mode de test complémentaire au précédent. Elle est orientée vers les fautes échappées au premier mode et elle consiste en la mesure de courant d'alimentation.

Le résultat enregistré est fort remarquable puisqu'on a atteint 85% pour le cas de l'amplificateur inverseur, et 81% pour le régulateur de tension.

Cependant, les problèmes qui ont surgit ici et qui nécessitent d'être résolus sont les 15% et 19% de fautes pour les deux circuits respectifs qui n'ont pas détectées par les deux modes de test employés. En plus, une grande attention est portée aux groupes de fautes ambiguës rendant la tâche de leur localisation difficile voire impossible qui nécessite d'être éliminé. Le traitement de données des dictionnaires de fautes par l'approche de la logique floue est sollicité pour fournir des solutions à ces problèmes dont les détails seront présentés dans ce qui suit.

Chapitre 5

IDENTIFICATION ET LOCALISATION DES FAUTES EN UTILISANT LES TECHNIQUES DE LA LOGIQUE FLOUE

Chapitre 5

IDENTIFICATION ET LOCALISATION DES FAUTES EN UTILISANT LES TECHNIQUES DE LA LOGIQUE FLOUE

5.1. Introduction

Dans ce chapitre, nous présentons une approche basée sur les techniques de la logique floue dédiée à l'identification et à la localisation des fautes dans les circuits analogiques. C'est une continuité des travaux déjà entamés dans le chapitre précédent et notre objectif est de remédier aux problèmes rencontrés lors de l'utilisation des méthodes classiques conventionnelles pouvant entraîner le masquage de certaines fautes. Par conséquent, les résultats acquis à partir de ces techniques là et dont on discutera dans ce chapitre ont prouvé leur efficacité de façon spectaculaire.

En prenant le concept de construction de dictionnaire de défauts comme point de départ, les techniques de la logique floue détaillées dans le chapitre 3 sont mises au point et peuvent ensuite être utilisées efficacement pour construire un système d'inférence floue (FIS) approprié. Celui ci aura la capacité de localiser les défauts en fonction des entrées qui

lui ont été données. Les signatures de réponse du circuit récoltées au niveau du processus de test servent d'entrées au FIS, et sont correctement fuzzifiées et alimentent la base de règles floue [89]. Les règles floues sont conçues de manière à établir une correspondance appropriée entre les sorties et leurs entrées correspondantes. Subséquemment, les données de sortie du système à logique floue sont défuzzifiées pour être livrées en valeurs nettes permettant une identification précise des fautes dans le circuit.

Afin de valider les performances de l'approche proposée, nous traitons dans ce chapitre les dictionnaires de fautes pour les mêmes exemples d'application que ceux représentés précédemment à savoir l'amplificateur inverseur et le régulateur de tension.

5.2. Module d'inférence floue du logiciel Matlab

L'inférence floue est une méthode qui interprète les valeurs d'entrée et, selon des règles définies par l'utilisateur, attribue des valeurs de sortie.

L'interface graphique d'inférence floue (Fuzzy Inférence System) de la boîte à outils de Matlab, permet de définir complètement le système flou. En utilisant les éditeurs et les visualiseurs de la boîte à outils de logique floue, on peut construire l'ensemble des règles, définir les fonctions d'appartenance et analyser le comportement d'un système d'inférence floue (FIS). Cette interface possède trois éditeurs et deux interfaces graphiques (figure 5.1) dont chacun développe une tâche appropriée:

- Editeur du système d'inférence : Affiche des informations générales sur un système d'inférence floue.
- Éditeur de fonctions d'appartenance : permet d'afficher et de modifier les fonctions d'appartenance associées aux variables d'entrée et de sortie du FIS.
- Éditeur de règles : permet de visualiser et de modifier des règles floues.
- Visualiseur des règles : permet de visualiser le comportement détaillé d'un FIS pour aider à diagnostiquer le comportement de règles spécifiques ou étudier l'effet de la modification des variables d'entrée.

- Visualiseur du graphe de surface : Génère une surface 3D à partir de deux variables d'entrée et de la sortie d'un FIS.

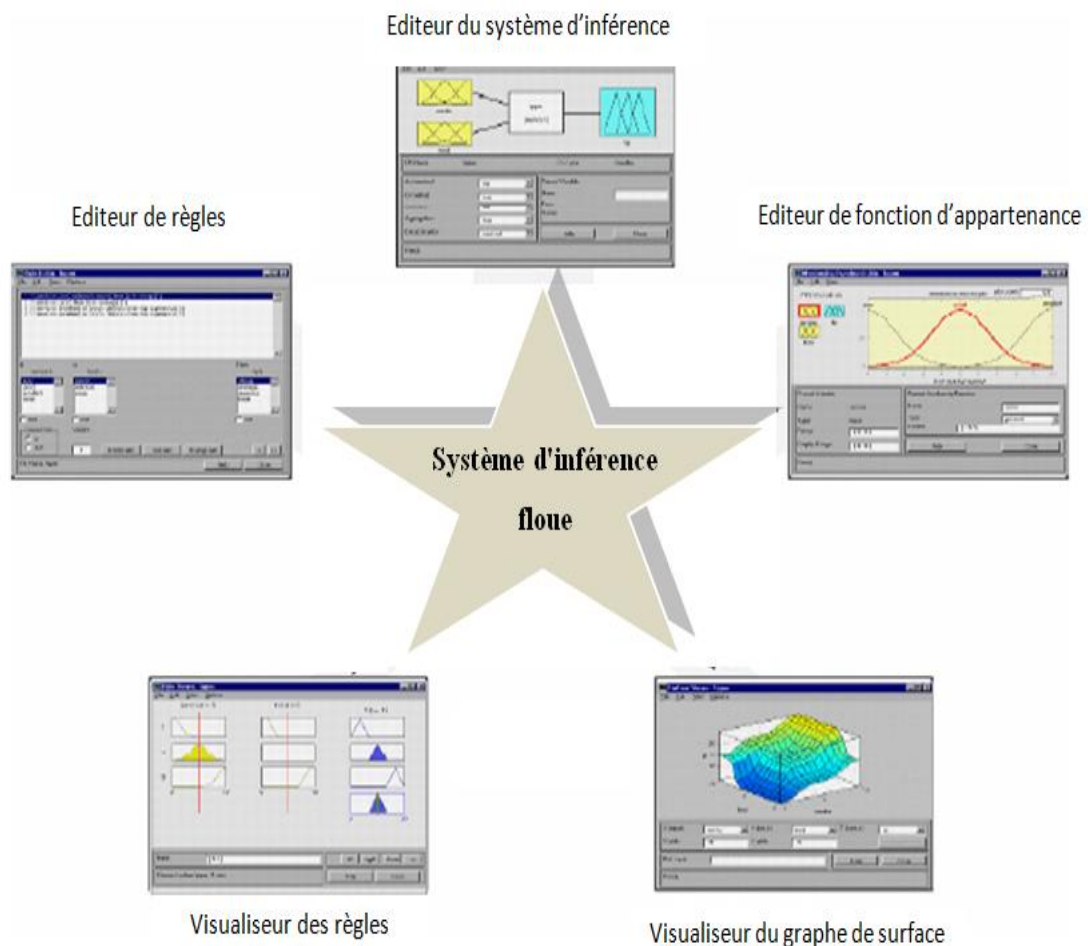


Figure 5.1. Outils de la boîte à outils Fuzzy de Matlab

À partir de l'éditeur correspondant, il est possible de choisir le type du FIS (Mamdani, Sugeno) et de définir, visualiser, éditer les différentes fonctions d'appartenance, construire la base des règles, choisir les méthodes d'implication (max, min,...), etc.

5.3. La conception du système d'inférence floue

Le système FIS qui a été suggéré pour résoudre le problème de la détection et de la localisation des défauts est composé des 3 composantes qui sont illustrées dans le schéma fonctionnel de la figure 5.2 et qui ont été énumérées comme suit :

- 1) Méthode de fuzzification par des fonctions d'appartenance pour les variables d'entrée.
- 2) Les bases de règles (de type **SI – ALORS**).
- 3) Méthode de défuzzification par des fonctions d'appartenance pour les variables de sortie.

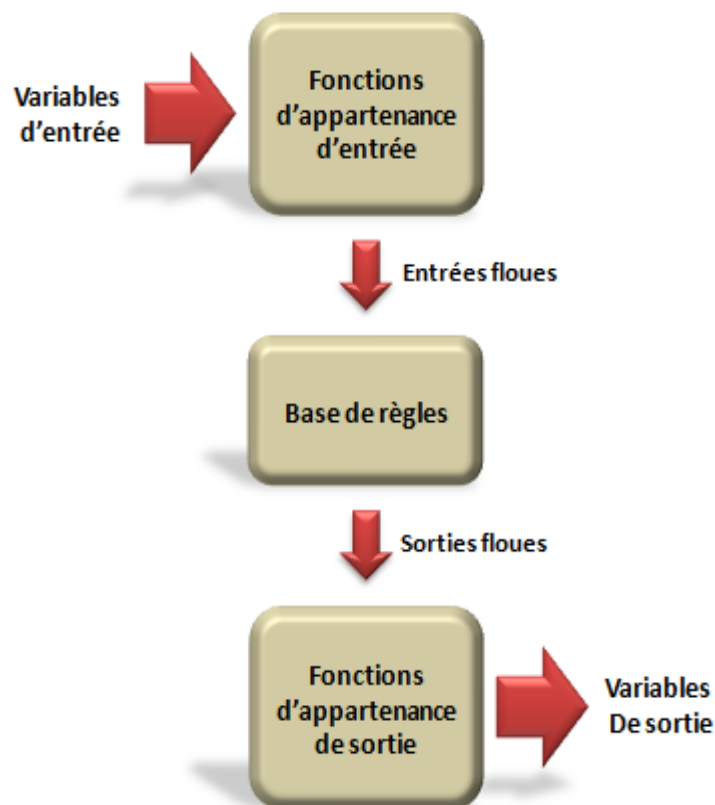


Figure 5.2. Aperçu général du système flou proposé

Bien qu'il existe principalement deux types de méthodes d'inférence floue, à savoir les méthodes Mamdani et Sugeno, la méthode Mamdani a été choisie pour créer le FIS en raison de la transparence de ses règles entre les entrées et les sorties et de ses étapes simples de mise en œuvre [89]. Il nous permet de décrire les connaissances d'une manière plus intuitive et plus humaine [90]. Contrairement au modèle Sugeno, le modèle de Mamdani exprime le résultat en utilisant des termes flous au lieu de combinaisons mathématiques des variables d'entrée.

L'implémentation de la logique floue nécessite, outre la licence de base *MATLAB*, l'installation du *Fuzzy Control Toolbox*. Celui-ci met à la disposition de l'utilisateur la fenêtre principale du «FIS Editor» (fig. 5.3) par une instruction sur la ligne de commande *MATLAB*:

» **fuzzy**

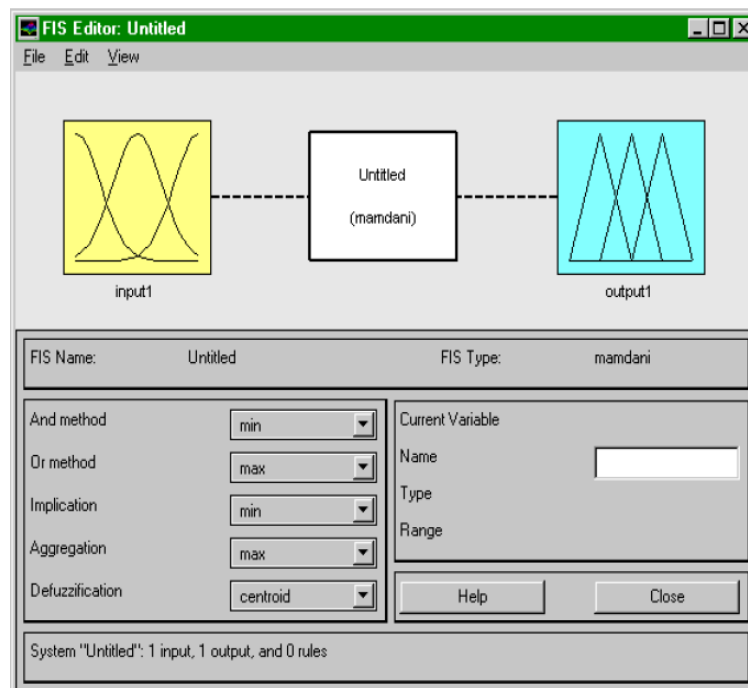


Figure 5.3. Fenêtre principale de l'éditeur de logique floue.

Dans notre cas, les variables d'entrée introduites dans le système d'inférence floue (FIS) comporte les deux paramètres de réponse de sortie du circuit sous test en mode DC et qui sont : la tension de sortie et le courant d'alimentation. Nous rappelons que l'ordre des grandeurs sont le Volt pour la tension de sortie (V_{out}) et le micro -ampère (μA) pour le courant (I_e) et qui sont omis du texte pour des raisons de simplification. Le FIS qui a été proposé pour résoudre le problème actuel de localisation des fautes prend la forme illustrée à la Figure 5.4.

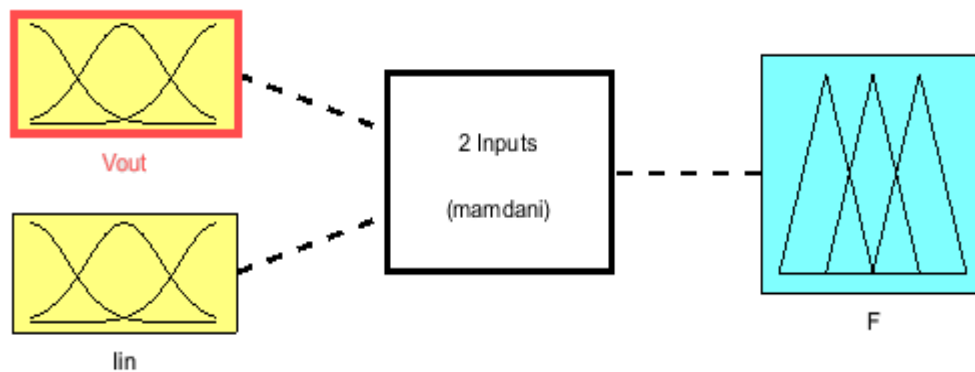


Figure 5.4. Système d'inférence floue « Mamdani » (deux entrées).

5.4. Application de la localisation des fautes à l'amplificateur inverseur

L'exécution de cette application exige de l'utilisateur l'observation des étapes de fuzzification , l'établissement des règles floues, et la défuzzification. Nous résumerons l'essentiel de chacune de ces étapes ci dans les sections qui suivent.

5.4.1. Fuzzification

Le but est de convertir l'entrée à des variables linguistiques à l'aide des fonctions d'appartenance, Alors la fuzzyfication est l'étape qui consiste en la quantification floue des valeurs réelles d'une variable comme le montre la figure 5.5.

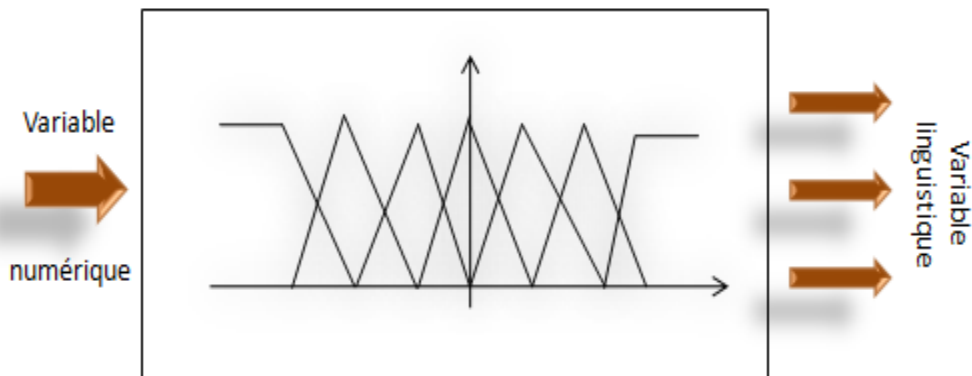


Figure 5.5. Processus de fuzzification

Les valeurs des paramètres d'entrée sont réparties en différents intervalles selon différents groupes de fautes. Cette répartition a conduit après un certain nombre d'expériences, à un choix convenable d'intervalles de valeurs au nombre de 18 pour le paramètre de tension de sortie (Figure 5.6), et de 7 pour le paramètre de courant d'alimentation (Figure 5.7). Chacune de ces gammes de valeurs subissent une transformation en paramètres linguistiques à partir de fonctions d'appartenance choisies, qui sont fournis comme entrée en FIS Mamdani. Nous rappelons que pour chacun de ces intervalles est attribuée une fonction d'appartenance triangulaire TMF.

Plusieurs types de fonctions d'appartenance peuvent être utilisés pour le processus de fuzzification, comme les fonctions triangulaires, trapézoïdales et gaussiennes. La forme triangulaire (TMF) a été utilisée dans ce travail. Cette fonction est fréquemment rencontrée dans la pratique [89] [90] [91] [92], en raison de son efficacité en termes de temps de calcul. Cette efficacité peut être attribuée à sa structure simple composée de simples segments linéaires.

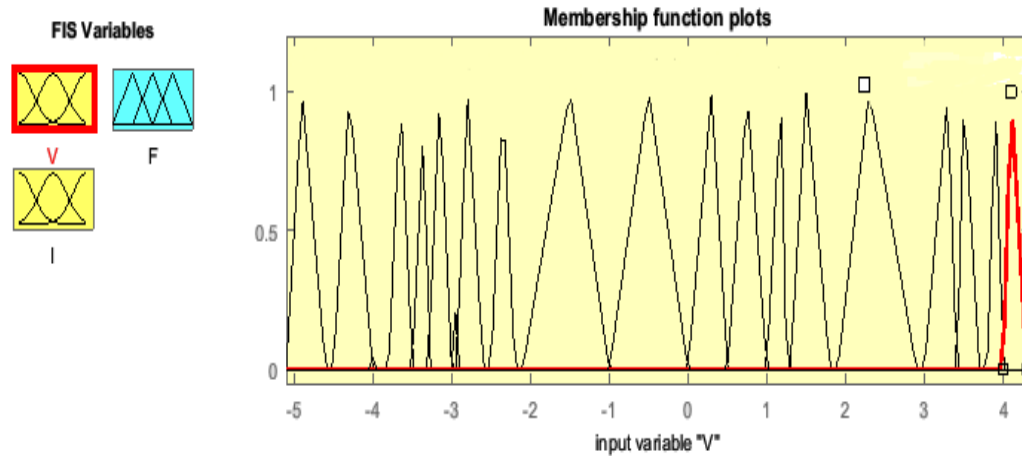


Figure 5.6. Fonctions d'appartenance de la tension de sortie

De la même manière, Les fonctions d'appartenance de sortie sont également affectées aux variables de sortie ; la fonction d'appartenance illustrée à la Figure 5.8, est divisée en zones qui caractérisent les différentes identités des défauts, qui peuvent être obtenues après traitement des entrées en utilisant la base de règles floue.

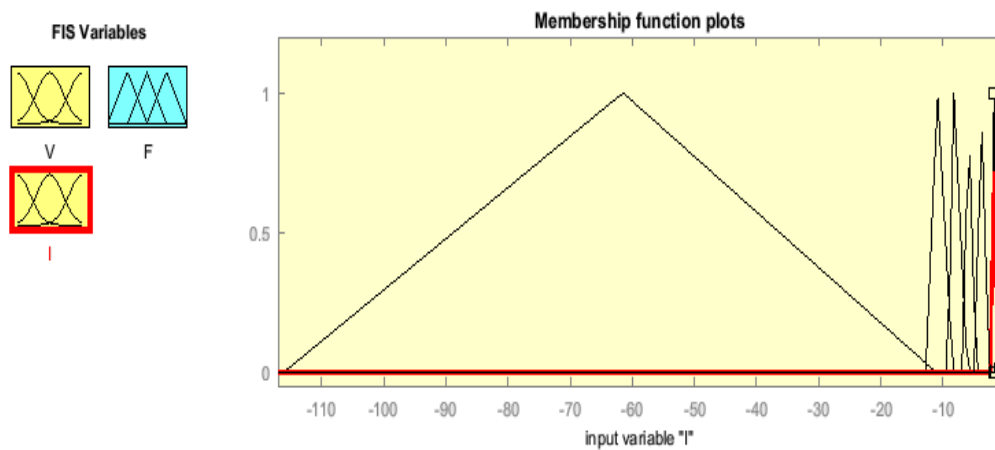


Figure 5.7. Fonctions d'appartenance du courant d'alimentation.

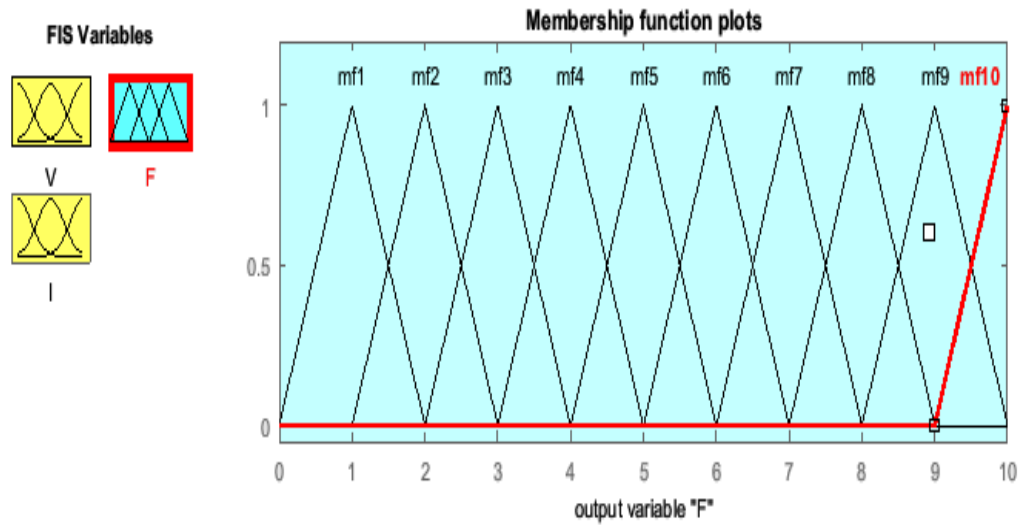


Figure 5.8. Fonctions d'appartenance pour l'indice de faute
(Plage d'affichage [0 10]).

L'échelle horizontale est choisie de façon qu'elle permette d'obtenir suffisamment de valeurs pour distinguer une faute d'une autre.

5.4.2. Les règles d'inférence

La base de règles floue est une agrégation de règles SI - ALORS - qui définissent la relation entre les ensembles flous d'entrée et de sortie. En effet, l'utilisation de variables linguistiques et de règles floues (SI - ALORS) imite la capacité de l'esprit humain à prendre des décisions [89].

Une fois que les fonctions d'appartenance des variables d'entrée et de sortie sont définies, elles doivent être reliées par des règles floues. Le nombre de règles est égal au nombre de défauts définis. Comme il y a 70 configurations différentes du CUT dans le dictionnaire de fautes, il doit y avoir 70 règles floues pour le problème considéré. La structure de règle est donnée sous la forme :

$$\text{Si } (V_s \text{ est } mf_i) \text{ et } (I_e \text{ est } mf_j) \text{ Alors } (\text{Faute est } mf_k)$$

Les règles floues (SI – ALORS) sont construites par la boîte à outil « fuzzy logic » comme le montre la figure 5.9.

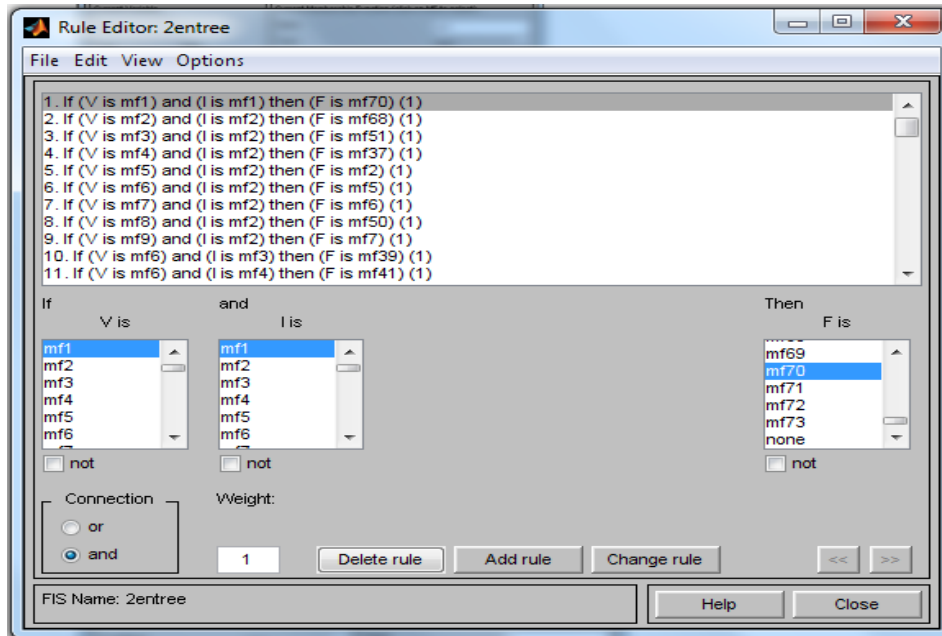


Figure 5.9. Les règles floues

La figure 5.10 nous montre l'implication floue pour l'exemple de la règle suivante:

"Si (V_s se trouve dans l'intervalle $[-3.4$ à $-3]$) et si (I_e se trouve dans l'intervalle $[-115$ à $-10]$) Alors (la gamme de la faute est $[54$ à $56]$) "

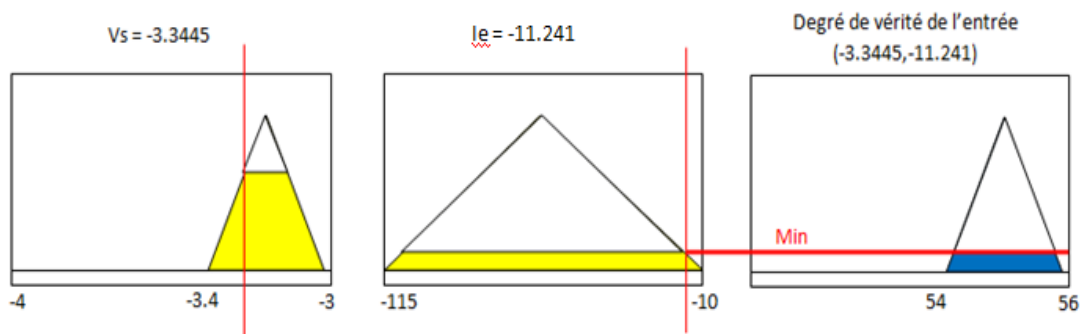


Figure 5.10. Exemple d'implication floue avec conjonction ET traduite par un Min.

Après cette étape de fuzzification, nous allons maintenant appliquer l'ensemble des règles qui utilisent les mêmes fonctions d'appartenance, nous les agrégerons par l'opérateur MAX. La figure 5.11 montre cette agrégation.

Comme nous le constatons, il ne nous reste plus qu'à prendre la décision finale, à savoir quel est l'indice de la faute trouvé si la tension de sortie est -3.3445 , et le courant d'alimentation est -11.241 .

Cette étape finale, qui permet de passer de l'ensemble flou issu de l'agrégation des conclusions à une décision unique, est la défuzzification.

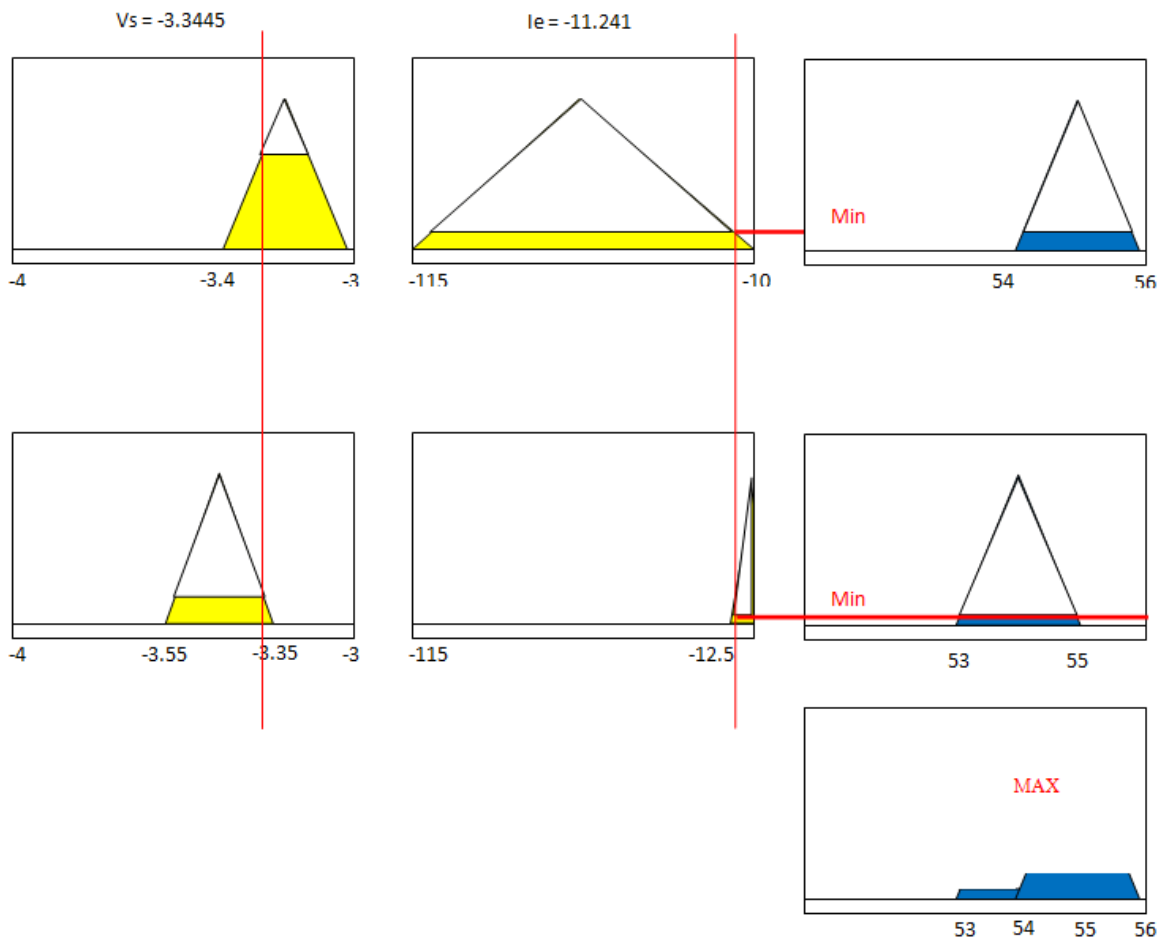
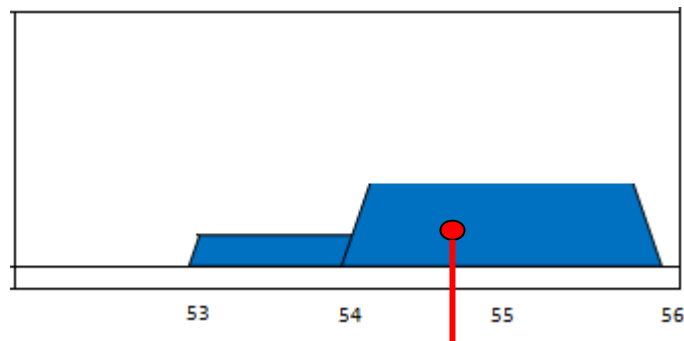


Figure 5.11. Agrégation floue

5.4.3. Défuzzification

Maintenant qu'on arrive à situer notre solution, nous devons passer par la défuzzification pour avoir une valeur numérique de l'indice de faute. La défuzzification est le processus de conversion de la sortie floue du moteur d'inférence en une valeur nette [93].

La défuzzification du centre de gravité est la méthode la plus couramment utilisée, car elle est très précise [89] [91]. Contrairement aux valeurs obtenues par d'autres méthodes, les valeurs défuzzifiées obtenues par la méthode du centre de gravité divisent la superficie sous la fonction d'appartenance en deux parties égales, qui peuvent calculer directement la valeur la plus nette de la quantité floue [91].



Décision : l'indice de faute est 55.3

Figure 5.12. Défuzzification avec la méthode centre de gravité

5.4.4. Exemples explicatifs et résultats

Afin de vérifier la faisabilité de l'approche proposée, nous avons examiné des cas d'étude ciblant différentes fautes.

L'entrée du FIS pour la faute d'indice 43 (F43) est (0.2217, -56.044). Pour cette entrée, les fonctions d'appartenance triangulaires de ces deux entrées sont définies comme [-1 -0.5 0] et [-117 -62 -10] respectivement pour la tension de sortie et le courant d'alimentation, tout en gardant la valeur extraite au centre et produisant une légère variation (faible pourcentage) par rapport à celle-ci.

De même, la fonction d'appartenance triangulaire pour la sortie est définie comme [42 43 44] en mettant l'indice de défaut (dans ce cas, 43) en tant que centre de cette fonction d'appartenance. La règle floue pour ce défaut est établie comme suit:

"Si (V_s se trouve dans l'intervalle [-1 à 0]) et si (I_e se trouve dans l'intervalle [-117 à -10]) Alors (la gamme de la faute est [42 à 44]) "

Après la défuzzification par la méthode du centre de gravité, la sortie a pour valeur 42.9 qui évidemment est approximé à la valeur 43 correspondants à l'indice de défaut n° 43.

Le résultat du FIS pour la faute d'indice 43 est illustré à la figure 5.13.

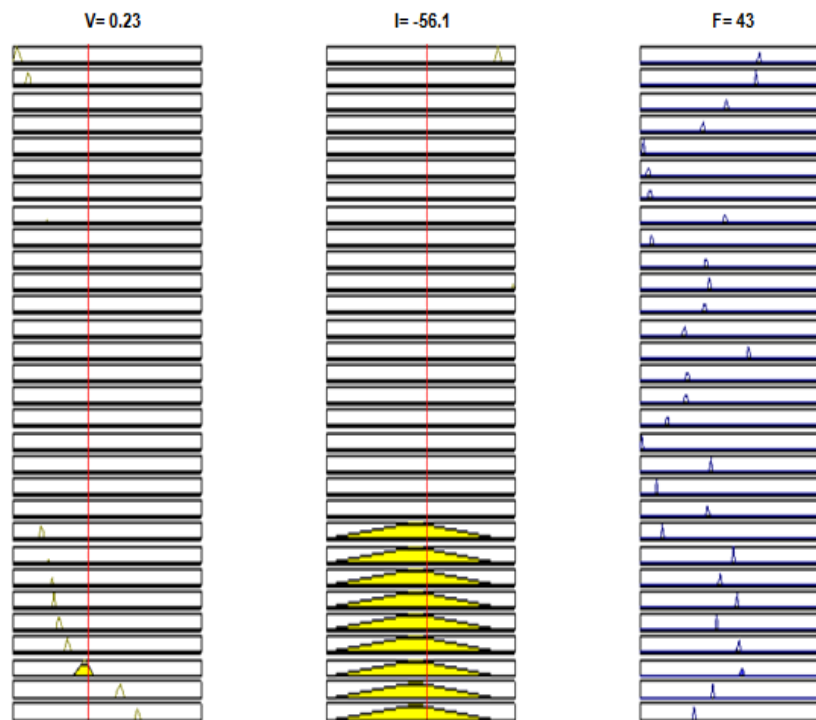


Figure 5.13. La sortie du FIS pour la faute F43

Pour appuyer l'aspect pratique de l'approche, les résultats de certains cas de faute ont été reportés dans le tableau 5.1 et concordent bien avec l'indice de la faute correspondante.

Faute	Entrée FIS		TMF Tension de sortie		TMF Courant d'alimentation		TMF sortie	Sortie FIS
F4	[-3,5003 -0,8756]	Si	[-3.6 -3.5 -3.4]	Et	[-1 -0.7 0]	Alors	[3 5]	3.98
F49	[-3,9367 -0,8228]		[-4 -3.8 -3.6]		[-0.9 -0.75 -0.7]		[48 50]	49.1
F52	[3,4321 -4,7524]		[3.3 3.4 3.5]		[-5 -4.5 -4]		[51 53]	52.05

Tableau 5.1. Les entrées et les sorties du FIS pour les cas de test F4, F49, et F52.

De même pour le reste des défauts où les fonctions sortie (V_s) d'appartenance d'entrées et de sortie sont déterminées à partir des valeurs de tension de sortie, du courant d'alimentation (I_e), et l'indice de faute, respectivement.

Les sorties du Système FIS pour l'ensemble de fautes sont données dans le tableau 5.2; elles indiquent clairement que la totalité (100 %) des fautes, faisant l'objet de test dans le actuel travail, ont été détectées et dissociées avec succès. Ceci a conduit à l'élimination des groupes d'ambiguïtés, et par conséquent, a aidé à une bonne identification et à une meilleure localisation des fautes.

Nous reportons au tableau le résultat global du diagnostic des défauts fréquents et considérés pour le circuit inverseur -amplificateur. Il apparait clairement que selon cette approche de classification en l'occurrence celle du système d'inférence floue (FIS), toutes les fautes sont complètement dispatchées les unes des autres et identifiées.

Entrée FIS		Sortie FIS	Localisation	
V_s	I_e		Fautes	Code de la faute
-3,9424	-0,8489	0	f0	Sans faute
-4,0182	-0,8306	1.1	f1	BOQ1
-4,0111	-0,8531	2.06	f2	COQ1

4,236	-1,1036	2.95	f3	BOQ2
-3,5003	-0,8756	3.98	f4	COQ2
-3,9924	-0,8407	5.02	f5	BOQ3
-3,9919	-0,8568	6.05	f6	COQ3
-2,9597	-0,8573	7.15	f7	BOQ4
-3,5118	-1,0312	8.05	f8	COQ4
-3,9707	-0,7608	8.99	f9	BOQ5
-3,9732	-0,8307	10.1	f10	COQ5
4,236	-0,8705	11	f11	BOQ6
4,236	-0,8708	12.1	f12	COQ6
-3,7581	-10,008	13	f13	BOQ7
-3,9957	-0,9774	14.05	f14	COQN7
-3,5436	-6,473	15.1	f15	BOQ8
-4,0209	-0,83	16.1	f16	COQ8
4,2359	-0,9567	17	f17	BOQ9
4,2358	-1,066	18.2	f18	COQ9
-3,938	-0,8202	19	f19	BOQ10
-3,9652	-0,8207	20	f20	COQ10
4,2352	-0,9752	20.99	f21	BOQ103
-3,6747	-0,8012	22.02	f22	COQ103
-3,868	-3,8562	23.1	f23	BOQ104
-3,868	-3,8563	24.05	f24	COQ104
3,9108	-4,7673	25	f25	BOQ105
-3,8371	-1,1471	26	f26	COQ105
-4,1335	-0,5057	26.98	f27	BOQ106
-4,1336	-0,5066	28.1	f28	COQ106
-3,9429	-0,8897	29	f29	COQ107
0,7821	-0,8047	30.02	f30	BOQ108
-3,5723	-0,8226	31	f31	COQ108
1,1978	-116,873	32.1	f32	BCSQ1
-3,6525	-4,0572	33.1	f33	BESQ1

4,236	-1,1124	34.05	f34	CESQ1
4,3241	-3,7096	35	f35	BCSQ2
-3,9472	-0,8389	35.9	f36	BESQ2
-4,0163	-0,8426	37	f37	CESQ2
4,2143	-1,1517	38	f38	BCSQ3
-3,9924	-1,1447	39.1	f39	BESQ3
-3,9585	-0,8308	40	f40	BCSQ4
-3,9923	-1,7371	41.1	f41	BESQ4
-3,9914	-0,8305	42	f42	CESQ4
0,2217	-56,044	42.9	f43	BCSQ5
1,3334	-66,861	44	f44	CESQ5
-2,9332	-53,567	45.1	f45	BCSQ6
4,2359	-0,8925	45.9	f46	BESQ6
-3,1548	-25,823	47	f47	CESQ6
4,2359	-0,8947	48	f48	BESQ7
-3,9367	-0,8228	49.1	f49	BESQ8
-3,4253	-0,8481	50	f50	BCSQ9
-4,1369	-0,8491	51	f51	CESQ9
3,4321	-4,7524	52.05	f52	BCSQ10
-4,096	-0,825	53	f53	BESQ10
2,1206	-15,167	54	f54	CESQ10
-3,3445	-11,241	55.3	f55	BCSQ101
-0,0297	-0,8869	56.2	f56	BESQ101
-3,0194	-16,107	57	f57	CESQ101
-2,2499	-16,667	58	f58	BCSQ102
4,2359	-0,9569	59.3	f59	BESQ102
-2,0382	-15,561	60	f60	CESQ102
-3,8677	-3,8572	61.05	f61	BESQ103
4,236	-0,9716	62.1	f62	BCSQ104
4,236	-0,9719	63	f63	CESQ104
-4,1347	-0,5416	64.2	f64	BESQ105

3,4074	-4,7131	64.9	f65	BCSQ106
4,2232	-4,8967	66	f66	CESQ106
-3,9367	-0,823	67.1	f67	BESQ107
-4,2057	-0,8491	67.9	f68	BCSQ108
4,1556	-3,0547	69	f69	BESQ108
-5	-6,6342	69.98	f70	CESQ108

Tableau 5.2. Les sorties Fis et leurs fautes correspondantes.

5.5. Localisation de fautes pour le régulateur de tension

L'élaboration du système d'inférence flou pour la localisation des fautes du régulateur de tension s'est déroulée toujours selon les mêmes étapes pour l'amplificateur inverseur : la fuzzification des variables d'entrée et de sortie – les règles d'inférences et la défuzzification.

5.5.1. Fuzzification

Les figures 5.14, 5.15 et 5.16 présentent la fuzzification des variables d'entrée (la tension de sortie et le courant d'alimentation) et de sortie, avec le choix des intervalles de définition et le choix du nombre de fonctions d'appartenance associés aux différentes variables d'entrée et de sortie.

Pour la fuzzification de la tension de sortie, nous choisissons sept intervalles flous représentés par des fonctions d'appartenance de types triangulaires. La gamme de l'univers du discours de la variable linguistique «tension de sortie » est de 0 V à 3 V.

La Figure 5.14 illustre la répartition floue de la variable d'entrée «tension de sortie ».

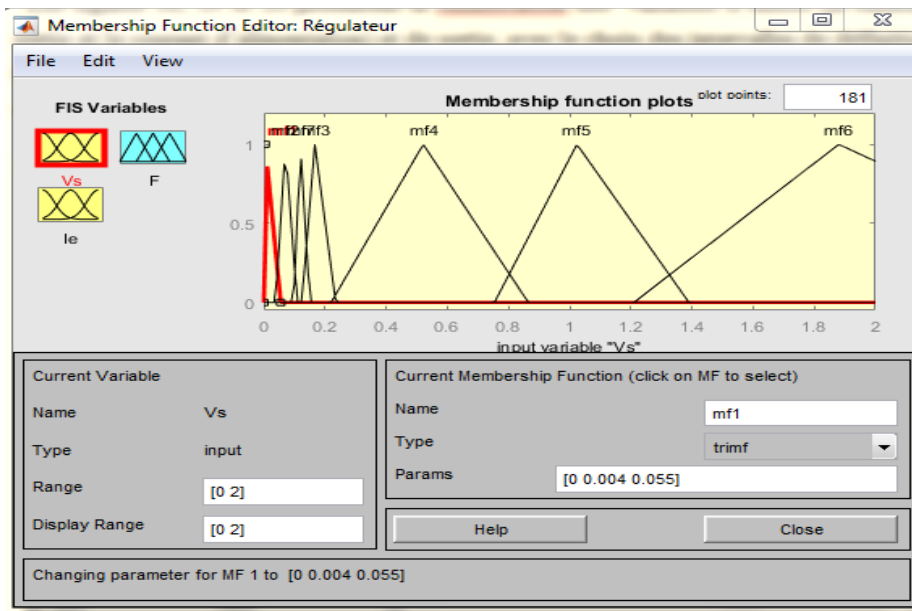


Figure 5.14. Fonctions d'appartenance de la tension de sortie du régulateur

Nous choisissons huit intervalles flous pour la fuzzification du courant d'alimentation. La gamme de l'univers du discours de cette variable linguistique est de 0 mA à 27 mA. La figure 5.15 illustre la répartition floue de la variable d'entrée «courant d'alimentation».

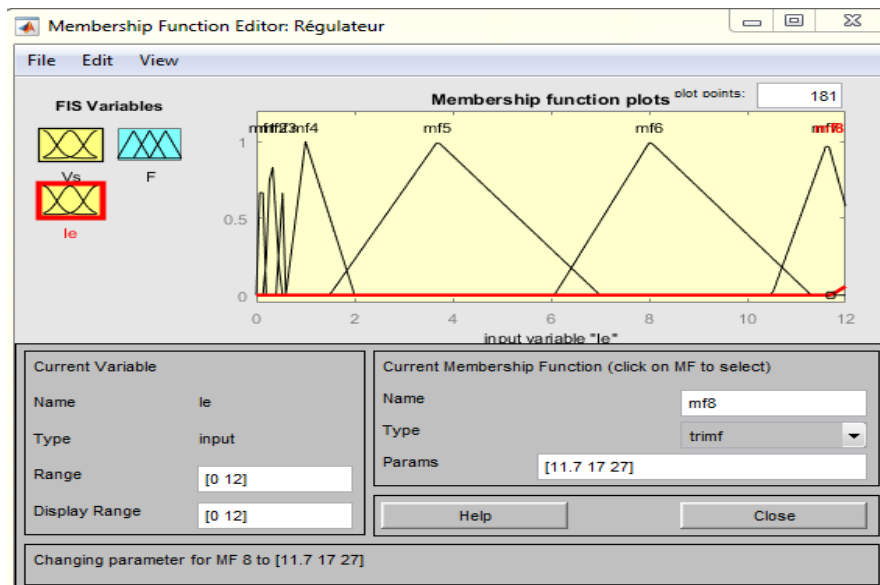


Figure 5.15. Fonctions d'appartenance du courant d'alimentation du régulateur

Par la suite, nous établissons les fonctions d'appartenance pour la sortie du système. Le nombre des intervalles flous est égal au nombre des fautes soit trente six fonctions d'appartenance de type triangulaire en définissant chaque faute par une fonction d'appartenance. La Figure 5.16 illustre la répartition floue de la variable de sortie «indice de faute».

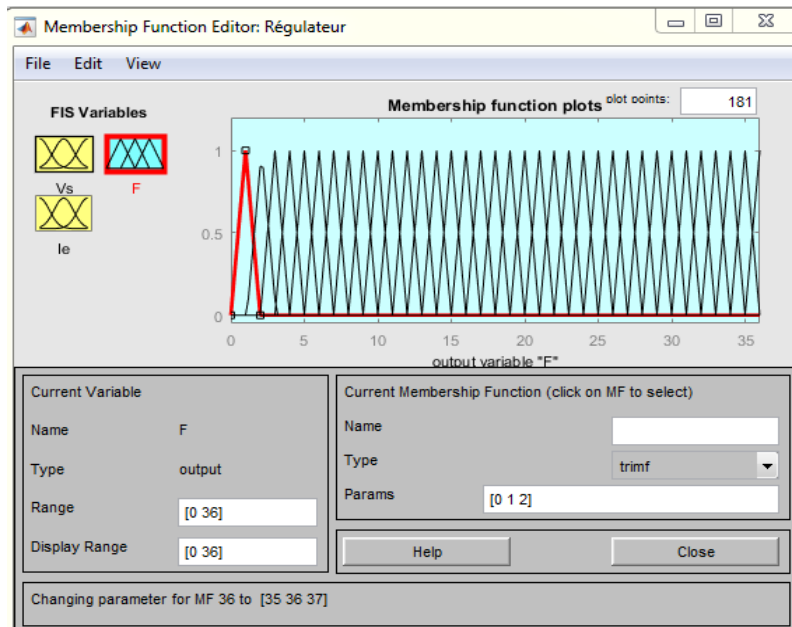


Figure 5.16. Fonctions d'appartenance de sortie

5.5.2. Édition des règles floues

La base des règles est définie par l'expérience acquise par la répartition des variables d'entrée et de sortie en des fonctions d'appartenance. Ceci a permis de définir les règles du système de localisation de fautes et l'ensemble des règles floues SI-ALORS sont construites à partir de la fenêtre « édition des règles » comme le montre la figure 5.17.

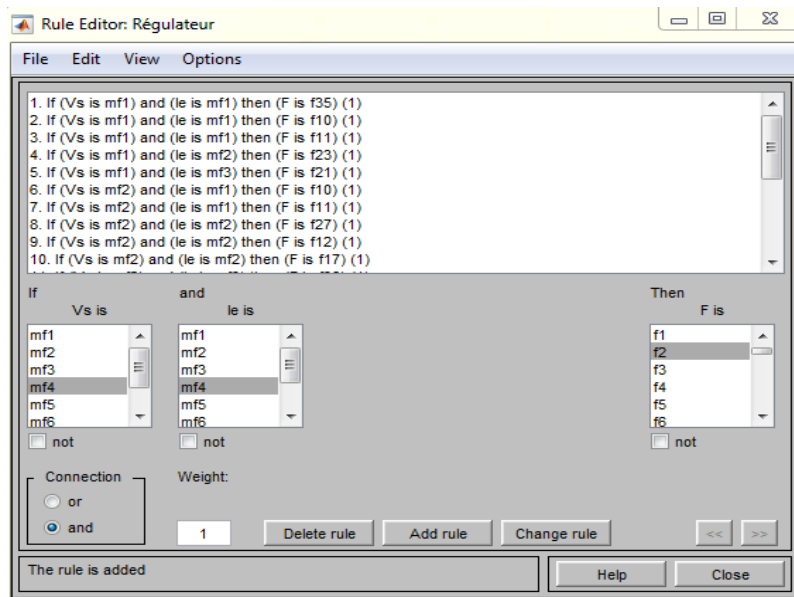


Figure 5.17. Les règles floues pour le régulateur de tension

5.5.3. Exemple récapitulatif et résultats

On sait que la fuzzification consiste à déterminer le degré d'appartenance d'une valeur pour une variable d'entrée à un ensemble flou. Par exemple, prenons une tension de sortie **1.3367 V** et le courant d'alimentation correspond **11.27 mA** illustrées à la Figure 5.18.

Dans ce cas, les trois règles d'inférence sollicitées sont les suivantes :

Règle 1 : "Si (Vs se trouve dans l'intervalle [0.8 à 1.4]) et si (Ie se trouve dans l'intervalle [6 à 11.3]) Alors (la gamme de la faute est [7 à 9]) "

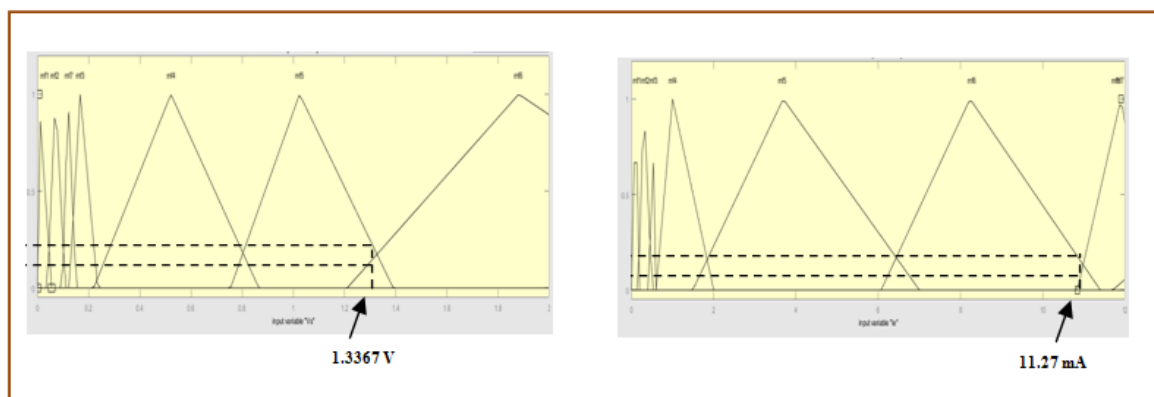


Figure 5.18. Exemple de fuzzification.

Règle 2 : "Si (V_s se trouve dans l'intervalle [0.8 à 1.4]) et si (I_e se trouve dans l'intervalle [10.5 à 12.5]) Alors (la gamme de la faute est [8 à 10]) "

Règle 3 : "Si (V_s se trouve dans l'intervalle [1.2 à 1.43]) et si (I_e se trouve dans l'intervalle [10.5 à 12.5]) Alors (la gamme de la faute est [7 à 9]) "

L'ensemble flou de conclusion de la règle 1 est construit en réalisant le « minimum » entre les deux degrés d'appartenance de l'entrée. La Figure 5.19 illustre la conclusion de l'implication de la règle 1.

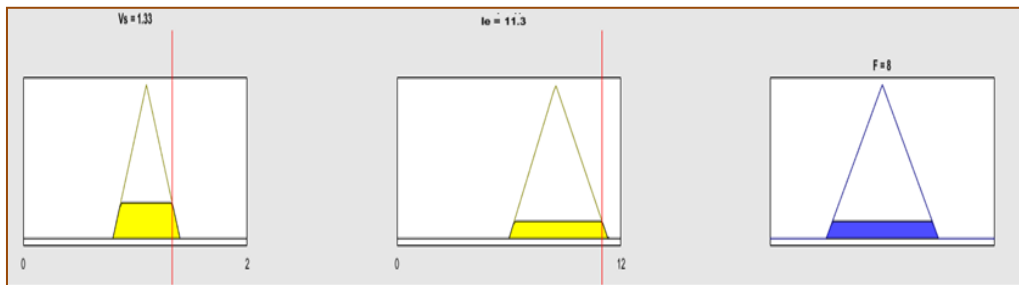


Figure 5.19. La conclusion de l'implication de la règle 1

Pour les règles 2 et 3, la même procédure suivie pour la construction des conclusions des implications sollicitées par le système flou pour les deux variables d'entrées (1.3367 V, 11.27 mA).

L'ensemble flou de la sortie est construit par l'agrégation des ensembles flous obtenus par chacune des règles concernant cette sortie. L'agrégation utilise le calcul du « maximum » pour établir les fonctions d'appartenance résultantes pour chaque règle.

En achevant le processus de l'inférence floue du système, nous devons rendre utilisable l'ensemble flou de la sortie pour donner une information précise au système qui localise les fautes pour le régulateur de tension, c'est la défuzzification. En appliquant la méthode de calcul du centre gravité, nous obtenons une valeur précise de l'indice de faute de **8.22**.

La Figure 5.20 représente l'ensemble flou des trois règles agissant sur la sortie.

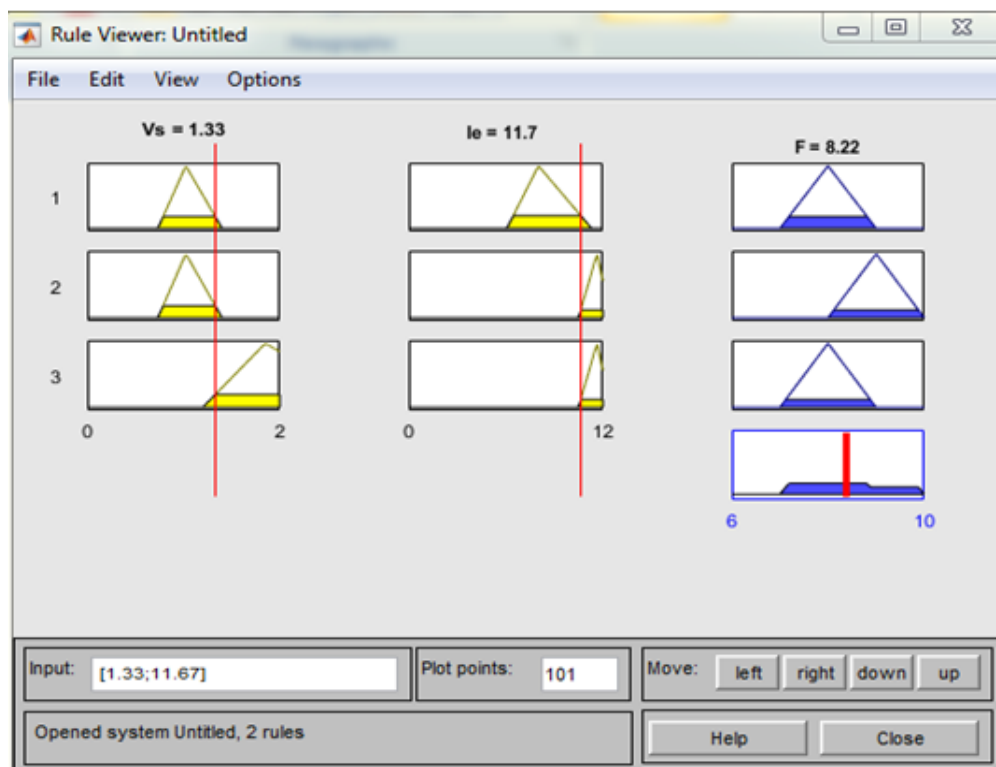


Figure 5.20. L'ensemble flou des règles 1,2 et 3.

De la même manière, toutes les fautes possibles sont injectées et identifiés au moyen du système d'inférence floue et les résultats sont énumérés dans le tableau 5.3.

Entrée FIS		Sortie FIS	Localisation	
Vs	Ie		Fautes	Code de la faute
1.3293	11.697	0	f0	Sans faute
1.1155	9.82	1.2	f1	BOQ1
1.3298	11.615	2.15	f2	COQ1
1.1152	9.819	3.05	f3	EOQ1
1.3374	11.678	3.99	f4	BOQ2
1.34	11.698	5.1	f5	COQ2

1.3374	11.679	6.2	f6	EOQ2
1.3121	11.374	7	f7	BOQ3
1.3367	11.27	8.22	f8	COQ3
1.3121	11.372	9.05	f9	EOQ3
6.86m	0.1704	10	f10	BOQ4
6.86m	0.1704	11.1	f11	COQ4
6.86m	0.173	12	f12	EOQ4
9.922m	0.1998	13	f13	BOQ5
153.235m	1.4481	14.2	f14	COQ5
6.9008m	0.1735	15	f15	EOQ5
159.749m	1.4352	16.1	f16	COQ6
6.8764m	0.1733	17.15	f17	EOQ6
1.3447	11.826	18	f18	BOQ7
1.3585	11.886	19	f19	COQ7
1.3447	11.824	19.96	f20	EOQ7
6.5487u	0.2	21.05	f21	BESQ1
129.442m	2.0177	22.3	f22	BCSQ2
4.2125m	0.1736	23.1	f23	BESQ2
768.232m	7.1506	24	f24	CESQ2
6.86m	0.1704	25.05	f25	BESQ101
806.576m	7.0892	26.1	f26	BCSQ102
6.86m	0.1705	26.99	f27	BESQ102
1.3632	11.901	28	f28	CESQ102
1.4095	12.3	29.15	f29	BCSQ8
154.266m	1.4771	30	f30	BESQ8
2.0501	17.835	31	f31	CESQ8
154.266m	1.4769	32.25	f32	BESQ9
3	26.027	33.02	f33	CESQ9

6.9408m	0.4981	34.02	f34	BCSQ7
3.9704m	0.1751	35.1	f35	BESQ7
6.8496m	0.352	35.98	f36	CESQ7

Tableau 5.3. Les sorties FIS et leurs fautes correspondantes pour le régulateur de tension.

Pour les résultats de cet exemple d'application, on a observé une deuxième fois après le premier exemple (amplificateur inverseur), un grand potentiel et une grande capacité d'identification et de localisation des fautes, puisqu'on a enregistré la localisation de la totalité (100%) des fautes par la preuve des valeurs des sorties du système d'inférence flou obtenus dans les différentes conditions de fonctionnement du circuit régulateur de tension (voir tableau 5.3).

5.6. Conclusion

Ce chapitre a été consacré à la démarche expérimentale de l'identification et la localisation des fautes des circuits analogiques en utilisant la logique floue à l'aide d'un système d'inférence flou (FIS).

L'implémentation du système FIS sous l'environnement Matlab se caractérise par la simplicité, il suffit de choisir les différents paramètres du système, et puis les implémenter à l'aide des interfaces graphiques disponibles dans la boîte à outils « fuzzy logic ». Le FIS peut donc afficher le résultat du diagnostic visuellement et directement.

Les résultats présentés dans ce travail de recherche sont très concluants, puisque 100% du volume total des fautes examinés a été détecté en utilisant à la fois le courant continu d'alimentation et la tension de sortie comme paramètres de signature des défauts. Par ailleurs sa validité s'est confirmée par son application élargie pour toucher un autre circuit aussi important mais de fonction différente que le premier (le régulateur de tension positive). En outre, l'application de l'approche FIS en tant qu'outil de classification des défauts a permis une localisation plus précise des défauts par rapport aux approches classiques conventionnelles, puisque tous les défauts examinés avaient été dissociés avec succès les uns des autres. Cette expérience indique que cette technique permet de détecter

rapidement les défauts catastrophiques dans les circuits analogiques, car elle nécessite un seul vecteur de test au lieu d'une plage de tension complète.

CONCLUSION ET PERSPECTIVES

L'évolution des technologies vers une intégration de plus en plus croissante rend le test et le diagnostic des circuits intégrés de plus en plus difficile et complexe, par conséquent, l'étape d'identification et de localisation de défauts devient cruciale. Cette étape est d'autant plus importante lorsque les défauts sont situés dans la partie analogique d'un circuit intégré, car il n'existe pas de procédures ou de méthodes normalisées particulières élaborées.

La nature complexe des signaux analogiques, les limites de tolérance des composants des circuits analogiques, le comportement non linéaire des composants et le nombre de nœuds accessibles sont les majeurs difficultés du diagnostic des défauts des circuits analogiques qui limitent le développement d'une approche efficace pour le test. La plupart des approches qui ont été adoptées dans ce contexte sont des approches basées sur le dictionnaire des défaillances. Le dictionnaire de défauts est construit à l'étape de pré-test au moyen de simulations du circuit sous test (CUT), dans des conditions nominales et défectueuses avec un stimulus d'entrée prédéfini. Le comportement simulé d'un CUT

défectueux est généralement appelé sa signature de défaut. Dans le processus de diagnostic, la réponse du circuit mesurée est comparée aux signatures correspondant à chaque état de défaut stocké dans le dictionnaire.

En effet, la densité des transistors et des éléments d'interconnexion est tellement forte que les techniques de dictionnaire de fautes ne fournissent pas une précision suffisante dans la localisation du défaut. Cette situation nous a permis d'investiguer sur des moyens permettant de réduire le degré de cette difficulté. Les approches de l'intelligence artificielle ont été à la base de nombreux systèmes qui ont tenté de surmonter ces problèmes.

Les travaux effectués lors de cette thèse ont permis de répondre à la problématique liée à la détection et la localisation des défauts catastrophiques dans les circuits analogiques en mode DC, où les techniques de la logique floue ont été développées et implémentées. Le choix de courant d'alimentation en combinaison avec la tension de sortie du circuit a été d'un très bon stimulateur pour une meilleure couverture de fautes (100% dans notre cas d'étude).

En effet, les résultats obtenus ont mis en évidence l'efficacité de l'application de l'approche par logique floue pour diagnostiquer les circuits analogiques. Ces résultats, montrent que l'utilisation de la logique floue pouvait être une contribution efficace aux problèmes rencontrés lors de la phase de détection et de localisation des défaillances utilisant les dictionnaires de fautes. De plus, on est arrivé à réduire le problème d'ambiguïté de groupe de fautes à néant. En conséquence, la valeur ajoutée par l'utilisation du système d'inférence floue est incontestable: une augmentation maximale (100%) du taux de détection et de localisation de fautes.

Les avantages et les inconvénients de chacune des méthodes proposées sont discutés. La validité des techniques proposées est illustrée par des circuits de référence à savoir un amplificateur inverseur à base de uA741 et un régulateur de tension positive. Les résultats obtenus ratifient les méthodes proposées et prouvent leur efficacité.

Les résultats de cette thèse sont donc très encourageants, mais beaucoup de travaux restent à accomplir autour de cette technique et plusieurs perspectives intéressantes sont ouvertes à la suite de ce travail:

- ✓ Il serait intéressant d'évaluer l'utilisation de la logique floue pour les autres modes de test : AC et Transitoire.
 - ✓ L'extension de la génération de test pour couvrir les fautes paramétriques ainsi que les fautes multiples.
 - ✓ L'utilisation de cette technique pourrait être évaluée dans le cadre du test de circuits analogiques en utilisant des modèles mathématiques de type ARMA (pour un test en mode AC) et autres qui sont le sujet d'une thèse en cours dans le groupe de travail au sein du laboratoire (LIS) sous la direction du Professeur Nacerdine Bourouba.
 - ✓ Il serait envisageable d'améliorer les modèles de fautes par des macromodèles qui décrivent leur structure électrique équivalente simplifiée contenant peu d'éléments (des résistances et de sources de tensions) et leur implémentation dans un environnement software approprié de type VHDL-AMS qui engendrera sans aucun doute une réduction en temps de simulation.
-

Bibliographie

- [1] A. Khouas. *Simulation de faute et optimisation des test de production pour les circuits analogiques avec prise en compte des tolérances*. Thèse de doctorat, Université Paris VI, septembre 2000.
- [2] D. Adil Patel. *Test and characterization methodologies for advanced technology nodes*. Thèse de doctorat, Université de Montpellier, Juillet 2016.
- [3] I. A. Grout. *Integrated Circuit, Test Engineering Modern Techniques*. Springer-Verlag London, 2006.
- [4] M. Garci. *Simulation multi-physiques des circuits intégrés pour la fiabilité*. Thèse de doctorat, Université de Strasbourg, 2016.
- [5] A. Bounceur. *Plateforme CAO pour le test de circuits mixtes*. Thèse de doctorat, Institut National Polytechnique de Grenoble, Avril 2007.
- [6] M.SC. Mauricio De Carvalho. *Innovative Techniques for Testing and Diagnosing SOCs*. Thèse de doctorat, Ecole polytechnique de Torino, Italie, Février 2015.
- [7] A. A. Ghania. *Étude et modélisation de défauts des circuits fortement submicroniques sécurisés en vue du test*. Thèse de doctorat en sciences, Université Mouloud Mammeri de Tizi-Ouzou, 2016.
- [8] C. Wannaboon, N. Jiteurtragool, W. San-Um and M. Tachibana. *Phase difference analysis technique for parametric faults BIST in CMOS analog circuits*. IEICE Electronics Express, Vol.15, N°9, pp. 1–9, 2018.
- [9] N. Akkouche. *Optimisation du test de production de circuits analogiques et RF par des techniques de modélisation statistique*. Thèse de doctorat, Université de Grenoble, Septembre 2011.
- [10] M. A. LATOUI. *Conception Testable de Circuits Intégrés Complexes à Très Haut Niveau*. Thèse de doctorat en sciences, Université Ferhat Abbas, Sétif 1, Décembre 2013.
- [11] M. L. Bushnell and V. D. Agrawal. *Essentials of Electronic Testing For Digital, Memory and Mixed-Signal VLSI Circuits*. Kluwer Academic Publishers, 2002.
- [12] Y. Monnet. *Etude et modélisation de circuits résistants aux attaques non intrusives par injection de fautes*. Thèse de doctorat, Institut National Polytechnique de Grenoble, Avril 2007.

- [13] R.Ubar, W.Kuzmicz, W.Pleskacz and J.Raik. *Defect-Oriented Fault Simulation and Test Generation in Digital Circuits*. 2nd Int. Symp. on Quality of Electronic Design – ISQED, San Jose, California, March 26-28, pp.365-371, 2001.
- [14] L.T. Wang, C. W. Wu and X. Wen. *VLSI Test Principles and architectures*. Morgan Kaufmann Publishers, Elsevier, 2006.
- [15] M. Doucier. *Test intégré de circuits cryptographiques*. Thèse de doctorat, Université de Montpellier II, Novembre 2008.
- [16] B. Gilles. *Méthodologie de test pour cartes mixtes analogiques-numériques*. Thèse de doctorat, Université de Bretagne occidentale, juillet 2009.
- [17] V. Dhare and U. Mehta. *SAF Analyses of Analog and Mixed Signal VLSI Circuit: Digital to Analog Converter*. International Journal of VLSI design & Communication Systems (VLSICS), Vol.6, N°.3, pp. 49-58, June 2015.
- [18] J. M. Tongbong. *Conception et évaluation d'une technique de DfT pour un amplificateur faible bruit RF*. Thèse de doctorat, Institut National Polytechnique de Grenoble, Décembre 2009.
- [19] N. Bourouba. *Développement des techniques de test pour des circuits analogiques intégrés de type S.S.I*. Thèse de doctorat d'état, Université Ferhat Abbas, Sétif, 2007.
- [20] E. Archambeau. *Test fonctionnel des circuits intégrés digitaux*. Thèse de doctorat, Institut National Polytechnique de Grenoble, Octobre 1985.
- [21] B. Charlot. *Modélisation de fautes et conception en vue du test structurel des microsystemes*. Thèse de doctorat, Institut National Polytechnique de Grenoble, Mars 2001.
- [22] J. Guilhemsang. *Test en ligne pour la détection des fautes intermittentes dans les architectures multiprocesseurs embarquées*. Thèse de doctorat, Université de Nice-Sophia Antipolis, avril 2011.
- [23] N.K. Jha and S. Gupta. *Testing of digital systems*. Published by the Press Syndicate of the University of Cambridge, 2003.
- [24] J. Zander, I. Schieferdecker and P.J. Mosterman. *Model-Based Testing for Embedded Systems*. CRC Press, Taylor & Francis Group, 2012.
- [25] L. Lizarraga. *Techniques d'auto test pour les imageurs CMOS*. Thèse de doctorat, Institut National Polytechnique de Grenoble, Novembre 2008.
- [26] H.N. Nguyen. *Technique alternative de test pour les interrupteurs MEMS RF*. Thèse de doctorat, Institut National Polytechnique de Grenoble, juillet 2009.
- [27] N. Lewis. *Méthodes de conception des circuits intègres analogiques et mixtes - Perspectives sur les systèmes électroniques en interaction avec le vivant*. Mémoire d'habilitation, Université Bordeaux 1, Avril 2010.
- [28] S. Mir. *Integrated Circuit Testing: From Microelectronics to Microsystems*. IFAC Fault Detection, Supervision and Safety of Technical Processes, Elsevier, pp. 13-24, 2003.

- [29] M.A. Naal. *Synthèse de haut niveau pour la testabilité en-ligne*. Thèse de doctorat, Institut National Polytechnique de Grenoble, septembre 2002.
- [30] M. Barros, J.M.C.Guilherme and N.C.G. Horta. *Analog Circuits and Systems Optimization Based on Evolutionary Computation Techniques*. Springer-Verlag Berlin Heidelberg, 2010.
- [31] M. Verdy. *Développement de stratégies de test pour les systèmes de communications millimétriques*. Thèse de doctorat, Université de Grenoble, septembre 2016.
- [32] M.H. Touati. *Test et diagnostic de cartes et de MCMs partiellement boundary scan*. Thèse de doctorat, Institut National Polytechnique de Grenoble, Janvier 1996.
- [33] H. Luo, W. Lu, Y. Wang, L. Wanga and X. Zhao. *A novel approach for analog fault diagnosis based on stochastic signal analysis and improved GHMM*. Measurement, Elsevier, vol.81, pp. 26-35, 2016.
- [34] S.P. Venu Madhava Rao. *Efficient methods and novel approaches for analog electronic circuit fault diagnosis using simulation before test (SBT) approach*. These de doctorat, Université technologique de Hyderabad, India, 2011.
- [35] G. Zhaoa, X. Liua, B. Zhangb, Y. Liua, G. Niub and C. Huc. *A novel approach for analog circuit fault diagnosis based on Deep Belief Network*. Measurement, Elsevier, vol.121, pp. 170-178, 2018.
- [36] A. abderrahmen. *Génération de tests roibustes pour les circuits analogiques linéaires*. Thèse de doctorat, Université de Montréal, Octobre 1997.
- [37] A. Machouat. *Développement et application d'une méthode d'analyse de défaillances fonctionnelles et contribution à l'amélioration de l'utilisation des techniques optiques statiques et dynamiques*. Thèse de doctorat, Université de Bordeaux 1, Décembre 2008.
- [38] S.U. Rehman. *Development of test and diagnosis techniques for Hierarchical mesh-based FPGAs*. Thèse de doctorat, Université de Grenoble, Novembre 2015.
- [39] K. Saab. *Outil Automatique de test de Circuits Analogiques*. Thèse de doctorat, Université de Montréal, Décembre 1999.
- [40] M. Benabdenbi. *Conception en Vue du Test de Systèmes Intégrés sur Silicium (SOC)*. Thèse de doctorat, Université PARIS VI, septembre 2002.
- [41] Sh. Mantha and M.A. Rani. *Fault Diagnosis in an analog Circuit With Feedback*. Journal of Engineering and Applied Science, vol. 14, N° 2, pp. 455-463, 2019.
- [42] G. Puvaneswari. *Multiple Parametric and Catastrophic Faults Detection in Linear and Nonlinear Analog Circuits*. PHD Thesis, University CHENNAI, November 2016.
- [43] A. Viveros-Wacher and J. E. Rayas-Sánchez. *Analog Fault Identification in RF Circuits using Artificial Neural Networks and Constrained Parameter Extraction*. IEEE MTT-S International Conference on Numerical Electromagnetic and Multiphysics Modeling and Optimization (NEMO), 2018.

- [44] M. Sachdev and J. P. de Gyvez. *Defect-Oriented Testing for Nano-Metric CMOS VLSI Circuits*, Springer, 2007.
- [45] Y. Deng and N. Liu. *Soft Fault Diagnosis in Analog Circuits Based on Bispectral Models*. Journal of Electron Test, vol. 33, pp. 543–557, 2017.
- [46] P. Kabisatpathy, A. BARUA and S. SINHA. *Fault Diagnosis of Analog Intégrated Circuits*. Springer, 2005.
- [47] M. Karmani, C. Khedhiri, B. Hamdi and B. Bensalem. *A Fault Dictionary-Based Fault Diagnosis Approach for CMOS Analog Integrated Circuits*. International Journal of VLSI design & Communication Systems (VLSICS), Vol.2, N°3, pp 1-19, September 2011.
- [48] L. Capocchi. *Simulation concurrente de fautes comportementales pour des systèmes à événements discrets : Application aux circuits digitaux*. Thèse de doctorat, Université Pasquale Paoli de CORSE, Novembre 2005.
- [49] D. Grzechca and J. Rutkowski. *Analog Fault Dictionary – Fuzzy Set Approach*. European Conference on Circuit Theory and Design ECCTD'01, Espoo, Finland, pp 28-31, 2001.
- [50] W.G. Fenton, T. M. McGinnity and L. P. Maguire. *Fault Diagnosis of Electronic Systems Using Intelligent Techniques: A Review*. IEEE Transactions on Systems, Man, and Cybernetics— Applications and Reviews, Vol. 31, N° 3, pp. 269-281, August 2001.
- [51] A. S. Vasan, B. Long and M. Pecht. *Diagnostics and Prognostics Method for Analog Electronic Circuits*. IEEE Transactions on Industrial Electronics, Vol. 60, N°11, November 2013.
- [52] K. Huang. *Modélisation de fautes et diagnostic pour les circuits mixtes/RF nanométriques*. Thèse de doctorat, Université de Grenoble, Novembre 2011.
- [53] D. Chen. *Fault Classification Research of Analog Electronic Circuits Based on Support Vector Machine*. Chemical Engineering Transactions, Vol. 51, pp. 1333-1338, 2016.
- [54] N. Zhang. *Detection et Isolation de pannes basées sur la platitude différentielle Application aux Engins Atmosphériques*. Thèse de doctorat, Université de Toulouse, Juin 2010.
- [55] P. Bilski and J. Wojciechowski. *Artificial Intelligence Methods in Diagnostics of Analog Systems*. Int. J. Appl. Math. Comput. Sci., Vol. 24, N°. 2, pp 271–282, 2014.
- [56] C. Raymond. *Commande floue monovariante et multivariante selon l'expertise et par modélisation floue. (Méthodologie et application aux systèmes automobiles)*. Thèse de doctorat, Institut National des Sciences Appliquées de Toulouse, Septembre 1995.
- [57] J. Cui and Y. R. Wang. *A novel approach of analog circuit fault diagnosis using support vector machines classifier*. Measurement, vol.44, pp. 281-289, 2011.

- [58] C. Alioua. *Détection Adaptative CFAR Distribuée Utilisant la Logique Floue et les Réseaux Neuro-Flous*). Thèse de doctorat en sciences, Université Mentouri Constantine, Mai 2011.
- [59] L.A. Zadeh. *Fuzzy Sets*, Information and Control, Vol. 8, pp. 338—353, 1965.
- [60] A. Kavithamani. *Certain New Approches to Fault Diagnosis of Analog Electronic Circuits Using Fréquency Response Methods*. PHD Thesis, ANNA University, CHENNAI, May 2012.
- [61] Y. Cui, J. Shi and Z. Wang. *Analog circuits fault diagnosis using multivalued Fisher's fuzzy decision tree (MFFDT)*. International journal of Circuit theory and Applications, 2015.
- [62] T. Nesrine. *Conception des Systèmes d'Inférence Floue par des Approches Hybrides : Application pour la Commande et la Modélisation des Systèmes Non-linéaires*. Thèse de Doctorat en Science, Université de Constantine 1, Février 2014.
- [63] H. Ouakka. *Contribution à l'Identification et la Commande Floue d'une Classe de Systèmes Non Linéaires*. Thèse de Doctorat, Université de FES, Juin 2009.
- [64] E. Povolotskaya. *Enhancement of the Selected Management and Planning Quality Control Tools*. Doctoral Thesis, Czech Technical University in Prague, June 2017.
- [65] C. Theoret. *Élaboration d'un Logiciel d'Enseignement et d'Application de la Logique Floue dans un Contexte d'Automate Programmable*. Mémoire de la maitrise en génie de la production automatisée, Université du QUÉBEC, Avril 2009.
- [66] M. T. CAO. *Commande Numérique de Machines Asynchrones par Logique Floue*. Thèse de Doctorat, Université Laval, Decembre 1997.
- [67] J.M. Mendel. *Uncertainty, fuzzy logic, and signal processing*. Signal Processing, Elsevier, Vol.80, pp. 913-933, 2000.
- [68] D. Dubois and H. Prade. *Fuzzy Sets and Systems: Theory and Applications*. Academic Press, INC. 1997.
- [69] M. Benbrahim. *Un Environnement Evolutif d'Aide au Diagnostic et à la Conduite des Systèmes Industriels*. Thèse de Doctorat en Science, Université de Batna, Avril 2014.
- [70] B. Heim. *Approche ensembliste et par logique Floue pour le diagnostic causal de procédés de Raffinage. Application à un pilote de FCC*. Thèse de doctorat, Institut National Polytechnique de Grenoble, Octobre 2003.
- [71] R. Rossi, M. Gastaldi, G. Gecchele and V. Barbar. *Fuzzy logic-based incident detection system using loop detectors data*. 18th Euro Working Group on Transportation, EWGT 2015, 14-16 July 2015, Delft, The Netherlands, pp. 266-275, 2015.
- [72] M. S. Nizami. *Development of a Fuzzy Logic Controller for a Distillation Column Using Rockwell Software*. Master thesis, University of Guelph, Canada, September, 2011.
- [73] Y.Xie et.al. *Soft Fault Diagnosis of Analog Circuits via Frequency Response Function*. Measurements, in Journal of Electronic Testing. vol.30, pp. 243-249, 2014.

- [74] A. Kavithamani, V. Manikandan and N. Devarajan. *Analog circuit fault diagnosis based on bandwidth and fuzzy classifier*. in TENCON 2009—2009 IEEE Region 10 Conference, pp. 1–6, 2009.
- [75] M. Merabet and N. Bourouba. *DC Hard Faults Detection and Localization in Analog Circuits Using Fuzzy Logic Techniques*. ELECTRONICS, Vol. 23, N° 1, pp. 18-25, Juin 2019.
- [76] Y. Sun. *Test and Diagnosis of Analogue, Mixed-signal and RF Integrated Circuits: the system on chip approach*. Institution of Engineering and Technology, London, United Kingdom, 2008.
- [77] C. Zhanga, G. He, J. Yu and X. PanChaojie. *Fault features analysis for soft faults of analog circuits with tolerance*. MATEC Web of Conferences 232, pp. 1-5, 2018.
- [78] M. Worsman, M. W. T. Wong and Y. S. Lee. *Analog Circuit Equivalent Faults in the D.C. Domain*. Proceedings of the Ninth Asian Test Symposium, IEEE, pp 84-89, 2000.
- [79] P. M. Lin and Y. S. Elcherif. *Analogue Circuits Fault Dictionary New Approches and Implementation*. Circuit Theory and Applications, Vol. 13, pp. 149-172, 1985.
- [80] Y.J. Chang, C.L. LEE, J. E Chen and C. Su. *A Behavior-Level Fault Model for the Closed-Loop Operational Amplifier*. Journal of Information Science and Engineering, Vol. 16, pp. 751-766, 2000.
- [81] M. Tadeusiewicz, S. Hałgas and M. Korzybski. *Multiple Catastrophic Fault Diagnosis of Analog Circuits Considering the Component Tolerances*. International Journal of Circuit Theory and Applications, pp. 1-12, 2011.
- [82] M. Merabet, N. Bourouba and N. Bouzit. *Maximalisation de la Couverture de Fautes dans un Amplificateur Inverseur par un Test basé sur le Courant d’Alimentation Iddq*. International Conference (SETIT 2012) , Sousse, Tunisia, Mars 2012.
- [83] A. Rathinam, S. Vanila and V. P. Sharma. *Fault Classification in Mixed Signal Circuits using Artificial Neural Networks*. Indian Journal of Science and Technology, Vol 9, pp. 1-7, Octobre 2016.
- [84] P. Jantos, D. Grzechca and J. Rutkowski. *Global Parametric Fault Identification in Analog Electronic Circuits*. Metrology and Measurement Systems, Vol. 16, N° 3, pp. 391-402, 2009.
- [85] M. A. Stošović and V. Litovski. *Applications of Artificial Neural Networks in Electronics*, ELECTRONICS, Vol. 21, N°. 2, Decembre 2017.
- [86] M. Dubois. *Méthodologie d’estimation des métriques de test appliquée à une nouvelle technique de BIST de convertisseurs Sigma-Delta*. Thèse de doctorat, Université de Grenoble, juin 2011.
- [87] N. Bourouba, N. Bouzit and M. Merabat. *A DC Piecewise-linear Macromodel for the Voltage ,Regulator Using Experimental Results*. Asian Journal of Information Technology, Vol. 5, pp. 470-475, 2006.

- [88] A. Arabi, N. Bourouba, A. Belaout and M. Ayad. *Catastrophic faults detection of analog circuits*. In Modelling, 7th International Conference on Identification and Control (ICMIC), IEEE, pp. 1-6, Decembre 2015.
- [89] R. B. Ram, V. P. Moorthy and N. Devarajan. *Fuzzy Based Time Domain Analysis Approach for Fault Diagnosis of Analog Electronic Circuits*. International Conference on Control, Automation, Communication and Energy Conservation, Juin 2009.
- [90] M. Tadeusiewicz and M. Ossowski. *A Verification Technique for Multiple Soft Fault Diagnosis of Linear Analog Circuits*. International Journal of Electronics and Telecommunications, Vol. 64, N° 1, pp. 83-89, 2018.
- [91] M.A. El-Gamal and M. Abdulghafour. *Fault Isolation in Analog Circuits Using a Fuzzy Inference System*. Computers and Electrical Engineering, Vol. 29, pp. 213–229, 2003.
- [92] A. Kumar and A.P. Singh. *Fuzzy classifier for fault diagnosis in analog electronic circuits*. ISA Transactions, Vol. 52, pp. 816–824. 2013.
- [93] L. Baghli. *Contribution à la commande de la machine asynchrone, utilisation de la logique floue, des réseaux de neurones et des algorithmes génétiques*. Thèse de Doctorat, Université Henri Poincaré, Nancy-I, Janvier 1999.

PRODUCTION SCIENTIFIQUE

M. Merabet and N. Bourouba. *DC Hard Faults Detection and Localization in Analog Circuits Using Fuzzy Logic Techniques*. ELECTRONICS, Vol. 23, N° 1, pp. 18-25, Juin 2019.

M. Merabet, N. Bourouba and N. Bouzit. *Maximalisation de la Couverture de Fautes dans un Amplificateur Inverseur par un Test basé sur le Courant d’Alimentation Iddq*. International Conference (SETIT 2012) , Sousse, Tunisia, Mars 2012.

A. Gamoura, M. Merabet, N. Bourouba. *Functional level modeling using an experimental DC piece-wise linear approach based on electrical characteristics of an inverting amplifier*. 2nd International conference on Information Processing and Electrical Engineering, ICIPEE’12, Tebessa, April 2012.

M. Merabet, N. Bouzit, N. Bourouba. *Modélisation comportementale VHDL-AMS d’un amplificateur inverseur à base de 741 en régime continu*. 1^{ère} Conférence Internationale Sur l’Electrotechnique, l’Electronique, l’Automatique et la Maintenance, pp. 80-86, Oran, Décembre 2008.

N. Bourouba, N. Bouzit and M. Merabat. *A DC Piecewise-linear Macromodel for the Voltage Regulator Using Experimental Results*. Asian Journal of Information Technology, Vol. 5, pp. 470-475, 2006.

ملخص

مع التطور السريع للإلكترونيات الدقيقة وتكنولوجيا أشباه الموصلات ، تعمل الأنظمة الإلكترونية التناظرية المتكاملة على تطوير وظائف أكثر تعقيدًا حيث أصبحت أكثر تطلبًا من حيث الدقة و الموثوقية. تعد الحاجة إلى طرق آلية لاختباراتهم وتشخيصهم مشكلة كبيرة للباحثين في هذا المجال. إذ يعد تطوير الأساليب والطرق الفعالة لاكتشاف وتصنيف العيوب و الأخطاء في الدوائر التناظرية حجر الزاوية في أي مشروع بحث يتعلق بتصميم الاختبار و التشخيص الذي يهدف إلى تحسين أداء الدوائر المتكاملة.

هذه الأطروحة تعرض استخدام تقنيات المنطق الغامض لاكتشاف وتوطين العيوب الشاقة في الدوائر الإلكترونية التناظرية التي تحتوي على الترانزستورات ثنائية القطب. للقيام بذلك ، يتم إجراء محاكاة للدائرة قيد الاختبار لفحص استجابة الدائرة المختبرة في ظل وجود عيوب وظروف خالية من الأخطاء. لهذا الغرض ، يتم ملاحظة الإعدادات التالية - الجهد الناتج والتيار الكهربائي للتغذية - في وضع التيار المستمر ، وتستخدم لبناء جدول الأخطاء. هذا الجدول يتم استخدامه بعد ذلك لإنشاء نظام استدلال غامض قادر على إعادة ترتيب البيانات المهيكلية رقميًا واستغلالها لتحسين دقة تشخيص وتحديد الأخطاء. وأخيرًا، يتم عرض النتائج التي تم الحصول عليها من التجارب المختلفة لتبرير فعالية تطبيق الطريقة المقترحة وتأكيد صلاحيتها.

الكلمات المفتاحية: اختبار ، الكشف عن الأعطال ، تصنيف الأعطال ، الدوائر التناظرية ، المنطق الغامض ، نظام الاستدلال الغامض.

Abstract

With the fast progress of microelectronics and semiconductor technology, integrated analog electronic systems are growing in more sophisticated and complex functions and become very needy of a high reliability . Therefore, the automatic methods requirement for their tests and diagnostic is a crucial issue for researchers in this field. The development of effective approaches and techniques for detection and classification of defects in analogue circuits is the cornerstone of any test design research project aimed at improving the performance of integrated circuits.

This thesis introduces the fuzzy logic techniques use for hard faults detection and location in analog electronic circuits built with bipolar transistors. For this purpose, primary, simulations of the circuit under test (CUT) are performed before the test stage by investigating the response of the circuit under test in faulty and fault-free conditions. Afterward , two signatures parameters— the output voltage and the supply current—are observed in DC domain simulation and used to build a fault dictionary. This is used effectively to produce a fuzzy inference system (FIS) which is able to reorganizing structured data digitally and uses them to improve fault location and identification more accurately Finally, the results of different experiments are presented to demonstrate the applicability of the proposed method by increasing its efficiency.

Keywords: Test, Fault detection, Fault localization, Analog circuits, Fuzzy logic, Fuzzy inference system.