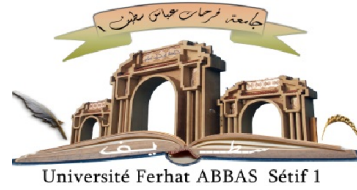


الجمهورية الجزائرية الديمقراطية الشعبية

République Algérienne Démocratique et Populaire

Ministère de L'Enseignement Supérieur et de la Recherche Scientifique



UNIVERSITÉ FERHAT ABBAS - SETIF 1

FACULTÉ DE TECHNOLOGIE

THESE

Présentée au département d'électronique

Pour l'obtention du diplôme de

DOCTORAT EN SCIENCES

Option: électronique

Par

ARABI Abderrazak

THÈME

**Méthodes de diagnostic et de maximalisation de la
couverture des fautes singulières fréquentes dans les
circuits analogiques**

Soutenue le 25/04/2019 devant le Jury:

BOUZIT Nacerdine	Professeur	Univ. Ferhat Abbas Sétif 1	Président
BOUROUBA Nacerdine	Professeur	Univ. Ferhat Abbas Sétif 1	Directeur de thèse
AMARDJIA Nouredine	Professeur	Univ. Ferhat Abbas Sétif 1	Examinateur
AIDEL Salih	Professeur	Univ. B.I. Bordj bouarréridj	Examinateur
KHEDROUCHE Djamel	Professeur	Univ. M.B. M'sila	Examinateur
AIT KAKI Abdelaziz	M.C.A	Univ. L.B.M. Oum El-bouaghi	Examinateur

Remerciements

Tout particulièrement louange et grand merci à Dieu le Tout –puissant qui par bonté et sa générosité inégalable, m’a procuré savoir et volonté tant rechercher pour parachever mon travail et ma thèse de doctorat en sciences.

Je remercie ensuite mon encadreur Monsieur **Nacerdine BOUROUBA**, Professeur à l’université Ferhat Abbas Sétif 1, qui n’a ménagé aucun effort pour que ma thèse voit le jour et dont les conseils et encouragements m’ont été très utiles dans la préparation de ce travail.

J’adresse également mes remerciements les plus vifs aux membres du jury, dont j’ai beaucoup d’estime et considération, qui m’ont fait l’honneur d’accepter de juger ce travail. En l’occurrence je cite Monsieur **BOUZIT Nacerdine**, Professeur à l’Université Ferhat Abbas Sétif 1, en tant que Président de Jury. Je tiens également à exprimer ma gratitude aux examinateurs:

- ❖ Monsieur **AIDEL Salih**, Professeur à l’Université de Mohamed Elbachir El-ibrahimi Bordj Bou Arreridj.
- ❖ Monsieur **KHEDROUCHE Djamel**, Professeur à l’Université Mohamed Boudiaf Msila.
- ❖ Monsieur **AIT KAKI Abdelaziz**, Maitre de conférences classe A à l’Université Larbi ben M’hidi Oum El-bouaghi.
- ❖ Monsieur **AMARDJIA Nouredine**, Professeur à l’Université Ferhat Abbas Sétif 1.

Mes remerciements vont bien sur à tous mes collègues qu’ils soient doctorants ou enseignants pour les marques de sympathie qu’ils n’ont cessé de me témoigner, sans oublier le soutien moral que j’ai de la part des Messieurs : Dr. BELAOUT Abdesslam, SAHLI Abdesslam, Dr.TALBI Billel, LAIB Abdelbaset, BOUYAHIA Semcheddine, SBAIHI Messaoud et Dr.FERROURA Hamza .

Dédicaces

A ma chère mère

A mon cher père

A ma femme, à mes enfants Zakaria et Serine

A mes frères Farid, Ilyes et Sami

A toutes mes sœurs

Résumé

Cette thèse porte sur l'application de nouvelles techniques au diagnostic, la détection et la classification des défauts dans les circuits intégrés analogiques, qui peuvent tomber en panne et se dégradent pendant la durée de fonctionnement. Ces derniers sont devenus de plus en plus nécessaires dans le monde de l'électronique. Cette nécessité est due à leur importance dans les domaines de télécommunication, de l'avionique, du biomédical... Ce qui nécessite un diagnostic dont l'objectif principal est de fournir un outil automatique qui permet la détection précoce des défauts pour protéger les circuits, et de classer le défaut en plus. Des techniques de test ont été appliquées à ces circuits analogiques à savoir le test fonctionnel, l'amélioration de la détection, la simulation des fautes. Pour le développement des algorithmes de classification de défauts dans les circuits analogiques, au début, une base de données est collectée en utilisant une simulation Monté Carlo en régime fréquentielle et transitoire, pour le circuit sain et fautif. Des classificateurs à base d'intelligence artificielle ont été construits, tels que les classificateurs neuronal et neuro-flou. Finalement, le diagnostic a été amélioré par l'introduction d'un nouveau classificateur (classificateur neuro-flou multi-classes). Ce dernier a été comparé à d'autres types de classificateurs, et s'est remarqué d'eux par son efficacité et sa précision.

Mots clés : détection des fautes ; classification des fautes ; classificateur neuro-flou; test des circuits analogiques.

Abstract

This thesis focuses on the application of new techniques to diagnosis, detection and classification of faults in analog integrated circuits, which can break down and degrade during the operating period. These circuits have become more necessary in the world of electronics. This need is due to its importance in the areas of telecommunication, avionics, biomedical... This requires a diagnosis that's the main purpose is to provide an automatic tool that allows early detection of faults to protect the circuits, and to classify this faults two. Test techniques have been applied to these analogue circuits, namely the functional test, the improvement of the detection, the simulation of faults. For the development of the algorithms of classification of faults in the analog circuits, at the beginning, a database is collected using a simulation mounted Carlo in frequency and transient domain, for the fault free and faulty circuit. Artificial intelligence-based classifiers have been constructed, such as neural and neuro-blur classifiers. Finally, the diagnosis was improved by the introduction of a new classifier (Multi-class neuro-blur classifier). This classifier was compared to other types of classifiers, and over classed to them by its efficiency and accuracy.

Keywords: fault detection; fault classification; neuro-fuzzy classifier; diagnostic; analog circuits test.

Sommaire

Remerciements	
Résumé	
Liste des Figures	
Liste des Tableaux	
Liste des acronymes	

Chapitre 1: Introduction

1.1 Contexte et motivation.....	1
1.2 Classification des défauts.....	2
1.3 Classification des techniques de localisation des pannes.....	3
1.3.1 Simulation avant test (SBT).....	3
1.3.1.1 Technique de dictionnaire de fautes.....	4
1.3.1.2 L'approche statistique.....	4
1.3.2 Simulation après test(SAT).....	4
1.3.2.1 Technique d'identification des paramètres.....	5
1.3.2.2 Techniques de vérification des fautes.....	5
1.3.2.3 Méthode d'optimisation.....	6
1.4 Diagnostic de défauts en analogique et en numérique.....	6
1.5 Problématique.....	7
1.6 Organisation de la thèse.....	7
1.7 Contributions.....	8

Chapitre 2: Etat de l'art test des circuits intégrés

2.1 Introduction.....	9
2.2 Généralités.....	12
2.2.1 Définitions de la faute.....	12
2.2.2 Types de fautes.....	13
2.2.3 Sources de fautes.....	14
2.2.4 Simulation de fautes.....	15
2.3 Tâches des systèmes de diagnostic des fautes.....	15
2.4 Les différents types de test.....	16
2.4.1 Difficultés de test des circuits analogiques.....	17

2.4.2	Génération de test.....	19
2.4.3	Classification des tests.....	20
2.4.4	Couverture d'un test.....	21
2.4.5	Qualité des tests.....	21
2.4.6	testabilité.....	21
2.5	Modélisation des fautes analogiques.....	22
2.6	La simulation des fautes analogiques.....	23
2.7	Conclusion.....	26

Chapitre 3:Modélisation des défauts dans les circuits intégrés

3.1	Introduction	27
3.2	Sources de défauts dans les circuits intégrés.....	29
3.2.1	Les erreurs de conception.....	29
3.2.2	Les défauts de fabrication.....	29
3.3	Défaillances physiques et défauts de fabrication.....	30
3.3.1	Mécanismes de défaillance.....	30
3.3.2	Classification de fautes.....	31
3.3.3	Défauts paramétriques et défauts fonctionnels.....	34
3.4	Défauts des composants à semi-conducteurs.....	34
3.4.1	Claquage de couches isolantes (Oxyde break down).....	35
3.4.2	Injection de porteurs chauds (Hot carrier injection).....	35
3.4.3	Electromigration.....	35
3.4.4	Crevasse dans les couches de passivation ou les couches métallisées.....	35
3.4.5	Coupure des fils de liaison.....	36
3.4.6	Corrosion par l'humidité.....	37
3.4.7	Effet thyristor.....	37
3.5	Les fautes de type matériel/physique.....	37
3.5.1	Faute permanente.....	37
3.5.2	Faute transitoire (ou temporaire).....	37
3.5.3	Faute intermittente.....	38
3.6	Modélisation des fautes.....	38
3.7	Techniques de simulation des fautes.....	39

3.8	Modèles de fautes des circuits analogiques.....	39
3.8.1	Modélisation de fautes en analogique.....	41
3.8.2	Génération de la liste de fautes.....	41
3.8.3	La simulation de fautes.....	41
3.9	Test de circuits analogiques et mixtes.....	42
3.9.1	Le test fonctionnel de circuits analogiques.....	44
3.9.2	Les techniques de test structurel (test basé sur les fautes).....	44
3.10	Modèles de fautes des circuits numériques.....	45
3.10.1	Simulation de fautes en numérique.....	46
3.11	Simulation de fautes en numérique	46

Chapitre 4: Méthodes de detection et couverture des fautes

4.1	Introduction	47
4.2	Detection des fautes catastrophiques au niveau des transistors.....	47
4.2.1	Exemple de circuit sous test	48
4.2.2	Structure des transistors utilisés	50
4.2.3	Modèle de fautes à détecter	52
4.2.4	Principe de la méthode.....	53
4.2.5	Simulation du circuit sous test sous la faute F2.....	55
4.2.6	Simulation du circuit sous test sous la faute F5.....	56
4.2.7	Interprétation des résultats.....	57
4.3	Detection des fautes par l'analyse Monte-Carlo.....	59
4.3.1	Le circuit sous test.....	59
4.3.2	L'analyse Monte-Carlo.....	60
4.3.3	Contrôle de la sortie.....	61
4.3.4	Simulations et résultats.....	61
4.3.4.1	Simulation du circuit sous test par l'analyse fréquentielle (AC).....	61
4.3.4.2	Simulation du circuit sous test par l'analyse temporelle (Transient).....	66
4.3	Conclusion.....	70

Chapitre 5: Classification des Fautes à l'aide de la Technique Neuro Floue

5.1	Introduction.....	71
-----	-------------------	----

5.1.1 Méthodes de détection et de classification existantes et leurs limitations	71
5.1.2 Contributions.....	73
5.2 Les classifieurs basés sur l'intelligence artificielle.....	73
5.2.1 Développement d'un classifieur neuro-flou multi-classes.....	73
5.2.2 Principe du classifieur neuro-flou.....	74
5.2.3 Approche de classification multi-classes.....	77
5.2.4 Critères d'évaluation de la performance des classifieurs.....	78
5.3 circuits sous test et résultats de simulation.....	79
5.3.1 Premier circuit sous test: le filtre passe-bande de Sallen – Key.....	79
5.3.1.1 Résultats de simulation.....	80
5.3.1.2 Génération des entrées du classificateur.....	81
5.3.2 Deuxième circuit sous test: filtre passe-haut biquad à quatre opamp.....	83
5.3.3 Troisième circuit sous test: filtre leapfrog.....	85
5.4 Résultats et discussions.....	87
5.4.1 Résultats pour le premier circuit sous test.....	87
5.4.1.1 Réduction de nombre des entrées du classifieur.....	87
5.4.1.2 Techniques de sélection des entrées.....	88
5.4.1.3 Optimisation de type et du nombre des fonctions d'appartenance du classificateur ANFIS.....	91
5.4.1.4 Classification des fautes par les réseaux de neurone artificiels (ANN).....	94
5.4.2 Résultats pour le deuxième circuit sous test.....	95
5.4.3 Résultats pour le troisième circuit sous test.....	97
5.5 Conclusion	99

Chapitre 6: Conclusion et travaux futurs

6.1 Conclusions	100
6.2 Travaux futurs	102
Bibliographie	
Liste des publications	

Liste des Figures

Figure 1.1: Techniques de classification de fautes.....	3
Figure 3.1: Interaction entre conception, test et processus de fabrication en vue d'une production de qualité.....	28
Figure 3.2: Classification des fautes analogiques	33
Figure 3.3: Spécifications reliées aux classes de fautes	34
Figure 3.4: Electromigration.....	35
Figure 3.5: Fissure dans les couches de passivation	36
Figure 3.6: Réalisation des liaisons : a) coupe des circuits encapsulés, b) détail de la liaison par fil d'Or, c) aspect d'une liaison en fil d'Aluminium collé aux ultrasons.....	36
Figure 3.7: Exemples de défauts physiques	40
Figure 3.8: fautes affectant un circuit numérique.....	45
Figure 4.1: Filtre passe-bas de deuxième ordre	48
Figure 4.2: Schéma interne de l'amplificateur opérationnel $\mu A741$	49
Figure 4.3: Polarisation de l'étage d'entrée (Q103 monté en diode).....	49
Figure 4.4: Polarisation de push-pull	50
Figure 4.5: Structure des transistors	51
Figure 4.6: Diagramme de la méthode de test proposée.....	52
Figure 4.7: Réponse temporelle du circuit sous test	54
Figure 4.8: Réponse du comparateur en absence des fautes.....	55
Figure 4.9: Réponse du comparateur sous la faute F2.....	56
Figure 4.10: réponse du comparateur sous la faute F5.....	57
Figure 4.11: schéma du filtre passe bande de Sallen-Key.....	59
Figure 4.12: Fenêtre de l'analyse Monte-Carlo	60

Figure 4.13: réponses fréquentielles du filtre passe bande de Sallen-Key sans fautes Pour 100 itérations.....	62
Figure 4.14: Histogrammes correspondants aux paramètres de test du CUT sans fautes	63
Figure 4.15: réponses temporelles du filtre passe bande de Sallen-Key sans fautes Pour 100 itérations.....	66
Figure 4.16: Histogrammes correspondants aux paramètres de test du CUT sans fautes	67
Figure 5.1: Processus d'un classificateur des fautes du circuit sous test.....	74
Figure 5.2: Modèle de l'architecture ANFIS avec deux entrées, une sortie et deux règles.....	75
Figure 5.3: Concept des classificatrices neuro-flou multi-classes	78
Figure 5.4: Schéma du filtre passe-bande de Sallen-Key	79
Figure 5.5: Réponse fréquentielle du circuit sous test sans fautes	81
Figure 5.6: Réponse temporelle du circuit sous test sans fautes.....	81
Figure 5.7: Extraction des entrées à partir de la réponse fréquentielle du circuit sous test sans fautes	82
Figure 5.8: Extraction des entrées à partir de la réponse temporelle du circuit sous test sans fautes	82
Figure 5.9: Filtre biquad passe-haut à quatre amplificateurs opérationnels	84
Figure 5.10: Schéma du filtre leapfrog	85
Figure 5-11: Vue de la méthode proposée pour la réduction des entrées du classificateur.....	89
Figure 5.12: diagramme des réseaux de neurone artificiels (ANN).	94

Liste des Tableaux

Tableau 3.1: Différents types de fautes et composants affectés	40
Tableau 4.1: fautes injectées dans le circuit sous test.....	53
Tableau 4.2: Durées des impulsions de la sortie du comparateur pour le circuit sous test sain	55
Tableau 4.3: Variations des durées d'impulsions de la réponse du comparateur	58
Tableau 4.4 : Détection des fautes paramétriques par les paramètres de la réponse fréquentielle du circuit sous test	64
Tableau 4.5: Détection des fautes catastrophiques par les paramètres de la réponse fréquentielle du circuit sous test	65
Tableau 4.6: Détection des fautes paramétriques par les paramètres de la réponse temporelle du circuit sous test	68
Tableau 4.7: Détection des fautes catastrophiques par les paramètres de la réponse temporelle du circuit sous test	69
Tableau 5.1: Valeurs nominales et altérées par fautes des composants du filtre passe-bande de Sallen-Key	80
Tableau 5.2: Valeurs nominales et fautives du Filtre biquad passe haut à quatre amplificateurs opérationnels	84
Tableau 5.3: Valeurs nominales et fautives pour le filtre leapfrog.....	86
Tableau 5.4: Selection des entrées pour les classificateurs du filtre passe bande de Sallen_Key.....	91
Tableau 5.5: Erreur RMS et type des fonctions d'appartenance durant le processus d'optimisation	92
Tableau 5.6: Types et nombre de fonctions d'appartenance optimisées	93
Tableau 5.7: Comparaison entre le classificateur neuro flou multi-classes et celui de réseaux de neurone artificiels pour le filtre passé bande de Sallen Key	94
Tableau 5.8: Comparaison entre le classificateur neuro flou multi-classes et autres méthodes pour le filtre passe bande de Sallen Key	95

Tableau 5.9: Comparaison entre le classificateur neuro-flou multi-classes et le classificateur neuronal pour le filtre biquad passe-haut à quatre amplificateurs opérationnels	96
Tableau 5.10: Comparaison sur la précision de classification entre la méthode proposée et les autres méthodes précitées pour le filtre passe-haut à quatre amplificateurs	97
Tableau 5.11: Comparaison entre le classificateur neuro-flou multi -classes et le classificateur ANN pour le filtre leapfrog	98

Liste des acronymes

AC	Alternative Current
AI	Artificial Intelligence
ANFIS	Adaptive Neuro-Fuzzy Inference System
ANN	Artificial Neural Network
AOP	Amplificateur Opérationnel
ATPG	Automatic Test Pattern Generation
BILBO	Built in Logic Block Observer
BIST	Built In Self Test
BP	Back Propagation
BW	Band Width
CFOA	Current Feedback Operational Amplifiers
CI	Circuits Intégrés
CUT	Circuit Under Test
DC	Direct Current
DFT	Design For Testability
FC	Fault Classification
FC	Fuzzy Classifier
FD	Fault Detection
FDC	Fault Detection and Classification
FDM	Fault Detection Method
FDS	Fault Detection Signal
FF	Fault Free
FIS	Fuzzy Inference System
FRFT	Fractional Fourier Transform
FSD	Fault Signature Data
FWT	Fractional Wavelet Transform
KPCA	Kernel Principal Component Analysis

LM	Levenberg-Marquardt
LSI	Large Scale Integration
LSSD	Level Sensitive Scan Design
MC-NFC	Multiclass Neuro-Fuzzy Classifier
MF	Membership Function
MLP	Multilayer Perceptron
MSI	Medium Scale Integration
NFC	Neuro-Fuzzy classifier
PCM	Process Control Monitoring
PTDM	Pulses Time Durations Measurement
PW	Pulse Width
R^2	Correlation coefficients
RMSE	Root Mean Square Error
RMSE	Root Mean Square Error
RS	Response Signal
SAT	Simulation After Test
SBT	Simulation Before Test
SOS	System On Chip
SPS	Square Pulse Sequence
SSE	Sum Square Error
SSE	Sum squared error
SSI	Small Scale Integration
SVDD	Support Vector Data Description
SVM	Super Vector Machine
T-S	Takagi-Sugeno
VLSI	Very Large Scale Integration
VVRKFA	Vector-Valued Regularized Kernel Function Approximation

Chapitre 1

Introduction

CHAPITRE 1

Introduction

1.1. Contexte et Motivation

Le diagnostic des défauts des circuits intégrés analogiques a gagné une grande attention étendue dans le domaine des essais automatisés à l'aide des ordinateurs.

Les progrès de la technologie des systèmes sur puce (SOC) ont eu pour conséquence d'accroître l'importance des circuits analogiques, ce qui les a conduits à la technologie principale des circuits intégrés. La complexité accrue des circuits intégrés est due à l'amélioration réalisée dans la technologie Deep Sub micron et à la coexistence de circuits analogiques et numériques appelés conception de signaux mixtes. Cela a fait des tests une tâche très difficile qui doit être effectuée sur de très petites puces ayant des fonctionnalités complexes. Les méthodes de test et de diagnostic sont classées en:

- 1- Circuits numériques
- 2- Circuits analogiques
- 3- Circuits de signaux mixtes.

Dans les circuits numériques, de nombreuses méthodes de diagnostic ont été développées. Certaines de ces méthodes sont comme suit [1] :

- (a) D-algorithme
- (b) Conception d'un balayage sensible de niveau (Level Sensitive Scan Design LSSD)
- (c) norme IEEE 1149.1
- (d) implémentation dans un bloc observateur logique (Built in Logic Block Observer BILBO)

Pour les circuits de signaux analogiques et mixtes, le développement d'un outil efficace de diagnostic automatisé est indispensable et par la force des choses est toujours considéré comme un domaine de recherche ouvert. Le diagnostic de défaillance des circuits analogiques est beaucoup plus compliqué que celui des circuits numériques. Les principales raisons sont les mauvais modèles de défaut, la non-linéarité, la mesure des tensions et des courants aux nœuds internes qui sont parfois inaccessibles et l'ambiguïté qui s'installe dans les mesures et l'analyse des réponses du sujet défaillant. L'ambiguïté résulte principalement en raison des tolérances dans les composants.

Pour toutes ces raisons, le diagnostic de défauts des circuits analogiques est relativement moins développé à cause de leur complexité et de l'inaccessibilité à leur structure interne. Par ailleurs, il est devenu très exhaustif par la diversité des paramètres à tester ce qui a rendu ce processus très consommateur de temps et d'argent. Le test analogique doit maintenant être accéléré en incluant l'autotest intégré (Built In Self Test : BIST) et accompagné par les approches de la conception pour la testabilité (Design For Testability : DFT) tout en faire les considérant comme partie du cycle de conception du processus de fabrication des circuits intégrés [2].

Les circuits analogiques font partie des applications dans de nombreux domaines comme les dispositifs de télécommunication sans fil, biomédical, l'électronique grand public, le réseautage, etc [3]. De nouvelles stratégies doivent être développées pour répondre aux besoins du test de ce type des circuits et cela exige une recherche substantielle pour développer des méthodes de diagnostic de défaillance analogique compatibles avec les méthodes numériques déjà développées pour atteindre la quantité désirée de diagnostic de défauts. Ces derniers sont importants en nombre et différents en nature, ce qui incite à donner une étude informative, les banalisant et les classifiant selon leur degré de sévérité.

1.2. Classification des défauts

Les différents types de défauts des circuits analogiques peuvent être classés comme suit:

- a) des fautes catastrophiques ou des fautes dures.
- b) des fautes paramétriques ou soft.

Dans le cas des défauts durs, l'élément défectueux est soit court circuit, soit ouvert. Alors que pour les défauts paramétriques, la valeur de l'élément change ou s'écarte de sa valeur nominale sans atteindre les limites extrêmes. Les défauts paramétriques résultent principalement du vieillissement, des tolérances de fabrication ou des effets parasites.

1.3. Classification des techniques de localisation des pannes

La catégorisation la plus populaire est basée sur l'étape à laquelle la simulation de processus de test est effectuée. Celui-ci s'exécute soit par :

- a) Simulation avant test (Simulation Before Test SBT), ou
- b) Simulation après test (Simulation After Test SAT)

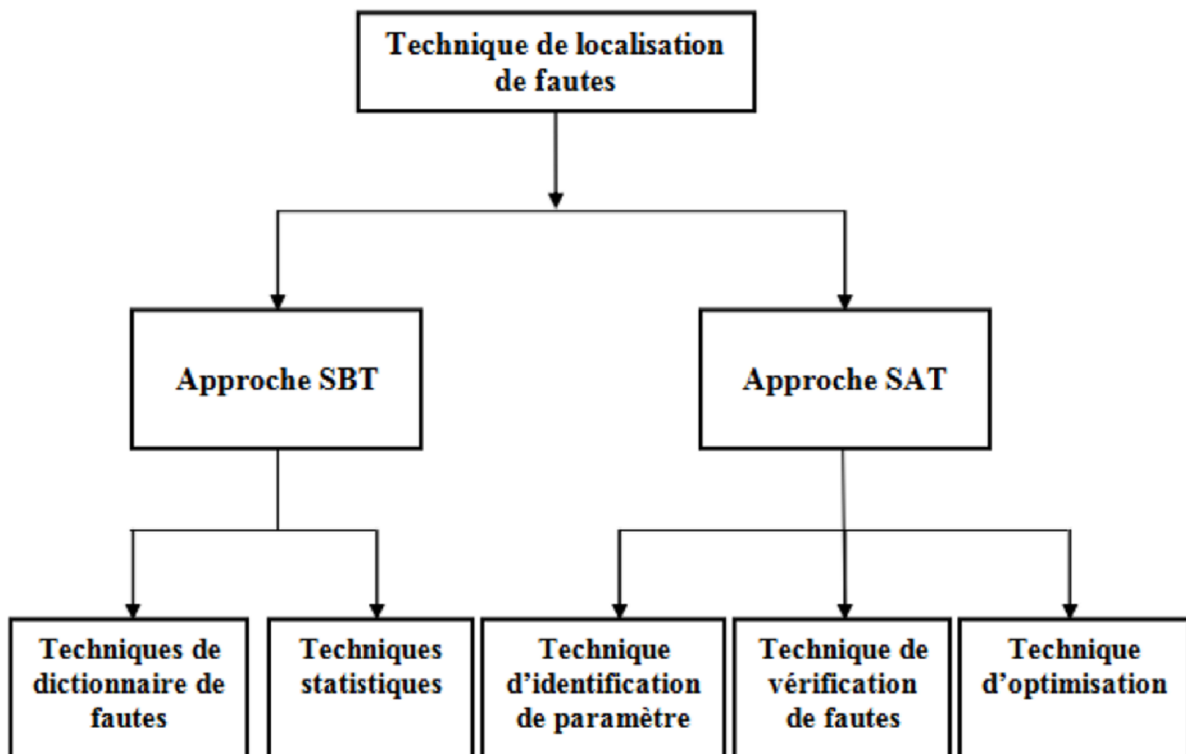


Figure 1.1 Techniques de classification de fautes [1]

1.3.1. Simulation avant test (SBT)

Cette méthode met l'accent sur la construction du dictionnaire ou du répertoire de défauts dans lequel le comportement nominal du circuit opérant en régime statique (DC domaine), en domaine temporel ou en domaine fréquentiel est collectionné. Les réponses du circuit pour différents défauts prévus y sont également stockées. Les deux méthodes importantes dans l'approche SBT sont:

- technique du dictionnaire des fautes
- techniques statistiques

1.3.1.1 Technique de dictionnaire de fautes

Cette technique consiste aux cas du circuit sous test en absence et en présence de défauts. L'anticipation des fautes est basée sur le domaine d'expérience acquise et l'efficacité de cette technique dépend de la façon dont les défauts sont anticipés. La simulation de fautes joue un rôle très important dans la construction de dictionnaires de fautes. Les facteurs qui décident de l'efficacité de cette technique sont le choix approprié de stimulus, la sélection de l'optimisation des mesures de test et l'isolement de défaut. La sélection d'un ensemble ou une série de mesure et de test qui peuvent être soit des points d'accès de test (nœuds internes ou externes du circuits) ou des fréquences de test, est primordiale dans cette technique.

Le nombre de mesures de test est choisi pour isoler le nombre maximal de défauts. Ce critère peut parfois augmenter la taille du dictionnaire, car le but recherché est de détecter la majorité des défauts, entraînant malheureusement un plus grand nombre de mesures prises. L'optimisation est dans ce cas faite pour supprimer les mesures qui sont redondantes ou qui n'aident pas à l'isolement de défaut. Le dictionnaire des défauts est construit pour les états nominaux et défectueux du circuit testé. Les mesures sont effectuées à différents nœuds de test, ou à un seul nœud de sortie pour différentes fréquences de test. L'optimisation consiste à réduire le nombre de mesures de test effectuées, sans compromettre la capacité de diagnostic des pannes du système. Ceci aide à réduire la taille du dictionnaire de fautes, économisant ainsi des ressources de mémoire importantes et augmentant la vitesse à laquelle l'isolement de faute peut avoir lieu. Enfin, l'isolement de défaut a lieu en comparant (ou en recherchant) les lectures des résultats de mesure réelles du circuit avec le contenu du dictionnaire.

1.3.1.2 l'approche statistique

Dans cette méthode, un grand nombre de simulations sont réalisées pour caractériser le réseau statistiquement et ainsi constituer une base de données ou un dictionnaire statistique exhaustif. Cela aide à arriver à la probabilité de fautes dans chaque composant du circuit.

Pendant la phase de test, le composant présentant la probabilité d'erreur la plus élevée est le composant défectueux le plus probable.

1.3.2 Simulation après test (SAT)

Dans cette approche, la simulation est effectuée au moment du test. Ceci est fait pour identifier les paramètres du réseau. Les mesures de tension et de courant du circuit sont prises et elles sont ensuite utilisées pour arriver aux valeurs du composant. Les éléments défectueux sont ensuite identifiés en déterminant les composants qui tombent à l'extérieur de la plage de

tolérance de conception. Ces méthodes sont appelées méthodes topologiques car elles supposent la connaissance de la topologie du circuit.

Comme on le voit dans la figure 1.1, les 3 méthodes principales de SAT sont:

1. technique d'identification des paramètres
2. technique de vérification des défauts
3. technique d'optimisation

1.3.2.1 Techniques d'identification des paramètres

Ces techniques fonctionnent sur la base que les variables indépendantes disponibles sont suffisantes pour identifier tous les paramètres du réseau. Et sont classées comme linéaires et non linéaires selon la nature des équations de diagnostic. Parmi les techniques linéaires, celles qui sont généralement utilisées sont la technique de transformation Star-Delta et la technique de simulation des composants. Pour les techniques non linéaires, les méthodes utilisées sont les tests DC, le test en domaine temporel, le test multifréquences, etc. En général, la technologie non linéaire fournit une solution unique alors que les équations linéaires de diagnostic donnent une solution globale unique.

1.3.2.2 Techniques de vérification des fautes

Si le nombre de mesures est limité, tous les paramètres ne peuvent pas être identifiés. Cette technique suppose que seuls quelques paramètres sont défectueux et que le reste des éléments du réseau sont dans leurs tolérances de conception et ne sont donc pas défectueux. Dans cette technique, la théorie des réseaux, la théorie mathématique et la théorie des graphes sont utilisées. Le processus utilisé dans cette technique considère que le circuit entier est divisé en deux groupes, nominativement le groupe 1 et le groupe 2. Ce regroupement se fait à chaque étape du test. Ici, l'un des groupes est supposé être constitué seulement de composants libres de défaut, tout comme l'autre groupe est composé de composants défectueux. Les mesures et les caractéristiques des composantes nominales du groupe 1 sont utilisées pour calculer les entrées et les sorties du groupe 2. Tous les composants du groupe 2 dont les paramètres d'entrée et de sortie sont compatibles avec ceux du groupe 1 sont déplacés vers le premier. Cette procédure est répétée jusqu'à ce qu'une vérification satisfaisante soit réalisée. D'autres techniques couramment utilisées sont énumérées comme technique de classement [4 - 6], nouvelle approche de décomposition [7 - 9], et technique liée à la faute [10 - 12].

1.3.2.3 Méthode d'optimisation

Ces techniques sont utilisées pour trouver les éléments défectueux les plus probables [13, 14]. Parmi les méthodes populaires utilisées, la technique d'approximation quadratique qui permet d'identifier les éléments qui présentent de grandes déviations au delà de leurs valeurs nominales : ces éléments sont considérés comme défectueux.

L'approche SAT est moins populaire car elle nécessite une analyse numérique complexe, pour simuler des défauts et en particulier les défauts durs. De plus, il est possible que l'analyse numérique soit très sensible aux fautes, même minimales, dans la modélisation. L'approche SAT a souvent besoin d'énormes quantités de calculs et de relations algébriques compliquées. L'approche SAT présente parfois un échec lorsque les variations des composants sont comptabilisées.

En général, dans les circuits analogiques, seuls les défauts simples sont considérés, car ils nécessitent une simulation minimale. La procédure de test requise pour ce cas de défauts est aussi simple. Un circuit est considéré défaillant même si un seul et unique composant est défectueux, alors une simulation de fautes multiples n'est pas dans l'urgence à être utilisée pour décider si un circuit est défectueux ou non. Dans certains cas, l'apparition simultanée de deux défauts ou plus peut avoir un effet complémentaire et leur considération n'est pas à négliger.

1.4 Diagnostic de défauts en analogique et en numérique

Les différences entre le diagnostic de fautes analogiques et numériques sont données ci-dessous [15]:

- Dans les circuits analogiques, la taille n'est pas un problème car le nombre de composants est relativement faible contrairement aux circuits numériques où le nombre de transistors est de dizaines de millions. Les entrées et sorties analogiques sont également petites.
- La modélisation est plus difficile dans les circuits analogiques que dans les circuits numériques. Il n'y a pas de modèle de défaut largement accepté dans les circuits analogiques comme les modèles de collage à un et collage à zéro dans les circuits numériques.
- Dans les systèmes analogiques, la gamme de signaux est infinie.
- Les plages de tolérance dépendent des variations de processus, du vieillissement et des inexactitudes de mesure.
- Le bruit doit être pris en compte dans le diagnostic des fautes analogiques.
- En présence des fautes multiples, les effets s'annulent parfois. Ainsi, tous ces défauts peuvent ne pas être réels.

- La décomposition des composants n'est pas possible dans les circuits analogiques.

À l'avenir, les tests analogiques doivent prendre en charge les coûts minimaux, minimiser la surface des puces et avoir une vitesse de fonctionnement plus rapide [16].

1.5 Problématique et objectif

L'objectif de ce travail est de proposer des méthodes d'optimisation du test des circuits analogiques. Ces méthodes doivent satisfaire les deux exigences primordiales :

1. la généralité : être applicable à tous les types de circuits quel que soit le nombre et la nature des tests ;
2. adaptabilité : travailler avec les données disponibles et pouvoir exploiter des données obtenues au cours du test.

1.6 Organisation de la thèse

Motivé par les problèmes de recherche précédemment discutés, cette thèse vise à analyser et à élucider les restrictions des méthodes existantes et de recommander de nouvelles méthodes de détection et de classification des fautes des circuits analogiques. Plus précisément, la thèse est organisée comme suit.

Dans le chapitre 2, l'état de l'art sur les différentes techniques de test relatives aux circuits analogiques et numériques est présenté. Parmi ces techniques, on cite comme exemple les approches fonctionnelles et structurelles sur lesquelles nous nous sommes inspirés pour introduire notre approche afin de ramener certaines réponses aux questions chaudes que font apparaître les difficultés dans le test des circuits analogiques.

Le chapitre 3, fait l'objet d'une présentation descriptive des différents types de défaillances qui peuvent affecter les circuits intégrés et en particulier celui des circuits analogiques. Cette étude servira sans doute à l'établissement d'un diagnostic des défauts basé sur le concept de la modélisation depuis le bas niveau d'abstraction des circuits analogiques jusqu'au niveau fonctionnel ou comportemental, tout en mettant l'accent sur le fond des problèmes que rencontrent les spécialistes dans le domaine du test des circuits analogiques.

Au chapitre 4, différentes techniques sont proposées pour détecter les défauts de composants dans les circuits intégrés analogiques et de maximaliser le taux de couverture des fautes. Ces techniques sont validées par applications sur différents circuits sous test pour les deux types de fautes (catastrophiques et paramétriques).

Le chapitre 5 concerne la classification des fautes des circuits analogiques en utilisant des algorithmes d'intelligence artificielle. Les limites des méthodes existantes de détection et de

classification des fautes sont expliquées. Les blocs de construction du classificateur neuro-flou multi-classes sont présentés (classificateur flou et classificateur de réseau neural). Ce dernier est proposé pour la détection et la classification des défauts dans les circuits analogiques. Le classificateur proposé est comparé à celui du réseau neuronal artificiel (ANN) et à ceux d'autres méthodes. La validation de ce classificateur a été faite sur trois circuits de tailles et structures différentes.

En fin le chapitre 6 clôture cette thèse par une conclusion qui parachèvera le travail entrepris. A travers celle ci on a précisé les points positifs qui en découlent suivis de conseils et de recommandations qu'il faut prendre en considération dans des futurs travaux de recherche.

1.7 Contributions

Cette thèse montre quelques contributions de recherches clés et des améliorations scientifiques sur les solutions existantes et qu'on énumère comme suit :

1. Tout d'abord, de nouvelles entrées ont été introduites aux classificateurs.
2. Un nouveau traitement pour les entrées du classificateur est présenté, qui au préalable commence par la considération d'un nombre considérable d'entrées et ensuite finit par réduire celui ci en employant des caractéristiques techniques de réduction des dimensions. Cette solution alternative permet d'économiser beaucoup de temps pour le développement des classificateurs.
3. Dans la méthode proposée, certains modèles de fautes sont utilisés, et par conséquent arrivent à détecter toutes les fautes possibles.
4. Enfin, un classificateur neuro-flou multi-classes est développé pour une discrimination entre plusieurs types de défauts et validé selon trois exemples de circuits sous test.

Chapitre 2

Etat de l'art du test des circuits intégrés

CHAPITRE 2

Etat de l'Art du test des circuits intégrés

2.1 Introduction

Les équipements électroniques englobant les circuits électroniques sont classés en circuits analogiques et numériques [17], [18]. Selon une statistique, près de 80% des circuits électroniques dans les équipements électroniques sont numériques, mais environ 80% des défauts se produisent principalement dans les parties analogiques. Les circuits numériques se composent généralement de composants d'une bibliothèque limitée à des modèles très simples. En comparant les circuits numériques et les circuits analogiques, le diagnostic des défauts des circuits numériques est plus facile que celui des circuits analogiques puisque les procédures de test pour le premier type de circuits sont bien définies et que le nombre limité de défauts tels que les défauts de type court-circuit, circuits ouverts et de collage sont connus et facile à traiter. Tandis que, dans les circuits analogiques, le diagnostic de défaut est très difficile en raison des caractéristiques de base des circuits analogiques tels que la non-linéarité et la tolérance des composants, les modèles de défauts inefficaces, les nœuds accessibles inadéquats et l'incertitude dans les mesureurs. Pour ces raisons, plus d'attention et d'efforts sont nécessaires pour le diagnostic de défaut des circuits analogiques.

Communément, les obstacles dans les circuits analogiques qui posent de grandes difficultés dans les stratégies de test se résument ainsi :

- 1) les informations dans le circuit analogique sont effectuées dans la forme du signal. La faible perturbation du signal peut affecter de façon significative la performance des circuits analogiques.

2) Du point de vue physique, les composants dans le circuit analogique sont communément non linéaires dans un large éventail de conditions de fonctionnement.

La validation des fautes dans les circuits analogiques linéaires et non linéaires est également problématique. Cela rend le diagnostic de défaut dans les circuits analogiques un problème ouvert et un grand domaine de recherche est émergé. L'approche de test dans le circuit analogique est généralement classée en deux types: test piloté par la spécification et test commandé par le défaut. Dans le premier type de test, la fonctionnalité du système est vérifiée et le circuit à tester doit satisfaire à l'exigence du système. Dans le test commandé par le défaut, l'intention première est de localiser les composants défectueux qui deviennent la principale raison de la défaillance du système. La détection automatique des pannes dépend des observations des réponses des circuits et des caractéristiques. Les méthodes pour le diagnostic de défaut sont généralement classées en deux catégories: simulation après test (SAT), simulation avant test (SBT) [19,20].

L'approche SBT est une sorte de processus de recherche, dans lequel la réponse de test attendue du circuit sous test est simulée. À la réception des données de test réelles par l'ingénieur de test, une comparaison des résultats de simulation du circuit sous les conditions de présence et d'absence de fautes est accomplie pour localiser les fautes dans les circuits. Les méthodes de l'approche SBT sont classées en deux types: les techniques de dictionnaire des fautes et les techniques statistiques [21].

La technique de dictionnaire de fautes: le dictionnaire de fautes est une liste de données émanant de la recherche qui consiste à l'investigation des cas défectueux et non défectueux du circuit sous test. La simulation de fautes a un rôle important dans la construction des dictionnaires. D'autres facteurs qui décident l'efficacité de cette approche sont : la sélection appropriée du stimulus, l'isolation de défaut et le choix de la mesure de test.

Dans l'approche SAT, la simulation du circuit est faite après avoir obtenu les données de test. Elle vise à modéliser le problème de diagnostic de défaut par une équation non-linéaire. Les variables et les paramètres des composants que régit cette équation sont déterminés à partir des données de test calculées. Ici, la simulation se déroule pendant les tests. L'identification de l'élément défectueux est obtenue en déterminant les composants dans les circuits dont les valeurs tombent en dehors de la tolérance de conception. La méthode SAT est également considérée comme une méthode topologique car elle présume les informations sur la topologie du circuit. Ici, les méthodes de simulation sont classées en trois types: méthode d'identification des paramètres, méthode de vérification des pannes et méthode d'approximation.

Chapitre 2 : Etat de l'art du test des circuits intégrés

Dans la technique d'identification des paramètres, la simulation de fautes est effectuée en fonction de l'hypothèse que les variables indépendantes existantes sont suffisantes pour trouver les paramètres du circuit entier. En se basant sur la nature de l'équation de diagnostic, cette technique est classifiée comme étant linéaire et non linéaire.

La technique de vérification des défauts, quant à elle, intervient lorsque le nombre de mesures dans le circuit est limité et que l'identification de tous les paramètres devient difficile. Avec cette technique il est supposé que peu de paramètres soient défectueux. Le reste des éléments dans les circuits sont considérés comme étant dans leur gamme de tolérance lors de conception, et ils sont donc considérés comme des éléments sans fautes.

La technique d'approximation est une technique qui vise à localiser les éléments défectueux d'une façon presque certaine. On dénombre peu de techniques de ce genre qui sont : la probabilité inverse, la technique d'approximation quadratique et les techniques d'approximation non réciproque.

L'approche SBT est populaire par rapport à l'approche SAT pour les raisons suivantes; dans celle ci, la simulation des fautes dures nécessite une analyse numérique complexe. L'erreur légère qu'elle soit dans la modélisation basée sur SAT induit une énorme variation dans l'analyse numérique. Le calcul et l'exigence d'une relation algébrique compliquée que requiert l'approche SAT constitue un fardeau dans ce type diagnostique. Lorsque les variations dans les composants sont comptabilisées pour la modélisation des défauts, l'approche SAT échoue.

La méthode de diagnostic SBT reste simple et facile à entreprendre par rapport à l'approche SAT, et elle présente un tas d'avantages dont on cite quelques uns :

- 1) Elle peut obtenir les paramètres de circuit dans plusieurs conditions de défauts, tandis que, dans l'approche SAT, la plupart des techniques assument seulement le paramètre défectueux sans considérer les paramètres entiers présents dans les circuits.
- 2) Dans l'approche SBT, les paramètres dans les circuits typiques dépendent de plus en plus de l'état de la faute.
- 3) La technique SBT est extrêmement efficace pour le test et diagnostic en ligne.
- 4) Les défauts anticipés et le circuit nominal sont simulés séparément, comblant ainsi la possibilité de détection des fautes.
- 5) Elle contribue à réduire le coût principal du processus de détection des fautes.
- 6) L'approche SBT a besoin plus de calcul avant la fonction de test.

2.2 Généralités

2.2.1 Définitions de la faute

Les définitions classiques de la faute sont:

- 1) Une faute est définie comme une déviation non autorisée d'au moins une propriété caractéristique ou un paramètre du système à partir de la condition acceptable/habituelle/standard [22].
- 2) La faute est toute agrégation d'éléments connexes qui forment ensemble une entité de complexité suffisante pour laquelle il est impossible de traiter tous les éléments au plus bas niveau de détail [18].
- 3) Une faute est un changement inattendu ou un dysfonctionnement dans un système, bien qu'il ne puisse pas entraîner une défaillance physique ou une panne [23].
- 4) Le terme «faute» ne peut se référer qu'à une déviation par rapport au modèle attendu du phénomène [24].
- 5) La faute est généralement définie comme le changement de la valeur nominale affectant sensiblement la performance du circuit menant à la défaillance du circuit [25].

Comme il n'existe pas de terminologie standard pour les termes utilisés dans le domaine du test analogique, et afin de faciliter la lecture de ce manuscrit, on donne ici quelques définitions de termes importants utilisés :

- **Défaut:** défaut physique qui affecte le layout d'un circuit.
- **Défaut de Spot (Spot defect):** représente le dépôt supplémentaire ou insuffisant d'un ou plusieurs matériaux sur le "wafer", ceci engendrera le défaut physique.
- **Faute:** modélisation d'un défaut physique dans le but de simuler l'effet de ce dernier sur le circuit.
- **Faute catastrophique:** modélisation électrique d'un défaut majeur comme un court-circuit ou un circuit ouvert entraînant le circuit vers le hors usage.
- **Faute paramétrique:** modélisation électrique des fluctuations de l'environnement de fabrication et des imperfections des paramètres du circuit qui engendrent des variations sur les sorties de celui-ci.
- **Test fonctionnel:** Vérification des spécifications du circuit. Le but du test fonctionnel est de vérifier le fonctionnement du circuit avant de l'envoyer en production. En général, on effectue le test fonctionnel sur les prototypes des circuits.

- **Test structurel:** Vérification des circuits dans la phase de production en grande série, ceci est aussi appelé test de production. Le but du test structurel est de détecter les défauts de fabrication qui peuvent affecter le routage de circuit (lay-out).
- **Diagnostic:** Détermination de la cause du dysfonctionnement d'un circuit.
- **Génération déterministe:** Utilisation d'algorithmes pour trouver des tests qui détectent des fautes données, de façon déterministe.
- **Optimisation d'un ensemble de tests:** Réduction du nombre de vecteurs de test d'un ensemble, tout en détectant les mêmes fautes que l'ensemble de départ. Le but de l'optimisation des tests est de réduire le temps nécessaire à l'application de l'ensemble des tests par des équipements de test très coûteux, et réduire ainsi le coût du test de production.
- **Taux de couverture:** Le rapport du nombre de fautes détectées par rapport au nombre de fautes globales. Le taux de couverture dépend du modèle de faute utilisé.

2.2.2 Types de fautes

Les fautes dans les circuits analogiques sont classées en fautes dures et fautes non sévères (soft faults). Les fautes dures, également connues sous le nom de fautes catastrophiques, provoquent un échec catastrophique du circuit. Le composant défectueux subissant ce genre de fautes peut être considéré comme par exemple court-circuité ou en circuit ouvert. Ce type de fautes peut également se produire en raison d'une grande variation dans le paramètre de conception des éléments de circuit. Les exemples des fautes dures dues à la variation des paramètres incluent la valeur du gain en courant (β) des transistors BJT et la longueur (L) et la largeur (w) du canal du transistor MOSFET. La cause majeure de la défaillance catastrophique est la déformation structurelle ou des paramètres extrêmes de la plage qui conduisent à la défaillance complète des circuits. La faute dure dans le circuit pourra être provoquée par des phénomènes de contamination de particules ou d'électro-migration se produisant dans les couches de conduction et de métallisation.

Les fautes non sévères (soft faults) sont également appelées les fautes paramétriques. La valeur de l'élément change ou dévie de sa valeur nominale sans dépasser les limites provoquant en conséquence une faute paramétrique. La performance du circuit est dégradée en raison de ce type de fautes. La déviation de la valeur nominale en dehors de la bande de tolérance prescrite est due au vieillissement du circuit, aux tolérances ou aux effets parasites dans les circuits.

2.2.3 Sources de fautes

Les sources des fautes dans les circuits électroniques sont les courts circuits, les circuits ouverts et les erreurs des composants, qui sont les plus fréquents dans les circuits intégrés (C.I.). Même si la taille du circuit est petite telle que celle des C.I. de type S.S.I (Small Scale Integration), le nombre de composants présents dans les circuits est important. Les modifications fortuites relatives à la connexion terminale des composants du circuit génèrent la faute de court circuit ou de circuit ouvert.

Le court-circuit est un type de défaut dur. Le défaut de court-circuit est dû à la liaison non désirée entre les bornes des composants dans le circuit. Il court-circuite efficacement les éléments particuliers du circuit. Par exemple, une résistance de 1Ω (ohm) liant deux points de connexion d'un composant du circuit est capable de simuler un défaut de court-circuit. La défaillance due à ce défaut entre les circuits du réseau de l'équipement électronique est l'une des principales sources de défaillance des circuits électroniques.

La faute du circuit ouvert est également une sorte de défauts durs qui entraîne un changement catastrophique du circuit. Ce genre de défauts se produit dans le circuit lorsque la borne de composant n'est nullement en contact avec d'autres parties du circuit. A titre d'exemple une borne de contact à la sortie de circuit résultera en une génération d'une résistance très élevée à l'apparition du défaut dans le circuit. Ce type de défaut causé au niveau de la borne de contact de la sortie du composant est également une des principales sources de défaillance dans les circuits électroniques. Physiquement ce genre de fautes ne peut être que le résultat d'une patte de composant en l'air ou une coupure de ligne de connexion ou une fissuration d'une jonction d'un transistor. En phase de conception fondée sur le processus de simulation, il est presque impossible de produire une coupure ou défaire une liaison entre deux points de contact au niveau du circuit; le simulateur impliqué dans ce processus le réfutera. La solution alternative que cet outil de conception peut admettre est de modéliser ce défaut électrique par une résistance de $1\text{ M}\Omega$ (Méga-ohm) ou plus au niveau de la rupture de la liaison des composants dans le circuit.

Fautes des composants: les composants présents dans les circuits électroniques peuvent également être une raison de défauts dans ces circuits. Si une résistance est défectueuse dans le circuit, le circuit global devient défectueux à cause de cette résistance. Un tel composant produit une erreur dans le fonctionnement des circuits. Dans les circuits électroniques, l'erreur de composant est également une source majeure de la faute : elle est appelée erreur du composant.

2.2.4 Simulation de fautes

Le but d'un simulateur de fautes est de déterminer les effets des défauts sur le comportement du circuit et d'évaluer la qualité des jeux de vecteurs de test en calculant le taux de couverture obtenu selon un modèle de faute donné. Les simulateurs de fautes pour les circuits numériques utilisent des techniques connues comme la simulation de fautes parallèles ou la simulation de fautes concurrentes qui exploitent le fait qu'on utilise des simulations logiques et que les différences entre le bon circuit et le circuit fautif sont minimales. Ces techniques permettent de réduire considérablement le temps nécessaire à la simulation de toutes les fautes. Malheureusement, ces techniques sont ou bien mal adaptées ou difficilement utilisables pour les circuits analogiques.

L'approche la plus utilisée pour la simulation de fautes des circuits analogiques est basée sur l'utilisation d'un simulateur pour les circuits analogiques comme SPICE, ELDO et CADENCE... etc. La méthode consiste à exécuter les étapes suivantes :

- Simulation du bon circuit
- Injection de faute dans le circuit
- Simulation du circuit fautif
- Comparaison des résultats des deux simulations

Les premiers simulateurs de fautes adoptant cette approche sont FSPICE [95] qui repose sur le simulateur du domaine public SPICE, et ANAFAULT [43] qui utilise le simulateur commercial ELDO de Mentor Graphics. Comme les simulateurs électriques de type SPICE sont très lents dans leur processus de calcul pour des circuits analogiques de plus en plus complexes dans leur structure, des simulateurs de fautes spécifiques ont été développés dans le but d'accélérer la simulation de fautes pour certaines classes de circuits.

2.3 Tâches des systèmes de diagnostic des fautes

Un système de diagnostic des fautes surveille et détecte les défauts et identifie leur emplacement dans les circuits analogiques ou autres qu'ils soient correctement conçu [23]. Un diagnostic peut prévenir les conséquences graves en raison de la propagation de l'effet de faute dans le circuit provenant de leur lieu de localité des étages antérieurs. Les principales fonctions des systèmes de diagnostic des fautes sont :

- ✓ **détection des fautes:** la tâche de détection des fautes est de découvrir le comportement anormal du circuit à cause de l'occurrence des défauts. Ceci est entrepris en comparant les réponses des circuits fautifs et les circuits libres de fautes.

- ✓ **isolement des défauts** l'isolement des fautes: l'isolation des fautes mappe la région physique du circuit où le défaut est détecté pour identifier le positionnement des composants défectueux dans le circuit.
- ✓ **identification des défauts** : les composants défectueux du circuit testé sont identifiés à l'aide de la tâche d'identification des défauts.
- ✓ **prédiction de défauts**: la tâche de prédiction surveille continuellement la réponse du circuit et prédit la variation de la performance du circuit. La variation de paramètre du circuit testé est également surveillée de façon non linéaire.
- ✓ **explication de défauts**: la tâche d'explication est la tâche de génération d'information concernant le défaut dans le circuit. Il facilite le test pour comprendre la relation entre le diagnostic actuel et les indications du circuit.
- ✓ **simulation de défauts**: dans la simulation de défaut, le défaut hypothétique dans le circuit est simulé en utilisant la sortie du modèle de faute de l'étape d'identification des fautes.

2.4 Les différents types de tests

- Test fonctionnel : vérification des spécifications du circuit.
- Test structurel : il permet de détecter les défauts de fabrication qui peuvent affecter le fonctionnement des circuits.
- Test paramétrique : il est utilisé pour vérifier si certains paramètres du circuit sous test sont dans la plage des valeurs requises.
- Test alternatif : test qui permet de calculer (ou prédire) les performances du circuit à partir de tests plus simples.
- Test statique : vérification des états stationnaires du système sous test.
- Test dynamique : vérification des caractéristiques dynamiques du système sous test.
- Test exhaustif : vérification de tous les modes d'opération pour tous les types de fautes.
- Test en ligne (test on-line) : le test est effectué pendant le fonctionnement normal du circuit.
- Test hors ligne (test off-line) : le test est effectué en mode test.
- Test concurrent : le test est effectué pendant l'opération.
- Test semi-concurrent : le test est effectué pendant l'opération mais aussi pendant le temps de repos.
- Test non-concurrent : le test est effectué hors-ligne.

- Test wafer : le test est effectué au niveau plaquettes (Wafer) pendant la fabrication des circuits intégrés.
- Test de production : test qui se fait durant la phase de production des circuits intégrés.
- Test sur puce (on-chip) : un test qui s'effectue dans la puce et à l'aide d'un ensemble de circuits qui se trouvent à l'intérieur de la même puce.
- Test in-field : un test qui s'effectue une fois la puce est dans son application finale.

2.4.1 Difficultés de test des circuits analogiques

Les propriétés naturelles des signaux analogiques et la complexité de test analogique sont considérés comme des facteurs les plus dominants en matière de difficultés rencontrées dans ce domaine. Beaucoup de choses ont été dites sur ce sujet et la bibliographie qui y est relative s'est richement étalée la dessus que nous nous sommes contraint d'en discuter ici que sur certaines difficultés majeures et qui se résument comme suit [26 - 29]:

- 1) les signaux analogiques sont le temps et l'amplitude continus dans la nature. Contrairement aux signaux numériques, qui ne sont représentés que par deux valeurs (basse et haute), les signaux analogiques sont représentés en principe par un nombre infini de valeurs qui présentent des informations de signal. Les signaux analogiques sont des formes d'onde très sensibles, même une petite perturbation au niveau des magnitudes de signal peut causer une grave dégradation de la qualité du signal.
- 2) Les circuits analogiques sont des dispositifs électriques intrinsèquement non linéaires. L'utilisateur suppose que le circuit non linéaire peut disposer de région de son espace d'entrée qu'il lui permet de fonctionner linéairement. En outre, les caractéristiques entrées/sorties non linéaires des circuits analogiques nécessitent des techniques sophistiquées pour résoudre les équations non linéaires qui décrivent le comportement du circuit telles que par exemple, des méthodes itératives de résolution d'équations non linéaires d'une analyse transitoire dans les circuits analogiques.
- 3) La relation entre l'entrée et la sortie dans les circuits analogiques est très compliquée par rapport à celle des circuits numériques qui peut être décrite par la table de vérité ou des équations booléennes, et qui par conséquent est simplifiée et facile à modéliser.
- 4) Les circuits analogiques peuvent être décrits dans plusieurs domaines tels que les domaines de fréquence et de temps. Chacun de ces domaines présente ses propres spécifications et méthodologies pour décrire les circuits analogiques.
- 5) Dans les circuits numériques, seules quelques spécifications doivent être mesurées (temps de montée, temps de descente, temps de retard, tension de seuil logique, etc.).

Ces spécifications sont généralement les mêmes pour tous les circuits numériques et indépendantes des applications. En revanche, les circuits analogiques et mixtes comprennent plusieurs types de classes ou de modèles, par exemple les filtres, les amplificateurs opérationnels, les convertisseurs A/D et D/A, les boucles à verrouillage de phase, etc. Chaque classe de circuit a en prévision un ensemble séparé de caractéristiques différentes qui la distingue des autres classes. En outre, ces spécifications dépendent aussi d'une application particulière, où un même circuit y est impliqué. Ainsi, la vérification des paramètres liés à ces spécifications peut généralement être coûteuse et longue.

- 6) Les valeurs des éléments de circuit varient considérablement, ce qui est dû aux variations du procédé de fabrication. Par conséquent, la fonctionnalité du circuit dépend de ces variations, et le circuit analogique est conçu pour dépendre de la gamme des valeurs d'élément en rapport avec ces paires dans le circuit plutôt que des ces valeurs en tant que composant individuel. La gamme acceptable de valeurs d'élément et de fonctionnalité de circuit, appelée tolérance, dépend de plusieurs facteurs telles que les applications prévues, les inexactitudes de simulation et les erreurs de la mesure.
- 7) La complexité du modèle de fautes dans les circuits analogiques et mixtes est différente de celle des circuits numériques. Dans les circuits numériques, le modèle de « collage à la faute » est largement utilisé au niveau de la porte logique [30]. En revanche, dans les circuits analogiques, des modèles de défauts analogiques précis ne sont pas toujours disponibles et s'ils le sont restent confinés à l'échelle micrométrique (niveau de jonctions) ou à la limite à celui de composants primitif (transistor, diode etc). Par ailleurs, la description du circuit sain ou défectueux pour tout type de défauts à des niveaux plus élevés comportementaux ou fonctionnels qu'ils soient par un modèle à l'échelle macro (macro-modèle) est devenue une nécessité. Seulement cette tâche est très compliquée à mettre en œuvre et reste encore un défi dans le test de circuits analogiques. Plusieurs modèles de fautes à différents niveaux d'abstraction sont proposés. En outre, les méthodes de probabilité ne sont souvent pas efficaces parce que les distributions statistiques des défauts analogiques, généralement, ne sont pas connues avec suffisamment de précision pour prédire d'une façon précise la couverture de défaut d'un ensemble de test.
- 8) Comme la technologie est restreinte dans son développement concernant la cohabitation entre deux environnements différents ou les circuits analogiques et numériques coexistent sur une seule puce (System-on-a-Chip), l'accessibilité aux nœuds

de circuit (broches des circuits intégrés) est réduite. Donc la contrôlabilité et l'observabilité des nœuds de circuit sont réduites. Cette croissance de l'intégration exige des techniques de modification de la conception telles que la conception pour la testabilité (Design For Test DFT) et l'autotest intégré (Built In Self Test : BIST) pour assurer une plus grande testabilité des circuits analogiques.

- 9) Les méthodologies DFT et de génération de test automatique (ATPG) standard aux signaux mixtes ne sont pas disponibles. Chaque entreprise de l'industrie des circuits intégrés (C.I.) possède ses propres méthodes d'accès aux nœuds de test et de génération de signaux de test. L'absence de normes conduit à un long cycle de conception, long temps de développement de test, et l'augmentation du temps au marché (time to market).
- 10) il n'y a pas d'accord général dans la communauté de conception analogique entre les niveaux d'abstraction réelle et la hiérarchie à utiliser dans l'automatisation de ce type de conception
- 11) en plus des problèmes mentionnés ci-dessus, il y a d'autres problèmes dans le test de circuits analogiques et mixtes tels que les erreurs de mesure, les effets sonores aléatoires, l'effet de la charge de la sonde de mesures, et les conditions ambiantes comme la température.

L'importance de chacune de ces difficultés n'est pas la même et varie d'un type de test à un autre. La diversité des spécifications de caractérisation d'un circuit analogique et l'absence de modèles de défaut sont considérées comme des questions les plus critiques. Toutes ces difficultés font de l'automatisation du processus de test analogique une tâche très compliquée. Ceci explique également pourquoi de nos jours le test analogique est loin derrière son homologue numérique. En outre, ces difficultés conduisent à la nécessité de produire des équipements d'essai analogiques très coûteux pour obtenir des mesures précises du signal.

2.4.2 Génération de test

Le test est une procédure de détection et / ou de localisation des fautes. Les tests sont divisés en deux catégories : les tests de détection de fautes et les tests de diagnostics. La première catégorie nous renseigne sur la présence ou l'absence de fautes mais elle ne fournit aucune information sur l'identité de la faute et de sa localisation. Un test de diagnostic, quant à lui, détermine la position de la faute, les types de fautes et il peut même fournir d'autres informations, tels que la nature de défauts, les stimuli de leur détection etc.... Le processus de génération de test comporte le modèle de faute, la génération de vecteurs de test, la simulation de faute, l'évaluation de la couverture de faute, et l'élaboration du dictionnaire de faute.

Chapitre 2 : Etat de l'art du test des circuits intégrés

La première étape de ce processus de génération de fautes consiste à développer un dictionnaire de faute pour le circuit à tester, c'est à dire modéliser les fautes et réduire leurs nombres en termes de relation d'équivalence entre elles. Souvent le modèle de collage à une faute singulière / prise individuellement est adopté puis le dictionnaire de faute est généré directement à partir de la description du circuit logique tout en arrangeant les fautes pour chaque porte, sous une forme tabulaire.

Les vecteurs de test sont alors générés pour vérifier l'ensemble de fautes listées dans ce dictionnaire. Ces vecteurs sont alors simulés pour les circuits en mauvais fonctionnement puis mentionnés et contenus dans cette liste de fautes et enfin la couverture de ces dernières est évaluée à partir des résultats de la simulation de fautes. Si cette couverture de fautes est inadéquate, alors le processus de génération de vecteurs de test et de simulation de fautes est répétée pour les fautes non testées jusqu'à l'obtention d'une meilleure détection. Finalement, le dictionnaire de fautes est complété par la spécification d'information suffisante pour la détection et la localisation de fautes. Pour des circuits de petite taille ou faible intégration (small scale integration S.S.I.), la procédure de test peut se faire manuellement sans aucune difficulté. Seulement, la croissance en complexité des circuits électroniques et leur intégration à des échelles très élevées sur une même puce de silicium (Les circuits LSI, VLSI) a rendu cette tâche très délicate et très exhaustive. En conséquence, beaucoup d'information nécessite d'être collecté dans cette phase de test et une forte consommation de temps en suit. Ceci conduira effectivement à une hausse vertigineuse du coût du test. L'introduction de l'outil informatique dans ce domaine de test est d'un apport fort appréciable quant à la rapidité, la préservation de l'information et la réduction du coût du processus du test. Ceci est devenu alors totalement automatisé.

Ces phases sont alors assurées par cet outil informatique et consistent à la génération des vecteurs de test, la description du bon circuit, la simulation et modélisation des défauts possibles pouvant affecter ce circuit, le diagnostic etc. . Toutes ses fonctions ainsi réunies constituant ce qu'on appelle "Le processus automatique de génération de modèle de test", ATPG (Automatic Test Pattern Generation).

2.4.3 Classification des tests

La préparation des tests des systèmes électroniques nécessite la description des circuits à tester, et à minimiser la liste et les caractéristiques des outils élémentaires. A partir de là, on peut répartir les tests en deux grandes catégories :

a- Le test analogique: test qui concerne tout les circuits construits de composants aussi bien passifs que actifs réunis de façon à accomplir des fonctions analogiques.

b - Le test numérique: test qui concerne les circuits digitaux et numériques (portes logique, circuits microprocesseurs, PIC, mémoires) et qui sont conçus à produire des fonctions logiques et séquentielles.

2.4.4 Couverture d'un test

Cette phase de test est en général conçue des programmes de génération de tests fournissant une séquence de vecteurs capables de détecter un ensemble connu de défauts ; il peut arriver qu'un programme n'arrive pas à trouver de vecteurs capables de détecter des défauts présumés du circuit. L'exhaustivité des tests est alors dite inférieure a 100 %. Sa valeur est égale au rapport donné par l'équation (2-1) [31].

$$N = \frac{\text{nombre de fautes détectées}}{\text{nombre total de fautes}} \quad (2-1)$$

Dans certains, cas il peut être nécessaire de mesurer l'exhaustivité des vecteurs de tests parce qu'ils ont été créés manuellement par les concepteurs pour une vérification fonctionnelle ou pour améliorer la qualité du test généré. Le calcul de l'exhaustivité est accompli par emploi d'un simulateur de fautes utilisant un algorithme concurrent qui détermine le nombre de fautes détectables par l'ensemble de vecteurs de tests disponibles.

2.4.5 Qualité des tests

Le niveau de confiance d'un test dépend de la qualité du test qui a été appliqué, l'idéal est de 100%. Compte tenu de la complexité de certains tests, l'objectif fixé sur le plan de test est légèrement en deçà de ce pourcentage; c'est un compromis entre le coût de génération et d'application du test et le coût résultant de la limitation de l'exhaustivité du test.

2.4.6 Testabilité

La notion de Testabilité est définie comme étant un moyen de mesure de l'efficacité de test de circuit défectueux, c'est-à-dire un moyen qui parvient à détecter et à localiser l'origine de la panne au sein du circuit. [31, 32]

Pour faciliter le test, il existe plusieurs paramètres à définir mais on ne cite que les plus importants à savoir la contrôlabilité et l'observabilité des nœuds.

a) **La contrôlabilité:** C'est l'aptitude de contrôler la défaillance au niveau d'un nœud à partir de ses entrées primaires.

b) **L'observabilité:** C'est l'aptitude de faire propager la valeur d'un nœud défectueux sur une sortie primaire.

Ces deux aptitudes sont alors mesurées en respectant les deux règles de testabilités suivantes:

➤ **Règles globales de testabilité**

- Utiliser la hiérarchie du circuit.
- Partitionner le circuit en unités testables homogènes par exemple PLA (Programmable Logic array), mémoire, logique combinatoire pure.

➤ **Règles locales de testabilité**

- Bloquer toutes sources d'horloge locale.
- Décomposer en sous-ensembles séquentiels qui ne nécessitent pas de longues séquences d'initialisation.
- Se ramener, dans la mesure du possible, à des ensembles combinatoires pour les circuits logiques.

2-5 Modélisation des fautes analogiques

Pour générer des vecteurs de test dans un ensemble électronique, il est nécessaire de modéliser les défauts les plus probables, c'est à dire de leur faire correspondre des types de défauts théoriques produisant les même anomalies de fonctionnement du circuit que les défauts réels.

Les modèles sont des représentations des défauts physiques qui peuvent être détectés dans un composant quelconque. Ils peuvent prouver et déterminer la qualité des ensembles électroniques sous test et les faire comparaître aux modèles originaux, nous permet d'évaluer quelques spécifications concernant leur comportement avant et durant le test, pendant leur bon ou mauvais fonctionnement. De cette façon le test devient plus simple et moins compliqué surtout du coté analogique des circuits.

Pour avoir des modèles de défauts, précis sinon parfait, le simulateur nous offre toutes les possibilités, afin de récolter le maximum de modèles. Le court circuit et circuit ouvert sont présentés respectivement par des résistances très petites et par des résistances de valeurs infinies. Les modèles logiques ont été aussi employés dans les circuits analogiques dans le but d'apporter un plus à la testabilité.

La modélisation des défauts en analogiques peut s'effectuer à différents niveaux d'abstraction [34]:

- a) **Niveau des composants** : il s'agit des modifications des paramètres de ces éléments (valeur de la résistance, de la capacité, tension de seuil d'une diode le gain en courant du transistor etc....) ou injection des courts circuits ou des circuits ouverts aux bornes des ces éléments.
- b) **Niveau comportemental ou fonctionnel** : il s'agit de développement de modèle représentant la fonction ou le comportement du circuit sous une faute particulière. Le circuit est considéré comme une boîte noire et seuls les signaux d'entrées et de sorties sont mesurables et permettent l'élaboration de modèle de fautes. L'avantage de celui-ci réside en sa simplicité et augmente d'une façon conséquente la vitesse de simulation s'il fait usage d'un simulateur approprié. Seulement ce modèle peut ne pas avoir aucune ressemblance avec le circuit original et entraîne une déperdition de précision sur les résultats de la simulation. Plusieurs techniques de modélisations basées sur des approches mathématiques ou autres sont employées à cet effet et dont certaines sont données au chapitre 3.

2.6 La simulation des fautes analogiques

La simulation des fautes est considérée comme un outil nécessaire dans tout processus de génération de vecteur de test dont l'objectif convoité est l'amélioration de la qualité de test. Celle sera concrétisée par la qualité du jeux des stimulus assurant un taux de couverture de fautes maximal en se servant de modèles logiques ou électriques de fautes tels que le collage à 1 ou à 0 pour les circuits numériques ou le court circuit / le circuit ouvert pour les circuits analogiques. Par ailleurs, il constitue un apport fort appréciable pour le diagnostic des défauts de circuits à travers les techniques de localisation et d'isolation basées sur les résultats de la simulation des fautes.

La simulation de fautes analogique peut s'effectuer selon différents modes d'opération et selon le besoin d'évaluation de la couverture de fautes et de l'efficacité de l'ensemble des signaux en regimes continu (DC) ou alternatifs (AC) employés dans le test. On envisage ici les différents types de simulation de fautes analogiques et leur degré d'importance dans le test:

- simulation des fautes en mode DC pour les circuits non linéaires.
- Simulation de fautes en régime AC pour les circuits linéaire;
- Simulation de fautes en mode transitoire ou temporel.

Chapitre 2 : Etat de l'art du test des circuits intégrés

Le mode DC doit être considéré en premier dans un processus de test [35] car il est simple à développer et que les deux autres modes (AC et transitoire) ne seront introduits que lorsque le premier type de test échoue car ils sont plus difficiles à générer et plus coûteux à appliquer.

Tout comme il existe toute une classe de simulateurs permettant de prédire la réponse à la sortie d'un circuit exempté de défaillance. Il existe aussi une autre classe de simulateurs appelée classe de simulateurs de fautes dont le rôle de ces derniers est de prédire le comportement d'un tel circuit fonctionnant sous condition de défaillance. L'injection de celle-ci est rendue possible grâce à l'option d'insertion de modèle de faute que peut fournir un de ces outils informatiques (softwares).

En numérique, la simulation de faute fut démarrée par implémentation dans le simulateur à valeur réelle l'habilité de maintenir la sortie d'un circuit logique à un état logique constant (0 ou 1) afin de simuler le collage à 1 ou à 0. Après application du chaque vecteur de test, la réponse augurée du circuit fautif sera comparée avec la réponse de référence (du circuit libre de fautes) et en cas de différence flagrant ce stimulus est efficient pour la détection de cette faute. Seulement, la complexité croissante des circuits a rendu cette technique fastidieuse car elle devient consommatrice de temps.

Afin d'apaiser la gravité de ce problème plusieurs techniques ont été développés entraînant soit une simulation parallèle ou une simulation déductive ou une simulation concurrente. Ces types de simulations peuvent se définir comme suit:

a) Simulation parallèle : il s'agit d'une simulation de N copies d'un même circuit dont une copie (copie de référence) est sans défaut et N-1 sont affectées de défauts [37]. Le nombre de circuits défaillants à simuler en parallèle dépend de la longueur de la séquence binaire ou chaque bit permet d'identifier une faute particulière dans le circuit. En conséquence, s'il y a M fautes à simuler, le nombre de simulation à exécuter par vecteur de test sera de $M/(N-1)$. Ce nombre pourra être réduit d'avantage si les fautes indépendantes sont simulées ensemble. De même pour les circuits disposant d'un certains nombre de sortie P et ayant le même nombre de fautes à simuler, le nombre de simulation à effectuer passera à $M/((N-1) \cdot P)$.

b) Simulation déductive: dans ce type de simulation, les copies de circuits fautifs se déduisent à partir de la copie de circuit sans faute au niveau des nœuds internes ou les sorties primaires du circuit.

Puisque toutes les fautes sont détectables simultanément, il est alors nécessaire de procéder à une seule simulation par vecteur de test ce qui est contraire à la simulation précédente où $M/(N-1)$ simulations sont indispensables. En général, bien que le temps nécessaire pour une seule simulation déductive est supérieure à celui d'une seule simulation de la méthode

parallèle, il est inférieur à celui nécessaire pour $M/(N-1)$ de simulations exécutées. Seulement cette méthode de simulation déductive exige beaucoup de mémoire de locations des résultats de ce processus et de taille des listes de fautes qui varie d'un type de circuit à un autre [38].

c) Simulation concurrente: ce genre de technique est une combinaison des deux précédentes. Seulement, ce processus de simulation concerne les circuits fautifs qui présentent des valeurs de sortie différentes de celle du circuit sans défaut. Quoique cette technique exige plus d'espace mémoire que le requiert la simulation déductive, elle reste une technique rapide [39]. Ces techniques ont incontestablement prouvé leur efficacité de réduire le temps de simulation seulement elles restent difficilement accessibles par les circuits analogiques [40].

Dans le domaine de l'analogique, il existe peu de simulateurs permettant la prise en charge de fautes et qui sont FSIM, ANAFAULT [41]. Ces simulateurs emploient la même approche, que celle utilisé par SPICE, ELDO tous deux simulateurs électriques incorporant plusieurs options qui permettent la simulation des fautes à un niveau bas d'abstraction. La méthode s'effectue traditionnellement selon la démarche suivante :

- 1 - Simulation du circuit sain (en absence de défaut).
- 2 - Injection de faute à partir d'une liste préétablie dans le circuit.
- 3 - Simulation du circuit fautif pour un ensemble de vecteurs de test
- 4 - Comparaison des résultats obtenus dans les étapes 1 et 3 et découvrir les fautes détectables
- 5 - Recherche des bons stimuli mais au nombre restreint et pourvoyant le maximum de fautes possibles.

Cependant ce genre de simulateurs est caractérisé par la lenteur d'exécution d'une part et d'autre part la complexité des circuits croissante à cause de moyenne et haute échelle d'intégration des composants sur une même puce de silicium (circuits de type MSI et LSI etc...) rendant la simulation de ces fautes très coûteuse en temps CPU. Outre le problème de taille de circuits, la prise en compte des dispersions technologiques des paramètres et de la capacité de simuler en mode DC, AC et transitoires sont devenues des points gênants pour l'optimisation du processus de simulation des fautes analogiques. Dans de nombreux travaux de recherche, des techniques de simulations de fautes émergentes ont été proposées dans le but d'une optimisation du temps de simulation pour certaines classes de circuit [3] et selon différents aspects dont on citera quelques uns à travers les sections des chapitres qui viennent.

2.7 Conclusion

Dans ce chapitre, nous avons fait un tour d'horizon dans le domaine du test des circuits intégrés et principalement des circuits analogiques. Dans la première section de ce chapitre, nous avons introduit quelques définitions des termes importants employés dans ce domaine pour faciliter la compréhension de cette thèse et de s'y impliquer.

Les méthodes pour le diagnostic de défaut sont présentées par la suite, et qui généralement ces méthodes sont réparties en deux classes: simulation après test (SAT) et simulation avant test (SBT).

Ensuite nous avons détaillé les difficultés fréquentes dans les stratégies de test des circuits intégrés et précisément dans les circuits analogiques. Dans ce cas, nous avons distingué deux catégories de fautes : les fautes paramétriques et les fautes catastrophiques. Finalement, nous avons envisagé les différents types de simulation de fautes analogiques et leur degré d'importance dans le test.

Chapitre 3

Modélisation des défauts dans les circuits intégrés

CHAPITRE 3

Modélisation des défauts dans les circuits intégrés

3.1. Introduction

Le flot de développement et de fabrication a un impact sur la qualité et la fiabilité finale d'un produit. Les raisons pour lesquels un circuit peut être défaillant sont de deux origines selon qu'elles sont liées à la conception ou à la fabrication. Réaliser un produit de qualité requiert donc une coopération étroite entre les trois aspects que sont la conception, le test et le processus de fabrication. Les différentes interactions entre ces trois domaines sont représentées à la figure 3-1.

Certaines de ces interactions sont évidentes et clairement admises comme par exemple les règles de conception ou règles de dessin qui contraignent la conception pour satisfaire le processus de fabrication. D'autres interactions commencent à être admises voire appliquées comme par exemple :

- ✓ La conception en vue du test.
- ✓ Le test orienté défaut qui consiste à utiliser les données et statistiques en provenance des chaînes de fabrication pour orienter les efforts de test [33].

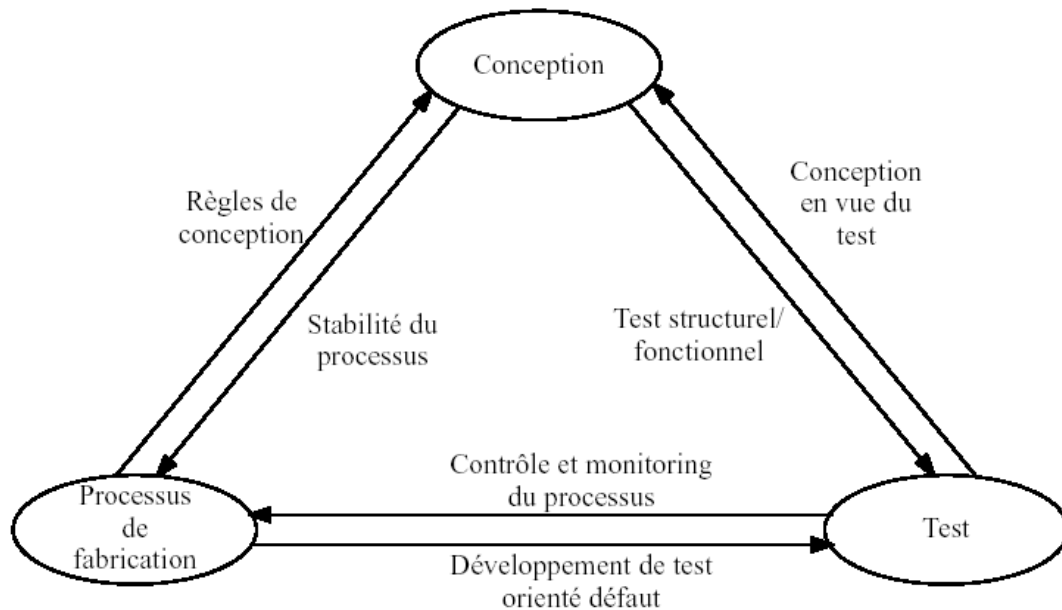


Figure.3-1 : interaction entre conception, test et processus de fabrication en vue d'une production de qualité.

Une défaillance du système survient lorsque le service délivré dévie des conditions établies dans la spécification, qui est une description agréée du service attendu. Une erreur est un état, par rapport au processus de traitement, susceptible de conduire à une défaillance. Une faute est la cause supposée ou adjugée d'une erreur [42].

Une erreur est donc la manifestation d'une faute dans le système, alors qu'une défaillance est la manifestation d'une erreur sur le service délivré par le système.

Une erreur peut être le résultat de:

- ✓ L'activation d'une faute interne au système, préalablement figée qui peut provenir :
- ✓ Une défaillance physique d'un composant matériel vu alors comme un système : on parle alors de faute physique.
- ✓ Une faute de conception affectant le logiciel ou le matériel ; le terme "conception" doit être pris ici au sens large, depuis l'expression des besoins du système jusqu'à sa réalisation, tant au cours de la production initiale du système que lors de modifications ultérieures.
- ✓ La présence d'une faute externe, qui peut être soit relative à l'environnement physique du système, soit à une faute humaine d'interaction ; il y a alors génération d'une erreur.

L'obtention d'un système Logiciel/Matériel garant de son fonctionnement passe par l'utilisation combinée d'un ensemble de méthodes que l'on peut classer comme suit [42] :

- **Prévention des fautes** : comment empêcher, par construction, l'occurrence ou l'introduction de fautes.
- **Tolérance aux fautes** : comment fournir, par redondance, un service conforme à la spécification en dépit des fautes.
- **Élimination des fautes** : comment minimiser, par vérification, la présence de fautes
- conséquences de fautes.

3.2 Sources de défauts dans les circuits intégrés

3.2.1 Les erreurs de conception

L'augmentation de complexité des circuits rend de plus en plus difficile la vérification de l'implémentation convenable des spécifications à haut niveau de la conception. Des validations à tous les niveaux de cette dernière peuvent faciliter cette vérification. Celles-ci sont en général faites par simulation voire quelquefois par preuve formelle et sont très consommatrices de temps. Elles sont de plus incomplètes car elles ne peuvent pas être exhaustives pour des raisons économiques (temps de simulation trop importants) mais aussi pour des raisons techniques (paramètres environnementaux trop importants). Les erreurs de conception sont mises en évidence pendant la phase de caractérisation du produit, et elles sont résolues par une ré-conception adéquate. Bien que parfois mise en évidence par des procédures de test, elles ne constituent pas la cible et l'objectif des techniques et méthodes étalées dans ce document [33].

3.2.2. Les défauts de fabrication

Quelles que soient les qualités du processus de validation et donc du niveau de confiance et du crédit à apporter à la conception vis à vis des spécifications, il reste néanmoins que les défauts de fabrication peuvent apparaître à n'importe quelles étapes de la production. Ils doivent donc être pris en compte :

- En essayant de les minimiser le plus possible par une amélioration du rendement de production.
- lors de l'élaboration de techniques de test pour le circuit.

A travers la section suivante, on donnera un bref aperçu des différents mécanismes qui mènent à l'occurrence de ces défauts de fabrication.

3.3 Défaillances physiques et défauts de fabrication

Le but du test tel qu'il a été précisé en introduction est de déterminer les circuits défaillants du fait de la présence d'un ou plusieurs défauts (ou défaillances) physiques. Il paraîtrait donc naturel de s'intéresser tout d'abord aux différents types de défaillances pouvant affecter un circuit [36].

Malheureusement, il n'existe pas d'ensemble cohérent de types de défaillances permettant de couvrir tous les défauts pouvant apparaître dans les différentes technologies utilisées pour la réalisation des circuits. Chacune de ces technologies présentant des modes de défaillance bien particuliers. Une étude complète et détaillée de différents types de défauts physiques pouvant affectés un circuit intégré fait donc l'objectif particulier de cette thèse. Par ailleurs, afin de cerner ce problème, nous dirons quelques mots sur les différents types de défauts pouvant affecter les circuits intégrés et plus particulièrement ceux réalisés en technologies MOS.

3.3.1 Mécanismes de défaillance

Les mécanismes de défaillance les plus importants conduisant à l'apparition de défauts sont :

a) Défauts des tranches

Malgré les considérables progrès réalisés dans la fabrication des tranches, les contaminations et les micros cracks ne peuvent pas être complètement éliminés. Ils induisent naturellement le dysfonctionnement des éléments se trouvant dans la zone affectée.

b) Facteurs humains

L'interaction de l'homme avec le processus de fabrication constitue depuis toujours une importante cause de défauts. La pollution de l'air par les opérateurs constitue naturellement un des facteurs les plus graves. Mais des facteurs comme une manutention maladroite, l'oubli ou voire la duplication d'étapes ne manquent pas d'importance. On cherche à réduire ces facteurs par une automatisation et une robotisation de plus en plus poussées en particulier pour les chaînes de très forte production.

b) Pannes d'équipement

C'est une des sources principales de défauts dans les unités de production moderne. L'impact de ces défaillances d'équipement peut être minimisé par l'application de maintenance préventive sur les équipements sujets à défaillance. L'intervalle entre

maintenances provient naturellement d'un compromis effectué entre le coût de la maintenance et le coût induit par une défaillance de l'équipement concerné.

c) Impact de l'environnement

Durant quasiment tout le processus de fabrication, les tranches de silicium sont en contact avec l'air à l'intérieur de l'unité de production. Toute pollution de cet air par des particules de dimensions supérieures aux dimensions minimales du processus peut conduire à des problèmes si elle vient à se déposer sur cette tranche là. Malgré les sommes d'argent considérables affectées au filtrage et à la dépollution de cet air, la présence de source de particules polluantes à l'intérieur même de la zone de production reste préoccupante ce qui va être d'avantage pour les chercheurs à trouver des moyens adéquats pour pouvoir éliminer toutes ces particules . Il s'avère donc nécessaire de tester chacun des circuits produits afin de s'assurer de son bon fonctionnement.

d) Instabilité du processus de fabrication

Ce type d'instabilités est dû à des conditions de fabrication très critiques et particulières dont nous citeront par exemple, la température dans un four d'oxydation ou encore les turbulences dans le flot des gaz utilisés pour la déposition dans les techniques de CVD (Chemical Vapor Deposition) [46].

3.3.2 Classification des fautes

Une faute peut être définie comme un effet d'un défaut sur les caractéristiques électriques d'un circuit intégré s'éloignant du comportement spécifié. Les sources de fautes dans les circuits analogiques (processus de perturbation) sont soit des défauts globaux soit des défauts locaux [43].

a) Défauts globaux

Ces défauts incluent une imperfection dans les paramètres de contrôle durant la fabrication des circuits intégrés, instabilités des conditions du processus, instabilités du matériau, inhomogénéité du substrat et mauvais alignements des masques. Des défauts pareils affectent toutes les puces sur la plaquette de silicium approximativement de la même manière.

Des exemples typiques [36] de défauts globaux sont le mauvais alignement de masques, le mauvais dimensionnement (largeur) des interconnexions ou encore des problèmes d'implantation affectant les paramètres des transistors (tension de seuil). Ces types de défauts sont en général détectés par contrôle (monitoring) de paramètres au niveau de quelques emplacements de la tranche du silicium [33].

Chapitre 3 : Modélisation des défauts dans les circuits intégrés

L'occurrence de défauts globaux dans une ligne de production peut s'avérer extrêmement coûteuse en particulier pour des lignes de fabrication à grand volume. Pour éviter ce genre de problèmes, la qualité du processus de fabrication est surveillée (monitoring process) soit directement ou indirectement. La surveillance directe s'effectue par l'intermédiaire de modules de test spécialement conçus qui sont connus sous le terme PCM (Process Control Monitoring). Ces PCM contiennent des structures de base telles que transistors, connexions de matériaux conducteurs ou encore chaîne de contacts (vias). En général, chaque tranche produite contient environ de cinq PCM répartis de manière à couvrir toute la surface de la tranche d'une façon meilleure.

b) Défauts locaux:

Ce genre de défauts se manifeste comme des souillures, des trous dans l'oxyde, absence de contacts etc..., et proviennent habituellement des particules durant le processus de fabrication et modifient un système particulier ou bien une très petite partie d'une puce [36]. Les défauts locaux n'affectent que de faibles zones des circuits, et comme exemple typique nous citons le cas des particules de poussière. Ces défauts peuvent naturellement affectés plus d'un circuit sur la tranche, et chacun de ces derniers devra donc être testé pour s'assurer de son bon fonctionnement.

Lors de la production de circuits de haute qualité, certaines tranches contenant le moins de défauts possibles sont présentées au client avec une certaine spécification de la qualité précisée en terme de nombre de particules dont la taille dépasse un seuil donné, celui-ci peut être vérifié en utilisant des techniques d'inspection à laser ou des microscopes à balayage électronique (SEM "Scanning Electron Microscope"). Si le nombre est supérieur à la valeur attendue, soit le fournisseur n'a pas tenu ses engagements soit le processus de nettoyage en surface des tranches est insuffisant, il convient alors de l'améliorer. Dans le cas des technologies CMOS récemment utilisées, il s'avère qu'une très large majorité des défauts locaux induits par le processus de fabrication sont des défauts d'oxyde de grille et des défauts dans les couches d'interconnexions. Afin d'effectuer un "monitoring" de tels défauts, deux approches sont envisageables [36].

✓ Le monitoring en ligne: c'est une approche de test implémentée sous forme de module de surveillance externe ou interne (intégré) se substituant à l'opérateur humain. Il est d'un grand usage dans des circuits très complexes ou des systèmes mixtes et embarqués. L'objectif ciblé est de détecter les fautes opérationnelles dès qu'elles apparaissent en cours d'exploitation de ces systèmes. Ce module exécute des tâches de diagnostic qui, à

Chapitre 3 : Modélisation des défauts dans les circuits intégrés

L'apparition d'une défaillance, commence par la détection du défaut, sa localisation et se termine dans certains cas par une application critique définie par une auto-reconfiguration de la partie défectueuse permettant ainsi au système de poursuivre sa mission.

- ✓ Le monitoring hors ligne des défauts: cette opération consiste à éliminer de façon simple et efficace tout circuit défectueux dont les défauts sont révélés par l'application d'une séquence de détection. Il permet de préciser les raisons d'un dysfonctionnement du circuit durant les phases de fabrication ou à la sortie de la chaîne de production. Il peut être utilisé en complément au premier type de test puisqu'il permet de fournir des interprétations ou des explications aux anomalies ou aux disparités dévoilées par le premier type de test. L'action entreprise par le monitoring hors ligne est l'application des vecteurs de test aux entrées du circuit sous test et de comparer ses sorties observées à des données de référence pré-calculées par simulation.

Les perturbations des processus locaux et globaux peuvent entraîner des défauts structuraux et paramétriques (voir figure 3.2). Les fautes structurelles incluent des circuits ouverts, des courts circuits, et d'autres changements topologiques dans un circuit. Les défauts structurels peuvent être classés en fonction de l'effet d'un défaut sur les spécifications du circuit. Un défaut qui provoque le dysfonctionnement complet des spécifications de circuit est appelé faute catastrophique. Typiquement, un test DC simple peut détecter ce genre de défaut. Un défaut qui cause les spécifications de circuit pour fonctionner hors de leur gamme spécifiée (hors de la région d'acceptabilité) est dit faute non-catastrophique [35].

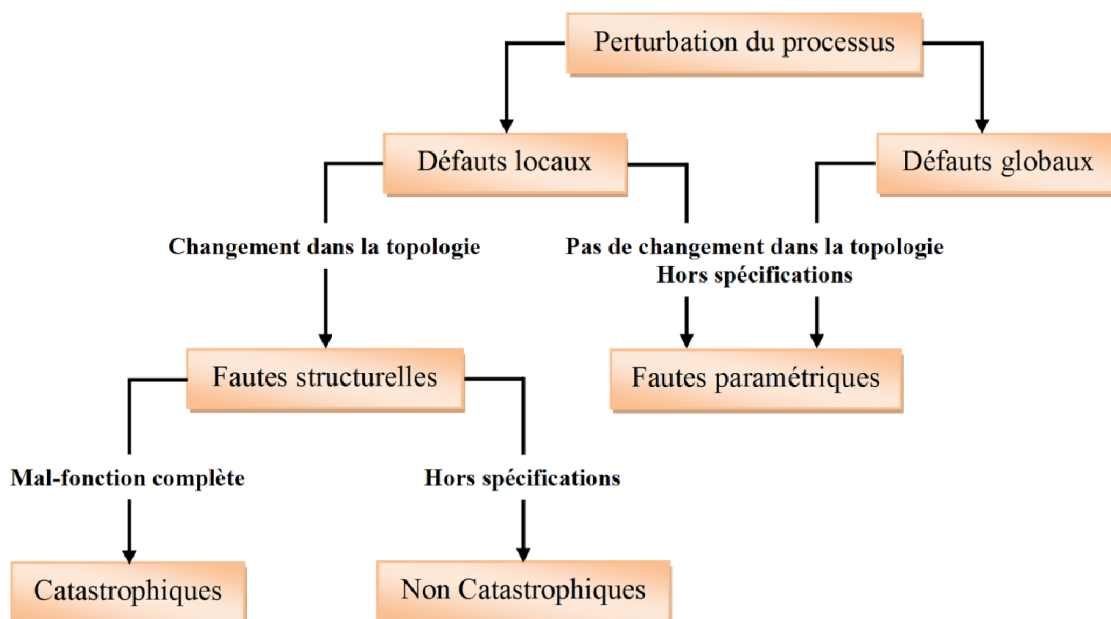


Figure 3.2 Classification des fautes analogiques

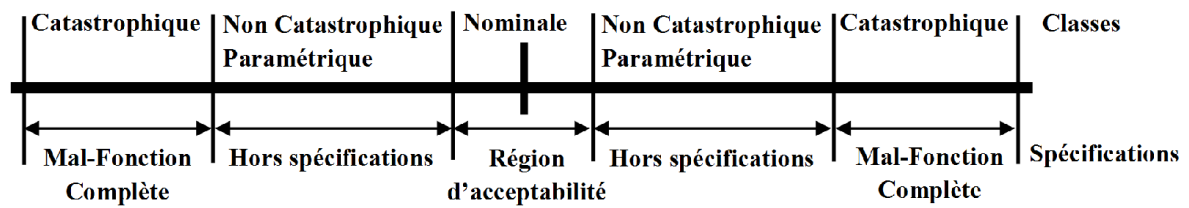


Figure 3.3 Spécifications liées aux classes de fautes

Les fautes paramétriques indiquent des défauts qui ne changent pas la topologie du circuit et n'ont qu'un impact sur les valeurs des paramètres par exemple, elles provoquent une déviation dans une résistance ou une capacité de condensateur de 20%. De tels défauts résultent de défauts locaux ou globaux. Ces défauts sont dus à un contrôle de processus imparfait dans la fabrication des circuits intégrés. Les défauts paramétriques globaux peuvent ou ne peuvent pas entraîner l'échec des spécifications d'un circuit, selon la façon dont la variation d'un paramètre particulier modifie les spécifications du circuit. Les fautes paramétriques locales sont dues à un mécanisme de défaut local, comme les particules qui agrandissent la longueur du canal d'un transistor [35]. Les fautes paramétriques comme les fautes non catastrophiques provoquent le circuit à fonctionner en dehors de sa plage de spécifications prévue (voir figure 3.3).

3.3.3 Défauts paramétriques et défauts fonctionnels

Certains défauts ne peuvent affecter que le comportement paramétrique du circuit. En d'autres termes, le circuit réalise sa fonction mais avec des performances inférieures à celles attendues. La détection de tels défauts peut s'avérer très difficile et sollicite des tests spécifiques. Les autres types de défaut causent une faute catastrophique. Cette dernière peut aller, d'un dysfonctionnement pour une configuration particulière de données qui de ce fait peut s'avérer fort complexe à détecter jusqu'à une défaillance franche (indépendante des données) dont la détection posera beaucoup moins de problème.

3.4. Défauts des composants à semi-conducteurs.

On rencontre le plus souvent des circuits électroniques analogiques tels que les diodes, les transistors, les circuits intégrés qui tombent en panne même si apparemment ces composants n'ont subi aucune usure. Cela est dû à plusieurs mécanismes qui se manifestent au niveau de leur structure interne dont on citera prochainement les plus importants.

3.4.1 Claquage de couches isolantes (Oxyde break down)

À mesure que le degré d'intégration s'élève, les couches isolantes des semi-conducteurs deviennent de plus en plus minces, elles se perforent avec le temps, même si elles ne sont pas soumises à une tension de claquage.

3.4.2 Injection de porteurs chauds (Hot carrier injection)

Dans les semi-conducteurs, les porteurs de charges sont accélérés par les champs électriques. L'énergie produite risque d'être suffisante pour traverser les couches isolantes. Ce mécanisme de défaillance provoque souvent des défauts de fonctionnement intermittents.

3.4.3 Electromigration

Dans les pistes conductrices très minces, des ions métalliques peuvent se déplacer et entraîner dans le cas le plus sévère une coupure d'une liaison comme le montre la figure 3-4.

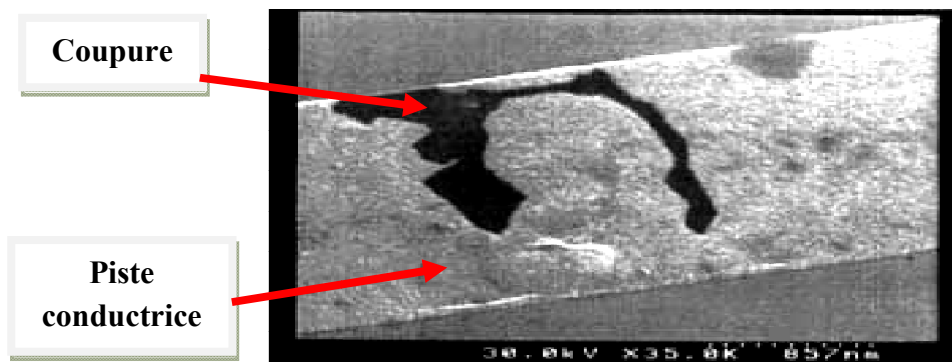


Figure.3-4 : Electromigration.

3.4.4 Crevasse dans les couches de passivation ou les couches métallisées

Ces effets se manifestent surtout dans les boîtiers en matière plastique, puisque l'inertie thermique du boîtier est plus forte que celle du Silicium. Ainsi les contraintes risquent de produire des craquelures dans les couches de protection et de fragmenter les pistes conductrices en Aluminium comme le montre la figure 3-5.

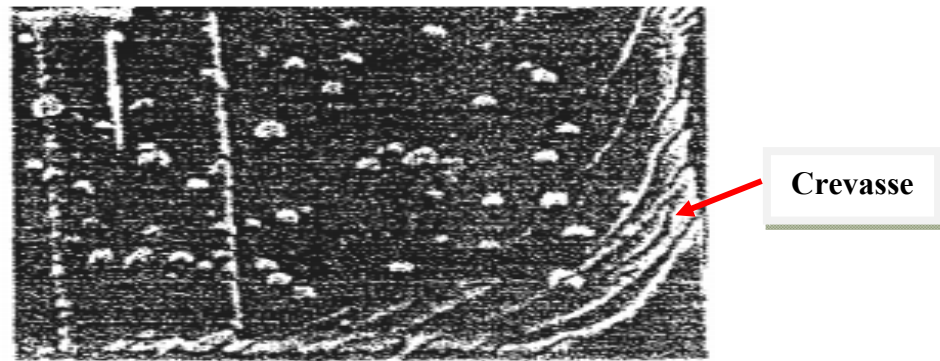


Figure.3-5 Fissure dans les couches de passivation.

3.4.5 Coupure des fils de liaison

Dans un circuit intégré, la puce proprement dite est reliée aux broches par un fil fin en Or ou en Aluminium, collé sur une plage métallisée. Les fils sont à rupture ou aux fissures par suite de différents mécanismes de défaillance comme est illustré sur la figure 3-6.

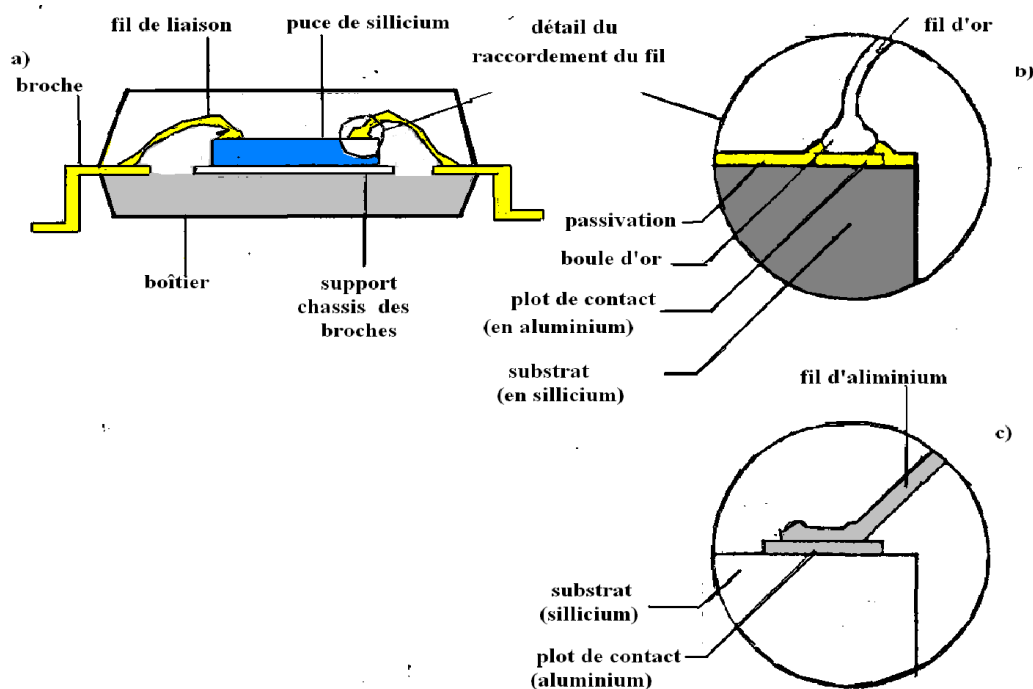


Figure. 3-6 réalisation des liaisons : a) coupe des circuits encapsulés, b) détail de la liaison par fil d'Or, c) aspect d'une liaison en fil d'Aluminium collé aux ultrasons.

3.4.6 Corrosion par l'humidité

Les boîtiers en matière plastique sont particulièrement perméables à l'humidité. Il a été confirmé dans pas mal d'études sur les mécanismes de défaillance que le taux d'humidité est un facteur grave quant au défaillance liée au collage par adhésion [31]. En cas de fonctionnement dans les conditions d'humidité extrême, les plages métalliques en Aluminium risquent de se corroder, ce qui altérera les propriétés du circuit.

3.4.7 Effet thyristor

Ce mécanisme de défaillance se produit dans les circuits CMOS. Si la tension appliquée à une broche dépasse les tensions d'alimentation symétriques ($\pm V_{cc}$), le thyristor parasite que constitue la structure P-N-P entre $|V_{cc}|$ et la masse risque de s'amorcer.

3.5. Les fautes de type matériel/physique

Les fautes de type matériel qui surgissent pendant l'exploitation du système sont classifiées par leur durée : permanente, transitoire, ou intermittente [42].

3.5.1 Faute permanente

Elle est causée par un dommage irréversible au niveau du composant, telle qu'une jonction de semi-conducteur qui a été court-circuitée en raison d'un vieillissement thermique. Une faute permanente dans un circuit entraîne en général la défaillance de la carte utilisant ce circuit, et le rétablissement du service peut seulement être obtenu en remplaçant ou en réparant le composant ou le sous-ensemble endommagé.

3.5.2 Faute transitoire (ou temporaire)

Ce type de fautes est déclenché par des conditions environnementales telles que la fluctuation d'une ligne de courant, une interférence électromagnétique ou un impact de particule. Ces fautes sont généralement de courte durée et endommagent rarement le composant affecté, bien qu'elles puissent induire un état incorrect dans le système. Avec l'arrivée des technologies nanométriques, les fautes transitoires, déjà difficiles à modéliser et à prédire, sont aujourd'hui de plus en plus évidentes et nombreuses, et constituent la cause de plus de 80% des défaillances dans les systèmes informatiques.

Parmi les effets transitoires les plus difficiles à maîtriser et dont l'impact est le plus difficile à évaluer, on note l'effet des particules provenant du rayonnement cosmique (par exemple, les neutrons atmosphériques) ou de la désintégration des isotopes instables présents dans les matériaux des circuits intégrés et de leur encapsulation (particules alpha).

3.5.3 Faute intermittente

Les fautes temporaires internes sont souvent dénommées fautes intermittentes. Ces fautes résultent de la présence de combinaisons survenant rarement, telles que des changements au niveau des paramètres d'un composant matériel (effet de variations de température, retard dans les temporisations du à des capacités parasites) ou des situations, affectant aussi bien le logiciel que le matériel. Celles-ci surviennent quand la charge excède une certaine valeur, par exemple des temporisations ou des synchronisations marginales.

3.6 Modélisation des fautes

Un fonctionnement anormal observable d'un système est appelé une erreur. Elle est la conséquence d'une faute dans le système [43 - 45]. Les fautes peuvent résulter des causes suivantes:

- ✓ Erreurs de conception telles que des spécifications incomplètes, des contradictions entre les différents niveaux d'abstraction ou des violations des règles de conception.
- ✓ Erreurs de fabrication telles que des connexions incorrectes ou des composants non convenables.
- ✓ Défauts de fabrication lors du processus de fabrication.
- ✓ Défaillances physiques résultant du vieillissement des composants et des facteurs environnementaux.

Les fautes peuvent être permanentes, intermittentes ou transitoires comme est déjà mentionné. Il est très difficile d'examiner toutes ces sortes de fautes dans un modèle abstrait du système sous test; par exemple, si nous avons un modèle au niveau porte logique, alors il est très compliqué voire impossible de modéliser des erreurs d'alignement de la gaufre (mask alignment error). Les fautes logiques représentent des effets des fautes physiques. L'ensemble des fautes logiques possibles est appelé un modèle de fautes. Celui ci suppose que, dans un circuit combinatoire, chaque ligne peut être « collée » de façon permanente à une des valeurs logiques 0 ou 1. On dit que les fautes sont de types collé-0 ou collé-1. Si un circuit donné possède n lignes, chacune d'elles peut soit fonctionner correctement, soit être collée-0, soit être collée-1, alors le nombre de tous les cas possibles à considérer est $3^n - 1$. Dans le cas où seulement une ligne serait responsable d'induire le circuit en faute, le modèle est dit "collé à une seule faute", autrement il est dit "collé à fautes multiples".

Détecter une faute f dans un circuit combinatoire est un problème. Le modèle « collé à une seule faute » est le plus utilisé grâce au fait qu'il est simple à manipuler et indépendant des technologies. Ce modèle a été étendu aux niveaux élevés d'abstraction comme le niveau

RTL. D'autres modèles de fautes ont été proposés, tels que les fautes de pontage (Bridging fault) et les fautes de délai.

3.7 Techniques de simulation des fautes

L'objectif de la simulation des fautes est d'évaluer efficacement la couverture d'une séquence de test. La couverture peut être définie comme le pourcentage de fautes couvertes par la séquence, selon un modèle de faute donné [43, 45].

La simulation des fautes, de manière séquentielle, transforme le modèle du circuit sans fautes pour représenter le circuit fautif résultant d'une faute. Avec cette technique, une seule faute est simulée à la fois, d'où le processus doit être répété pour chacune de fautes à exploser, ceci le rend inapplicable pour des circuits réels. La simulation des fautes parallèles simule simultanément le circuit bon et un nombre de circuits fautifs. Les réponses de tous ces circuits aux mêmes vecteurs de test sont emmagasinées dans des cases-mémoires contiguës. La simulation des fautes déductives, basée sur la simulation du bon circuit, déduit le comportement de tous les circuits fautifs théoriques; seul un sous-ensemble de ces derniers est examiné à cause de la limitation de mémoire. La simulation des fautes concurrentes observe si des résultats des circuits fautifs concordent ou pas avec ceux du bon circuit (sain) et elle continue l'analyse juste pour les circuits dont les sorties sont incorrectes.

3.8 Les fautes des circuits analogiques

Il existe de nombreux modèles pour les fautes en analogique. Cependant il est d'usage de classer les fautes en analogique en deux catégories [46]:

- ✓ Les fautes paramétriques qui représentent la déviation assez nette d'un paramètre par rapport à sa valeur nominale. La présence de ce type de fautes impose un fonctionnement de circuit avec certaines déviations des spécifications (il fonctionne mal).
- ✓ Les fautes catastrophiques sont des fautes représentant une très grande déviation d'un paramètre, ce sont par exemple les courts-circuits et les circuits ouverts. La présence d'une faute catastrophique impose un fonctionnement de circuit très loin des ces spécifications (il ne fonctionne pas).

Ces défauts interviennent :

- ✓ Au niveau interne des circuits (métallisation, oxydation, etc....).
- ✓ Sur les liaisons des puces vers l'extérieur.
- ✓ Entre les puces.

Chapitre 3 : Modélisation des défauts dans les circuits intégrés

Ils se traduisent par une modification des interconnexions ou des caractéristiques des composants. La figure 3.7 illustre quelques exemples de défauts Physiques.

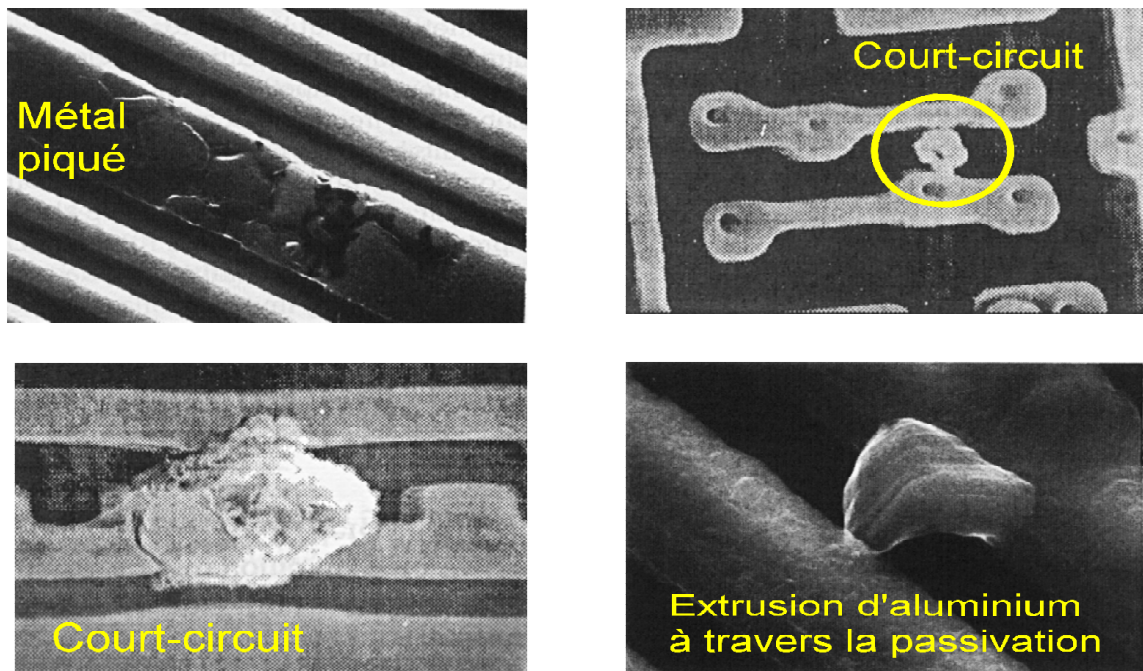


Figure. 3-7 Exemples de défauts physiques

Tableau 3-1 Différents types de fautes et composants affectés

Eléments	Fautes
Transistor MOS	Courts-circuits : <ul style="list-style-type: none"> - entre le drain et la source - entre le drain et la grille - entre la grille et la source Grille flottante. Courants de fuite.
Condensateurs et résistances	Courts-circuits Circuits ouverts
Transistor bipolaire et BiCMOS	Courts-circuits : <ul style="list-style-type: none"> - entre le collecteur et la base - entre le collecteur et l'émetteur - entre la base et l'émetteur - courts-circuits vers le substrat

3.8.1. Modélisation de fautes en analogique

Le processus technologique est le responsable principal de la présence de fautes, qui se manifestent immédiatement après fabrication ou bien après un temps d'attente prolongé [43]. Les perturbations locales et globales peuvent engendrer des fautes catastrophiques et paramétriques.

La modélisation des fautes représente les effets de défauts sur le comportement du circuit. Elle permet d'évaluer l'ensemble des vecteurs de test et de déterminer la qualité du test. La modélisation et l'injection de fautes en analogique peut se faire selon deux niveaux de modélisation d'un circuit analogique: le niveau circuit et le niveau comportemental. La modélisation de fautes au niveau circuit se base sur la description du circuit sans fautes et l'injection de fautes peut alors se faire [43, 45]:

- ✓ Au niveau des éléments primitifs (transistors par la modification de certains paramètres ou l'insertion de courts-circuits ou des circuits ouverts aux bornes de ces éléments.
- ✓ Au niveau du circuit, par l'insertion de courts-circuits ou de circuits ouverts dans le circuit électronique. Cependant il n'existe pas de corrélation réelle entre les fautes générées de cette façon et les fautes provenant de défauts réels susceptibles d'apparaître au cours du processus de fabrication.

La modélisation de fautes au niveau comportemental se base sur les données statistiques des répartitions de défauts provenant de la fabrication. Ces défauts sont alors simulés au niveau technologique puis classés en fonction de leur incidence sur le fonctionnement du circuit. Les fautes peuvent être raffinées par simulation analogique fonctionnelle.

3.8.2 Génération de la liste de fautes

De la même manière que pour la modélisation de fautes, la génération de liste des fautes peut être conduite soit au niveau circuit (Netlist) ce qui conduit à une liste exhaustive comportant éventuellement des redondances, soit à partir du lay-out, que l'on appelle l'analyse de faute inductive (IFA : Inductive Fault Analysis). Dans ce dernier cas la liste de fautes est générée à partir d'une description statistique de défaut sur le Lay-out. Cette méthode a l'avantage de fournir une liste de fautes optimisées mais réclame un grand temps de calcul et des outils de simulation spécialisés.

3.8.3 La simulation de fautes en analogique

La simulation de fautes [42] sert à déterminer la capacité des stimuli de test à détecter une faute. Dans le domaine analogique, la simulation de fautes est en général opérée en utilisant

Chapitre 3 : Modélisation des défauts dans les circuits intégrés

des simulateurs analogiques du type SPICE, ELDO, SPECTRE, ou SABER. Les étapes effectuées sont les suivantes :

- ✓ Simulation de circuit sans fautes.
- ✓ Injection d'une faute.
- ✓ Simulation de circuit avec faute pour un stimulus donné.
- ✓ Comparaison des résultats de simulation et évaluation du stimulus.

Cependant cette manière d'opérer est très gourmande en temps de calcul et l'utilisation du simulateur analogique n'est pas optimisée. Les principaux points gênants sont :

- ✓ Le temps de simulation et la précision de calcul
- ✓ La prise en compte des dispersions technologiques sur les paramètres.
- ✓ La capacité de simuler les modes AC, DC et transitoires.

De nombreux travaux [43-45] ont été effectués sur la simulation de fautes en analogique et des simulateurs de fautes ont été créés en adaptant des simulateurs analogiques. C'est le cas de FSPICE basé sur le simulateur SPICE et d'ANAFULT basé lui sur ELDO d'ANACADE/MENTOR GRAPHICS.

Des travaux ont également porté sur l'optimisation du temps de simulation notamment pour les circuits linéaires et la simulation de fautes en mode DC [31] [21] (qui est un mode de test fréquent en raison de sa rapidité et de son coût). D'autres travaux [47-49] se sont attachés à utiliser la description comportementale de circuits analogiques à partir de langages de description du matériel. Cette méthode propose de remplacer la partie du circuit qui n'est pas soumise à une injection de fautes par un modèle comportemental ce qui permet d'améliorer le temps de calcul. Il existe également des travaux portant sur la simulation de fautes de circuits à capacités commutées basés sur des simulateurs spécifiques pour de tels circuits.

3.9. Test de circuits analogiques et mixtes

Le test de circuits intégrés analogiques est une étape importante et coûteuse de cycle de fabrication. Cependant le test de circuits intégrés analogiques est un domaine complexe ou pour l'instant peu de solutions ont été adoptées par l'industrie. Les raisons de problématique du test de circuits intégrés analogiques sont [50]:

a) La nature des signaux

Les signaux analogiques sont continus, ceci implique que l'ensemble des valeurs pris par les signaux est infini. En considérant une précision fixe du système de mesure, on doit alors travailler avec des échelles de tolérance.

Chapitre 3 : Modélisation des défauts dans les circuits intégrés

Les relations entre les signaux d'entrée et de sortie des circuits analogiques sont souvent très complexes par rapport à celles des systèmes numériques. Elles sont plus difficiles à modéliser que celles de ce dernier type de systèmes qui sont basées sur les tables de vérité, précises et faciles à spécifier.

Dans les circuits analogiques, le signal peut être une tension, un courant, une phase, une fréquence etc. à temps continu ou discret. De plus la mesure de signaux analogiques est difficile à réaliser et est nullement à l'abri des perturbations. De plus, dans le cas d'électronique analogique interfaçant des capteurs, les signaux sont très faibles et émergent à peine du bruit de fond.

Les systèmes analogiques sont souvent non linéaires, et présentent des caractéristiques bruitées menant à des paramètres qui fluctuent beaucoup.

b) Les modes de défaillances

Les modes de défaillance sont très nombreux et modélisables. Ils varient non seulement avec le type de technologie microélectronique mais aussi avec les différents procédés à l'intérieur d'une même classe de défauts.

A l'opposé des circuits numériques basés sur l'emploi des transistors NMOS et PMOS, les circuits analogiques disposent d'une diversité de composants complexes (transistor MOS, bipolaire,...), condensateurs, diodes, résistances, inductances..., ce qui complique l'étude des mécanismes de défaillance.

La distribution statique des fautes dans les systèmes analogiques n'est généralement pas connue avec assez de précision, pour cette raison les méthodes de probabilité sont souvent vaines.

c) L'accessibilité

Les circuits analogiques contiennent des boucles fermées, et des composants n'ayant ni entrée ni sortie identifiée.

d) Les équipements de test

La complexité et les performances des circuits analogiques récents ainsi que le nombre important de paramètres et l'accessibilité induite aux structures internes restreignent l'usage des équipements de test automatique. Par ailleurs, de tels dispositifs n'ont parfois pas assez de capacité de calcul et de stockage pour tester des circuits analogiques très complexes.

3.9.1 Le test fonctionnel de circuits analogiques

En ce qui concerne le test de circuits intégrés purement analogiques, et dans la majorité des cas, est un test fonctionnel pratique. C'est-à-dire que la phase de test est un ensemble de mesures des spécifications du circuit opérant sous une large gamme de signaux de test. Ces ensembles de test ne sont pas destinés à mettre en évidence la présence de défauts mais seulement à vérifier certaines fonctionnalités. Du fait, le test fonctionnel n'est pas optimisé en termes de coût et il est impossible de lui affecter une qualité. Cependant il ne réclame aucun surcoût en termes de conception. Les tests fonctionnels généralement effectués sont de quatre types [43]:

a) **Les mesures DC** : qui mesurent le comportement statique du circuit, les points de polarisation et servent à tester les courants de fuite, les impédances de sortie, les offsets etc...

b) **Les mesures AC** : elles servent à caractériser les réponses en fréquence en grands ou petits signaux et également les caractéristiques de distorsion.

c) **Les mesures transitoires** : pour caractériser la réponse des circuits à des stimuli transitoires.

d) **Les mesures de bruit** : l'analyse de bruit est couplée avec l'analyse AC, le logiciel calcule le bruit en sortie et le bruit ramené à l'entrée compte tenu de tous les éléments bruyants du schéma. En effet, à chaque composant est attaché un modèle de bruit. Cette analyse fournit la densité spectrale du bruit en fonction de la fréquence et non l'amplitude totale.

3.9.2 Les techniques de test structurel (test basé sur les fautes)

Les techniques de test structurel des circuits analogiques reprennent la philosophie du test structurel basé sur la simulation de fautes des circuits intégrés analogiques. C'est-à-dire que ce test nécessite un ensemble de signaux (stimuli) qui visent des défauts potentiels du circuit. Des fautes modélisant les défauts de fabrication sont injectées dans un circuit prototype pour pouvoir générer des vecteurs de test efficaces assurant la détection de ces fautes et établir un meilleur taux de couverture, le test peut enfin être évalué en termes d'efficacité à détecter certains défauts. Le développement d'une telle stratégie de test impose alors les étapes suivantes :

- ✓ Analyse des mécanismes et des modes de défaillance
- ✓ Génération des listes de fautes.
- ✓ Modélisation, injection et simulation de fautes.
- ✓ Génération des stimuli de test.

- ✓ Analyse du taux de couverture de fautes.

3.10 Modèles de fautes des circuits numériques

Dans le domaine de circuits numériques, il existe un ensemble de modèles de fautes restreint et qu'on cite comme tels :

- Faute de collage** (stuck at) : c'est le collage d'un nœud du circuit à un état logique (0 ou 1) de manière permanente, ce type de faute est le plus utilisé pour la génération automatique de vecteurs de test par simulation de fautes pour les circuits numériques.
- Faute de collage à l'état passant et collage à l'état bloqué** (stuck open, stuck on) : c'est le collage d'un transistor dans l'état passant ou l'état bloqué, ce type de faute nécessite plusieurs vecteurs de test pour être détecté.
- Court circuit** (bridge fault) : c'est une faute qui résulte du court circuit entre plusieurs lignes du circuit intégré. Elles peuvent donner un caractère séquentiel à un circuit combinatoire en formant des boucles de réaction.
- Faute de délai** (Delay fault) : ce sont des fautes qui modélisent les défauts affectant le temps de propagation de signal à travers une porte logique.

Certaines de ces fautes comme le collage et le court circuit sont illustré sur la figure 3-8.

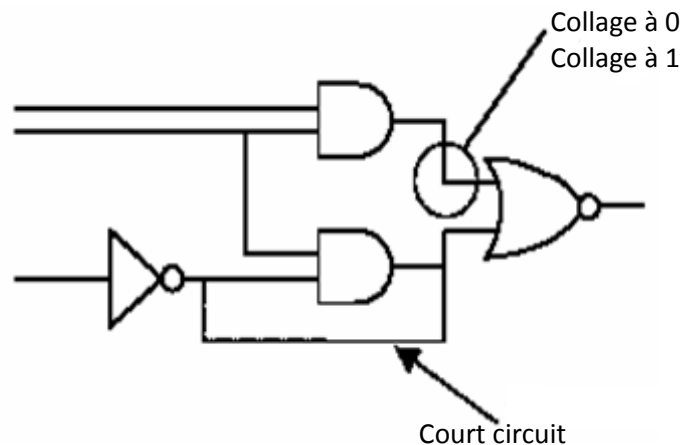


Figure 3-8 fautes affectant un circuit numérique

3.10.1 Simulation de fautes en numérique

La simulation de fautes est une méthode qui permet à partir d'une description d'un circuit numérique et d'une liste de fautes susceptibles d'affecter ce circuit de qualifier un ensemble de vecteurs de test en terme de couverture de fautes. L'ensemble de ces vecteurs de test pourra alors être optimisé pour avoir la meilleure couverture de fautes. La simulation de fautes est directement liée aux défauts pouvant affecter les circuits intégrés, c'est pourquoi

une telle méthode doit être accompagnée d'une étude de mécanisme de défaillance au niveau technologique :

- ✓ Un circuit est dit défaillant quand son comportement observé est différent du comportement attendu.
- ✓ Un mécanisme de défaillance est l'ensemble des phénomènes physiques menant à un défaut.
- ✓ Une faute est la manifestation d'un défaut physique d'un circuit.

3.11 Conclusion

Nous avons exposé dans ce chapitre un certain nombre de défauts et de mécanismes de défaillance les plus fréquents chez les circuits analogiques intégrés. Cette étude a par ailleurs pour but d'investiguer sur les défauts potentiellement présents en fin de production des circuits analogiques.

Les mécanismes de défaillance présentés peuvent induire des défauts soit au moment de fabrication, soit au cours d'utilisation. Dans ce dernier cas, de nombreux facteurs de dégradation physique du circuit peuvent activer certains phénomènes (comme par exemple le taux d'humidité, la pression, les surcharges électriques et mécaniques, la température, etc). Ces défauts sont en réalité pris en charge en phase de simulation par leur modèles correspondants et ou en environnement numérique ces derniers sont considérés comme efficaces et très adéquats. Par contre, en analogique, le test de circuits analogiques souffre du manque de modèles performant pouvant décrire instantanément les effets des défauts qui en surviennent. Certains de ces imperfections causent de dégradation totales de ces circuits et les mettent en hors service définitifs ; elles ont qualifiées de Catastrophiques. D'autres, par contre, se manifestent par des perturbations au niveau de la fonction des circuits qui parfois deviennent intermittentes et même inquiétantes; elles sont considérées comme paramétriques. Dans les prochains chapitres, une étude s'étalera en profondeur sur ce type de fautes.

Chapitre 4

Méthodes de détection et de couverture des fautes

CHAPITRE 4

Méthodes de détection et de couverture des fautes

4.1. Introduction

Dans ce chapitre, des méthodes basées sur différentes techniques sont proposées pour détecter les défauts de composants dans les circuits intégrés analogiques et de maximaliser le taux de couverture des fautes. Ces techniques sont validées par leur application sur différents circuits sous test pour les deux types de fautes (catastrophiques et paramétriques). Des paramètres tels que l'amplitude maximale, la fréquence centrale et la bande passante de la réponse fréquentielle (AC) du circuit testé (CUT) sont utilisés comme paramètres de détection des fautes paramétriques et catastrophiques dans les circuits analogiques car ces paramètres sont sensibles aux tolérances des composants. Chaque composant du CUT est varié dans sa limite de tolérance à l'aide de la simulation Monte Carlo. De même pour les paramètres extraits de la réponse transitoire du circuit sous test qui sont : le point maximal, le point minimal et la largeur de l'impulsion ainsi que les paramètres temporels. Les valeurs minimale et maximale de chaque paramètre sont mesurées pour le circuit à tester sous les conditions d'être en présence et en absence de défauts. Les résultats obtenus sont présentés pour mettre en exergue l'efficacité des méthodes proposées pour la détection des pannes et la maximalisation de leur couverture dans les circuits analogiques.

4.2. Détection des fautes catastrophiques au niveau des transistors

La procédure de détection des fautes actuelle est effectuée selon un test en mode transitoire où le circuit soumis à cette action est un filtre passe-bas de deuxième ordre composé de trois amplificateurs opérationnels de structure électronique interne similaire à celle mentionnée dans

la section qui suit. Les composants du circuit constituent alors la cible de ce test, où les défauts sont injectés d'une façon individuelle au niveau des transistors. Le circuit est stimulé alors en présence d'un signal d'impulsion carrée unique appliqué à son entrée. Celui-ci est choisi comme un bon vecteur de test qu'on appelle aussi un bon stimulus, du fait qu'il arrive à faire acheminer l'effet de faute vers la sortie du circuit. Le signal de sortie de ce circuit ainsi propagé est comparé à une référence qui correspond au signal de sortie du circuit sain, représenté sous forme d'une suite d'impulsions de différentes durées. Au fait, il s'agit d'une conversion du signal de réponse du filtre en une chaîne d'impulsions dont les durées de temps constituent un moyen d'observation d'effet de défaut. Cette technique de test a été développée et utilisée dans ce chapitre pour permettre une couverture de fautes maximale.

4.2.1. Exemple de circuit sous test

Le circuit sous test, utilisé pour la mise en œuvre de cette méthode de diagnostique, est un filtre passe-bas de deuxième ordre à trois amplificateurs opérationnels comme illustré dans la figure 4. Ce filtre est construit d'amplificateurs opérationnels de type $\mu A741$, dont le schéma interne est présenté dans la figure 4.2. Les transistors structurant ces dispositifs d'amplification sont de type « Mono Chip », dont leurs représentations sont illustrées dans la figure 4.3.

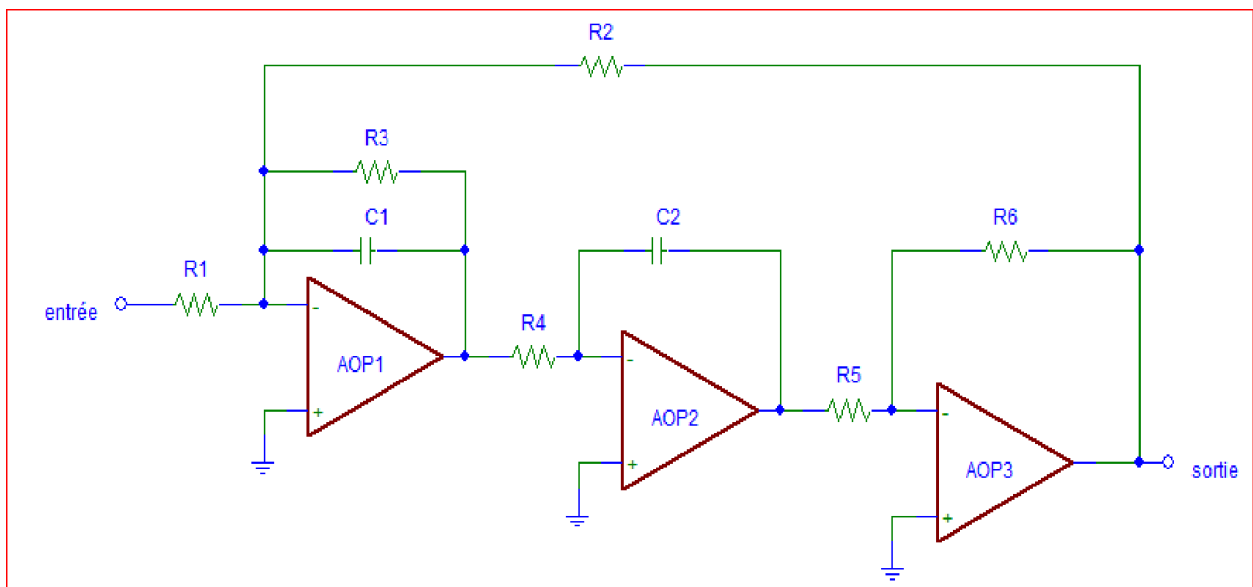


Figure 4.1 Filtre passe-bas de deuxième ordre

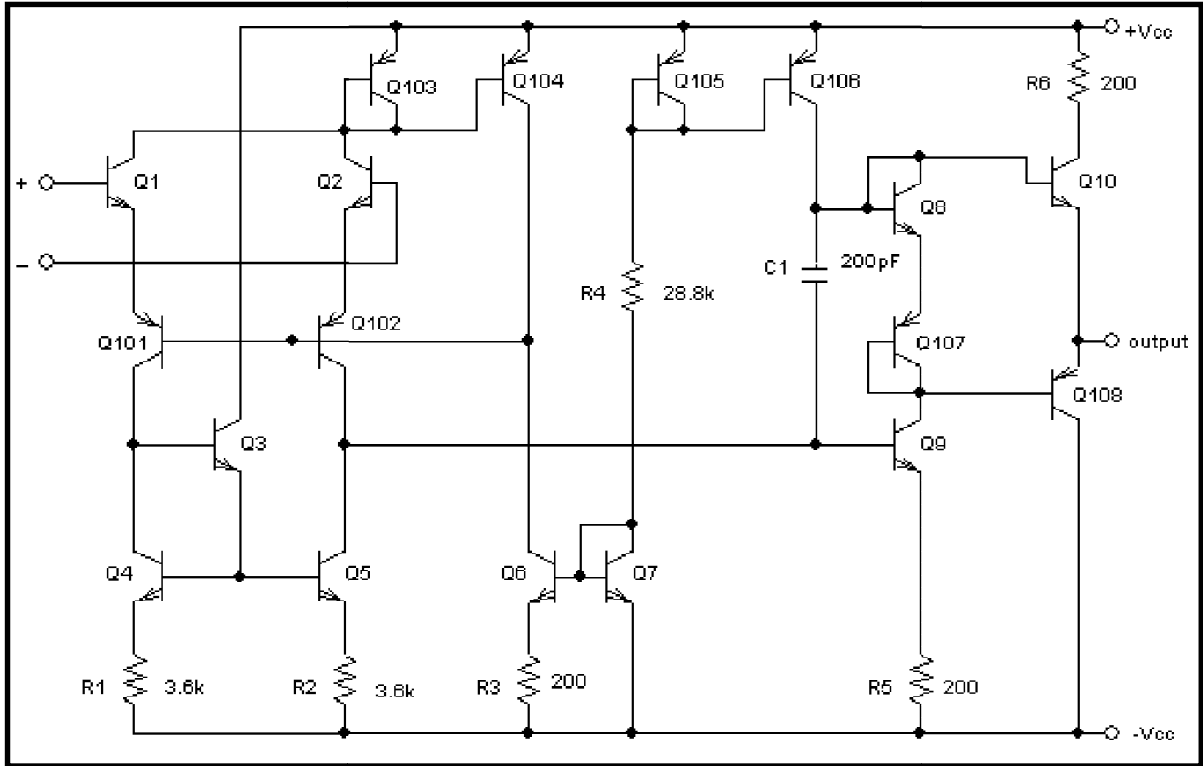


Figure 4.2 Schéma interne de l'amplificateur opérationnel $\mu A741$

D'après ce schéma électrique, on peut distinguer et identifier trois étages associés en cascade :

❖ **L'étage d'entrée :**

Cet étage est constitué par l'ensemble des transistors Q1, Q2, Q101, Q102, ayant un fort gain en courant et qui par la suite de leurs associations, le gain en sortie de l'ensemble est important grâce aux charges actives constituées par les transistors Q4 et Q5. La polarisation de l'étage d'entrée est réalisée par le transistor monté en diode, Q103, et la source de courant Q104. Le courant miroir fourni par cette source est maintenu constant (autour de $180\mu A$), par un réseau polarisé composé avec des transistors Q6, et Q7.

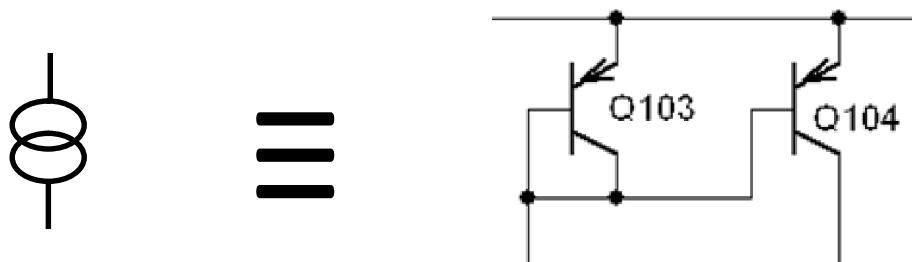


Figure 4.3 Polarisation de l'étage d'entrée (Q103 monté en diode).

❖ L'étage intermédiaire (fondamental)

L'étage d'entrée est suivi par un circuit fondamental (émetteur commun) à fort gain en tension, dont la sortie n'est plus différentielle, il est identifiée par la liaison du collecteur du Q102, et la base du Q9, son courant de polarisation est assuré par le générateur du courant des deux transistors Q105, et Q106, générant ainsi le courant miroir (650 μ A).

❖ L'étage de sortie

Cet étage utilise deux transistors montés en push-pull Q10 et Q108.

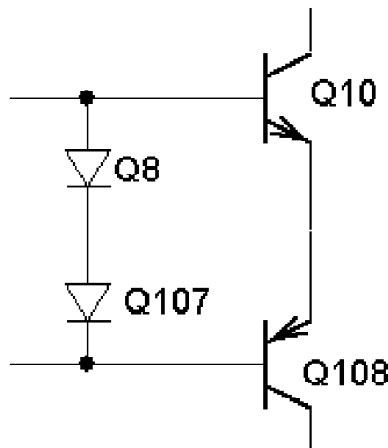
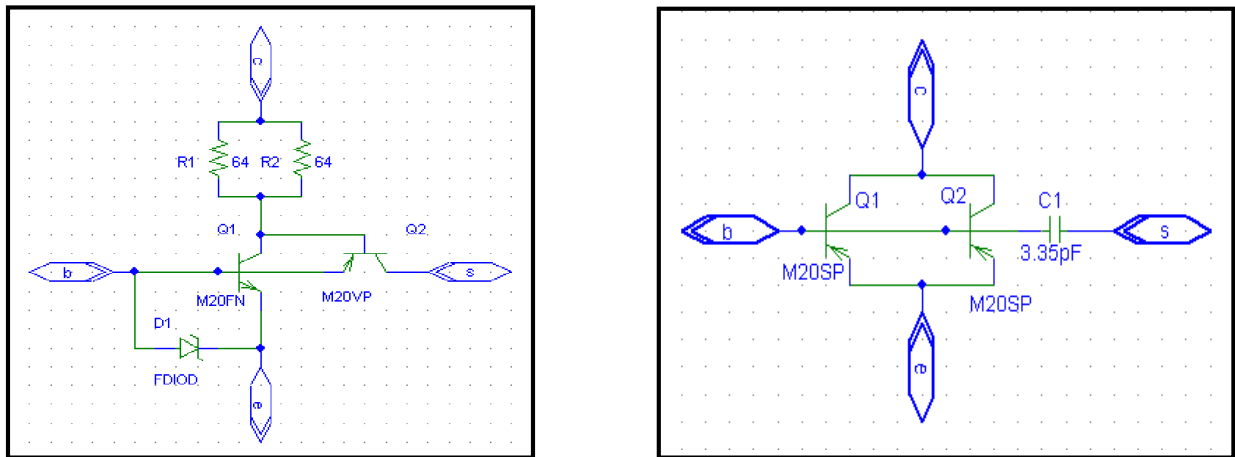


Figure 4.4 Polarisation de push-pull.

Les deux transistors montés en diodes (Q107 et Q8) sont employés pour polariser les deux précédents transistors par une tension d'environ de 1.2 volts, c'est-à-dire elles permettent d'imposer la tension d'entrée de cet étage qui est en fait la tension de sortie de l'étage intermédiaire d'une certaine valeur. En plus des éléments essentiels décrits ci-dessus, on trouve une capacité de couplage C qui régit le comportement de l'amplificateur opérationnel en fonction de la fréquence. Elle permet la suppression des composantes continues du signal quand il s'opère en régime alternatif.

4.2.2 Structure des transistors utilisés

Le schéma électrique de l'amplificateur opérationnel esquissé en figure 4.2 est un prototype propre à la compagnie-mère originale FERRANTI. En outre, sa réalisation fut possible grâce à la disposition des transistors intégrés dans un même circuit (**Monochip**) et offrant les mêmes caractéristiques électriques que celles du 741 intégré. Grâce aux modèles de ces transistors (figure 4-5), leur simulation et celle de l'amplificateur qui les contiennent ont été très concluante.



(a) Transistor NPN

(b) Transistor PNP

Figure 4.5 Structure des transistors

La méthode de test établie dans notre travail actuel a été inspirée de plusieurs travaux antérieurs [98] [101] dont les méthodes utiles ont été combinées afin de:

- 1- générer et sélectionner un signal efficace comme vecteur de test d'entrée;
- 2- Insérer le comparateur analogique pour répondre à deux exigences:
 - Pour construire une séquence d'impulsions de différentes durées qui sont utilisées comme paramètres de détection des fautes; et un moyen d'amélioration du taux de couverture des fautes.
 - Pour définir une signature de défaut afin de servir à un processus de diagnostic des fautes.
- 3- Utilisation d'une impulsion carrée unique et d'un comparateur qui fait usage général dans la structure de traitement de données. Une telle fonctionnalité permettra une mise en œuvre possible de cette technique de test dans une structure d'autotest intégré.

Le diagramme représenté dans la figure 4.6 décrit la méthode de test; il se compose de quatre processus principaux:

- un générateur d'impulsions carrées simples qui ravitaille le processus de test avec un signal de test d'entrée pratique assurant la propagation de l'effet de défaut jusqu'à la sortie du circuit.
- Le circuit sous test (CUT) dont les fautes dures sont injectées au niveau des transistors constituant les amplificateurs opérationnels.

- Le comparateur analogique servant comme un circuit convertisseur de la réponse (RS) du circuit sous test (CUT) produisant des signaux sous forme de séquence des impulsions carrées (SPS).
- Une unité de mesure des durées de temps des impulsions (PTDM) permet d'obtenir les valeurs de ces paramètres de test afin d'examiner le signal de détection des fautes (FDS) et de fournir des données de signature de défaut (FSD).

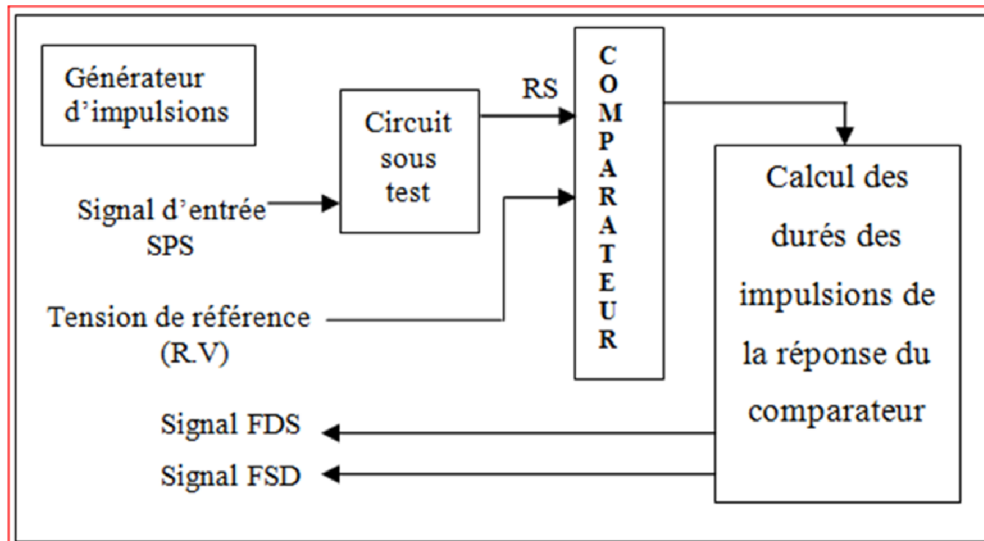


Figure 4.6 diagramme de la méthode de test proposée [98]

Le comparateur analogique convertit la réponse du circuit analogique en un ensemble d'impulsions carrées consécutives, tout en la comparant à une tension de référence (RV) d'environ de 50mV. Ceci est nécessaire pour régler la tension de seuil qui permet à la sortie du circuit de fournir quatre impulsions de signal seulement. Par conséquent, les mesures des durées des d'impulsions constituent les paramètres de détection des fautes et d'observation de l'effet de défaut.

4.2.3 Modèle de fautes à détecter

Les fautes catastrophiques sont connues sous le nom de défauts durs car elles entraînent un changement dans la topologie du circuit et donc un dysfonctionnement total du circuit. Ce genre de défauts sont généralement provoqués par divers mécanismes de défaillance tels que la contamination du substrat, les résidus, levage des points de soudure...ect [98]. Ces défauts durs sont la plupart d'entre eux modélisés comme circuits ouverts et courts circuits. Les défauts durs auxquels les transistors sont exposés peuvent être considérés comme des courts circuits entre ses points terminaux et des circuits ouverts. Les courts circuits associés à ce composant sont au nombre de 3 et qui se produisent entre émetteur-collecteur, émetteur-base et base-collecteur; ces

Chapitre 4 : Méthodes de détection et de couverture des fautes

courts circuits sont modélisés par une résistance de faible valeur (quelques Ohms). Les circuits ouverts sont aussi au nombre de 3 et qui correspondent à émetteur ouvert, collecteur ouvert et base ouverte; leur modélisation est rendue possible par des résistances très élevées. Certains programmes de simulation requièrent l'utilisation d'une faible valeur de résistance (de 0 à 10Ω) pour modéliser un court-circuit et une valeur de résistance élevée (de $10M\Omega$ à quelques $G\Omega$) comme modèle à circuit ouvert.

Les défauts testés dans cette étude sont ceux échappés au test en mode DC et sont indiqués au tableau 4.1 avec leurs codes respectifs [98, 101].

Tableau 4.1 fautes injectées dans le circuit sous test

Code de la faute	Elément affecté (transistor)	Type de faute
F0	--	Circuit sain
F1	Q2	Collecteur ouvert
F2	Q3	Emetteur ouvert
F3	Q3	Base ouverte
F4	Q3	Collecteur ouvert
F5	Q3	Court circuit Base-émetteur
F6	Q4	Collecteur ouvert
F7	Q4	Court circuit Emetteur-collecteur
F8	Q4	Court circuit Base-émetteur
F9	Q4	Court circuit Base-collecteur
F10	Q5	Emetteur ouvert
F11	Q5	Base ouverte
F12	Q5	Collecteur ouvert
F13	Q5	Court circuit Base-collecteur
F14	Q7	Collecteur ouvert
F15	Q8	Collecteur ouvert
F16	Q8	Base ouverte
F17	Q101	Collecteur ouvert
F18	Q103	Collecteur ouvert
F19	Q105	Collecteur ouvert
F20	Q107	Base ouverte
F21	Q108	Collecteur ouvert

4.2.4 Principe de la méthode

A partir de la simulation du circuit sous test (figure 4.1) sous une impulsion carrée unique à son entrée (avec une durée de l'impulsion $T = 568$ ms), nous obtenons une réponse analogique qui passe plusieurs fois par le niveau de tension zéro, comme illustré à la figure 4.7. Cette réponse est comparée à la tension de référence mentionnée ci-dessus (R.V) par utilisation d'un comparateur analogique. La sortie du circuit de filtrage délivre une séquence d'impulsions de

durées différentes dont nous avons pris en considération seulement les trois premières durées d'impulsions consécutives T_1 , T_2 , T_3 . Ceci a été procédé ainsi afin d'éviter d'une part l'énorme quantité de données que requiert la mesure de ces durées, et la consommation de temps que celle ci doit réclamer d'une autre part. Il s'agit là de l'exigence la plus importante d'un processus de test assisté par ordinateur (T.A.O) qui doit être remplie: un minimum de capacité de stockage de donnée avec un temps d'exécution réduit. Cette opération de simulation a été effectuée par l'utilisation du simulateur électrique efficient, à savoir PSPICE et répétée pour tous les cas de circuit défectueux.

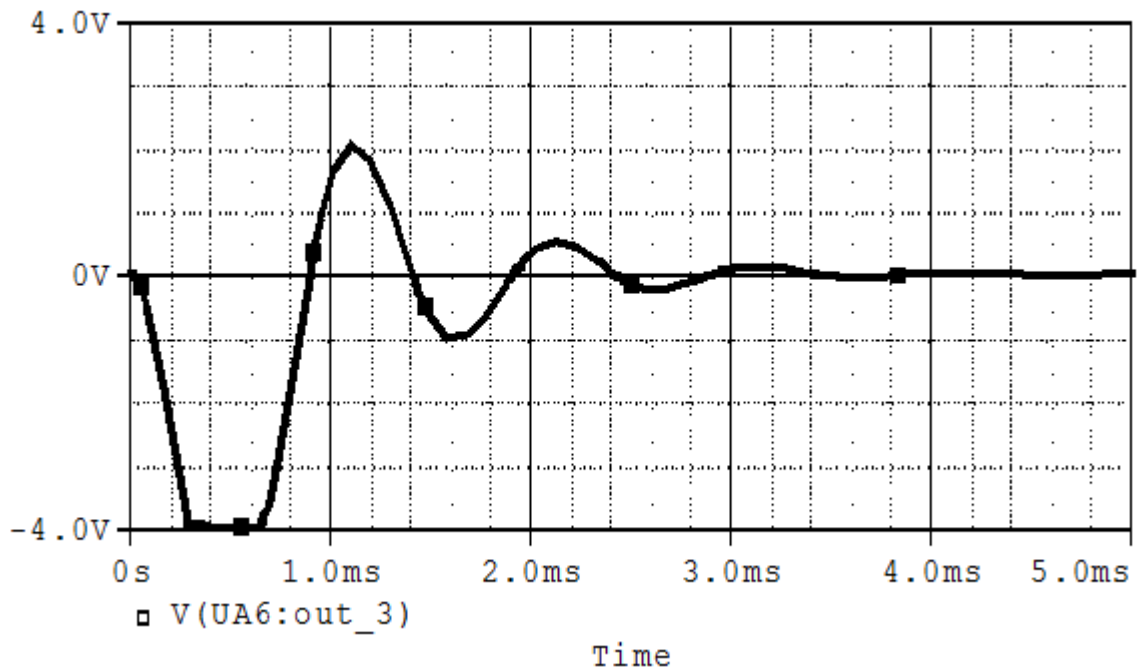


Figure 4.7 Réponse temporelle du circuit sous test

Le signal SPS résultant de la simulation est illustré à la figure 4.9 comme une séquence de quatre impulsions avec des durées d'impulsion différentes T_1 , T_2 , T_3 et T_4 seulement dont leur production a été conditionnée par la tension de référence fixée à 50mV. Hormis, la dernière durée (T_4) a été hors considération dans notre processus de test en raison de problème de consommation de temps cité auparavant.

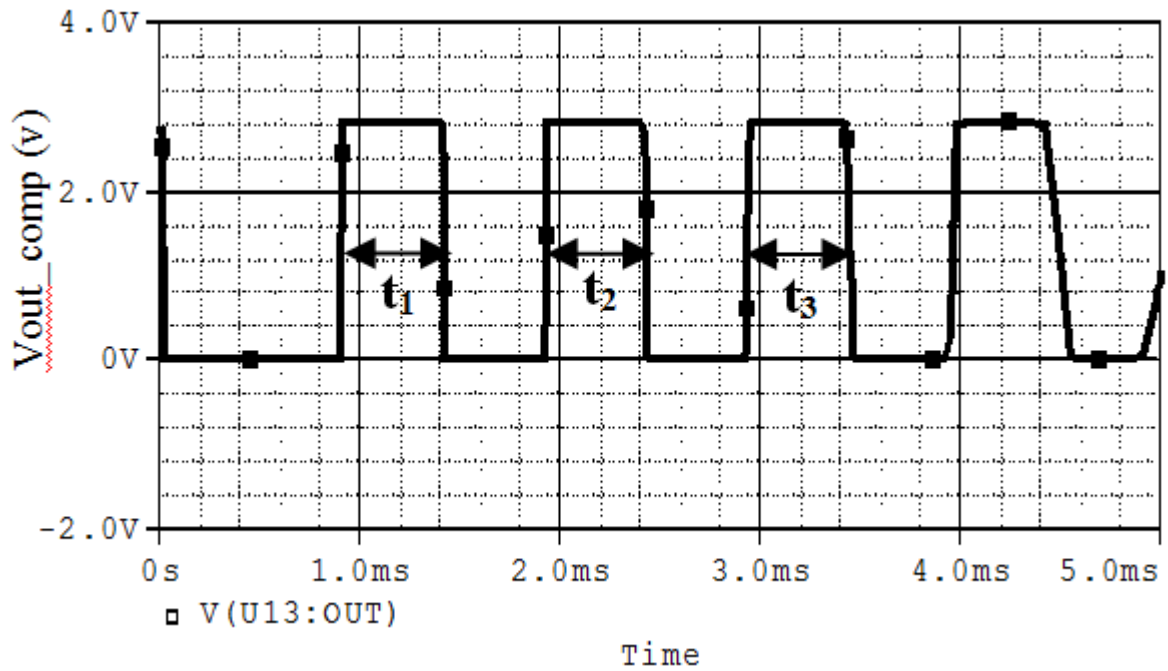


Figure 4.8 Réponse du comparateur en absence des fautes

Les valeurs mesurées des durées d'impulsions sont extraites à partir des résultats de simulation du circuit sous test sain pris en compte et reportées au tableau 4.2.

Tableau 4.2 Durées des impulsions de la sortie du comparateur pour le circuit sous test sain

Durée d'impulsion (μ s)	t_1	t_2	t_3
valeur	526.04	539.80	631.40

En raison du nombre important de défauts dans cette étude, il n'est pas possible de donner une description complète de leurs effets sur le fonctionnement du circuit testé. Ainsi, on s'est limité à une brève présentation de l'effet de défaut relatif à deux cas de défaillance différents, à savoir la faute F2, et la faute F5 injectées de façon individuelle et dans un seul des AOP.

4.2.5 Simulation du circuit sous test sous la faute F2

Une fois d'une façon La faute F2 est un circuit ouvert au niveau de l'émetteur du transistor Q3 et elle a été injectée successivement dans un des trois amplificateurs AOP1, AOP2 et AOP3. Les résultats de la simulation montrent l'effet de cette faute sur le fonctionnement de chaque AOP,

comme il est présenté dans les figure 4.11 (a,b). Bien que cette même faute injectée dans l'AOP3 au niveau du transistor Q3 n'a manifesté aucun effet sur la sortie du circuit comme on le voit dans la figure 4.11(c). Cela nous a conduit à l'hypothèse suivante: un même défaut injecté sur des amplificateurs de structures similaires d'un circuit complexe, accomplissant chacun une fonction différente, peut provoquer un effet ou non à ces sorties de circuits fonctionnels élémentaires.

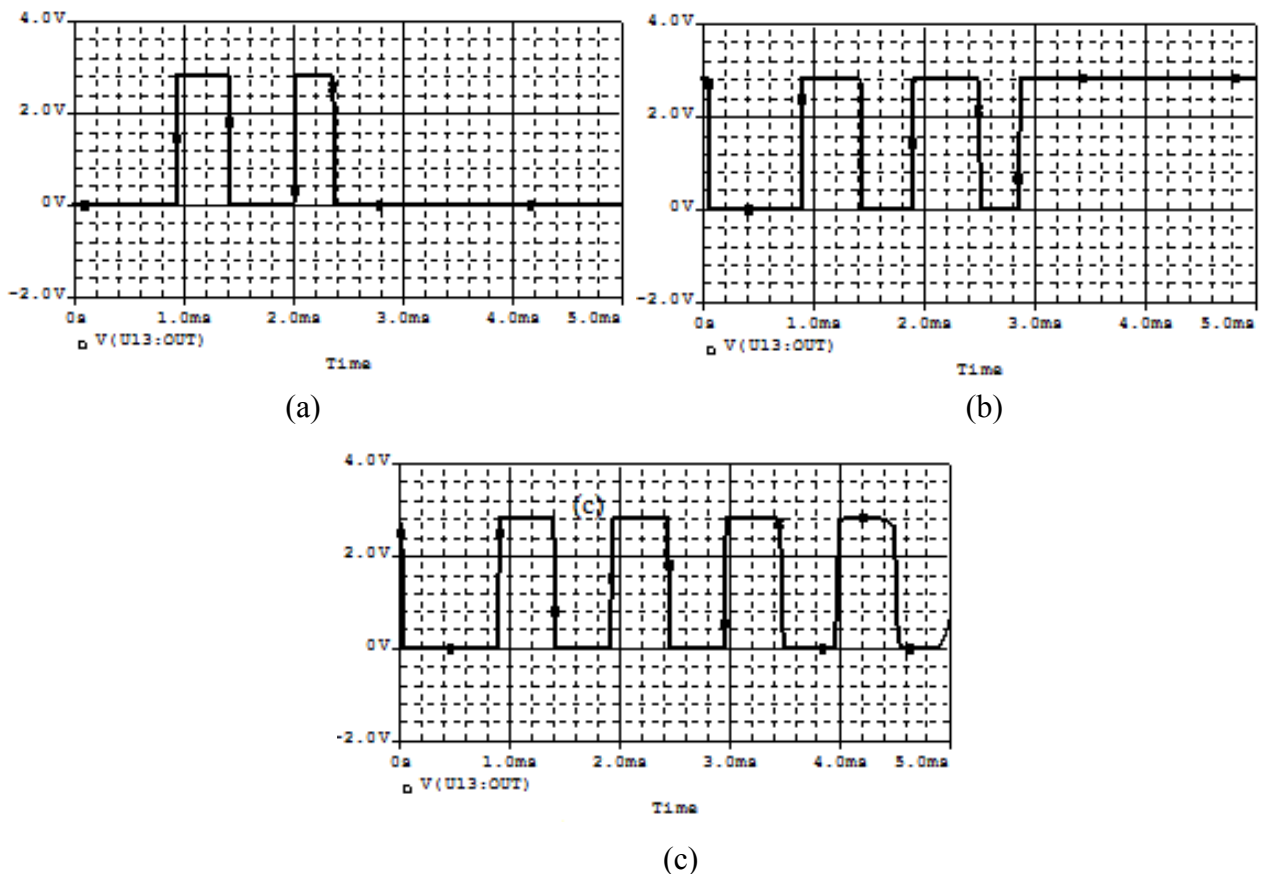


Figure 4.9 réponse du comparateur sous la faute F2

(a) : dans AOP1, (b) : dans AOP2, (c) : dans AOP3

4.2.6 Simulation du circuit sous test sous la faute F5

La faute F5 est modélisée par un court circuit entre l'émetteur et la base au niveau du transistor Q3. Cette faute étant injectée tour à tour dans les trois amplificateurs opérationnels constituant le circuit sous test. L'effet de cette faute dans chaque AOP est enregistré à partir des résultats graphiques de simulation sous forme de signaux altérés ou non comme illustrés à la figure 4.12. Une même hypothèse que pour le premier cas de panne a également été ressortie de l'analyse de l'effet de cette deuxième faute (F5).

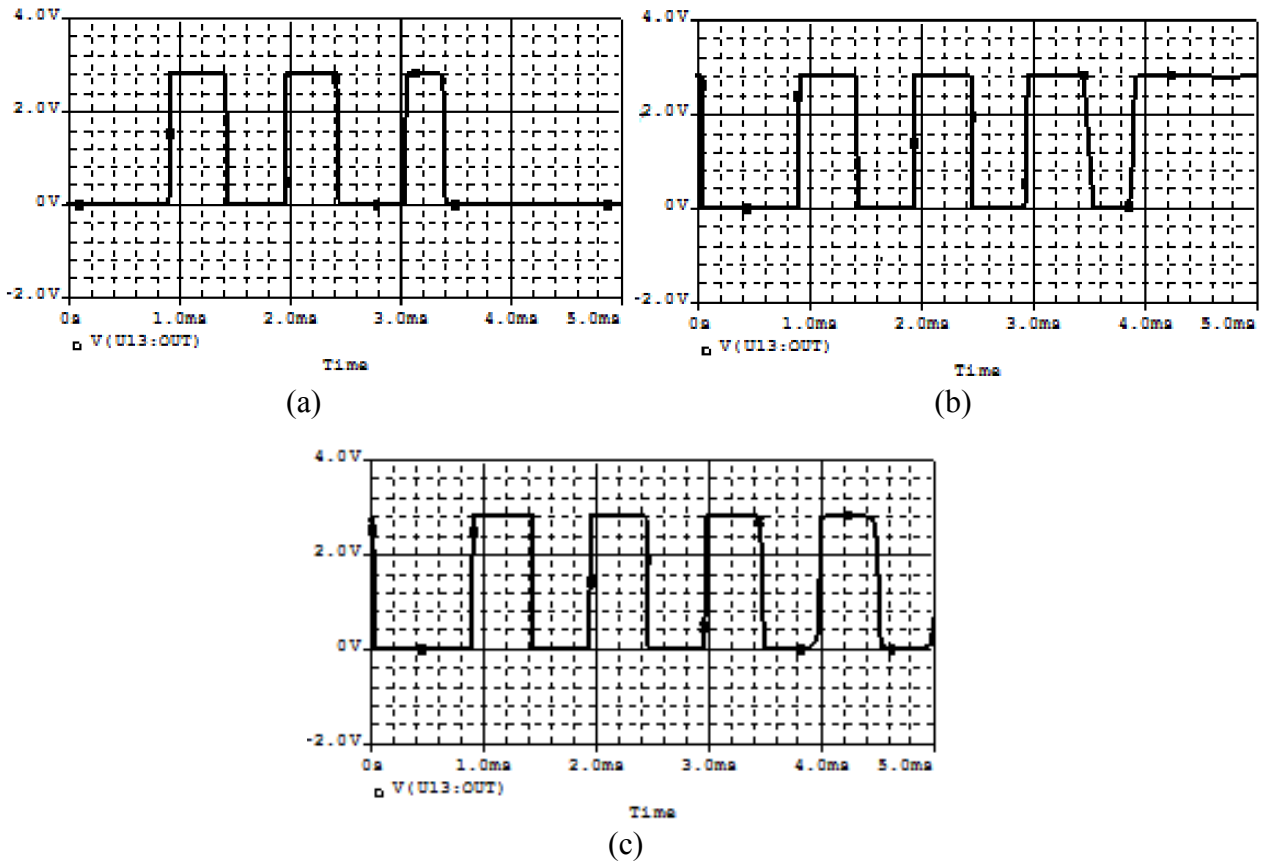


Figure 4.10 réponse du comparateur sous la faute F5
 (a):dans AOP1, (b) : dans AOP2, (c) : dans AOP3

4.2.7 Interprétation des résultats

Dans cette section, l'attention principale est focalisée sur le taux de couverture de fautes, la construction de signature de chacune d'elles et l'évaluation de l'efficacité du processus de test d'une part et l'établissement du diagnostic de défaut d'une autre part. Cette tâche considérée comme laborieusement exhaustive est effectuée par la collecte de données à partir des résultats de simulation de fautes sur tous les fautes (21 fautes) injectées dans les trois amplificateurs opérationnels, ce qui a conduit à 21x3 cas de fautes à étudier.

L'approche de test appliquée pour détecter les fautes est basée sur les hypothèses suivantes:

- Une faute est supposé détectée si au moins une des trois durées des impulsions de la réponse du comparateur indique une déviation de sa valeur mesurée (en présence de faute) par rapport à sa valeur nominale (en absence de faute);
- Le taux de déviation des durées d'impulsions justifiant la détection de la faute est fixé à un écart de 10% de la valeur nominale ou plus.
- Si le taux de déviation est inférieur à 10%, la faute est considérée comme une faute de tolérance ou une faute non détectée.

Chapitre 4 : Méthodes de détection et de couverture des fautes

- le tableau 4.3 présente les valeurs des durées (T1, T2 et T3) pour toutes les fautes injectées au niveau des transistors de l'AOP1 du circuit sous test. La durée T1 est utilisée comme le premier critère de détection de fautes, et le taux de couverture des fautes obtenu est de 5% (1/21 fautes détectées). La deuxième durée T2 et la troisième durée T3 ont donné des taux de couverture de fautes est de 58% et 62% respectivement. Une combinaison de ces trois critères a par conséquent été concluante puisqu'elle a conduit à une meilleure amélioration de la couverture des fautes avec un taux de couverture des fautes atteignant 95% (20/21 des fautes détectées).
- Dans le cas où les fautes sont injectées au niveau des transistors de l'AOP2, les résultats sont présentés dans le tableau 4.3 et montrent un taux de couverture global égale à 90.5% (19/21 fautes détectées).
- Pour les fautes dans l'AOP3, le taux de couverture est très faible et égale à 14%. A partir de ces résultats, on peut remarquer que le changement de la fonction de l'amplificateur peut altérer positivement ou subjectivement la valeur de couverture de défaut.

Tableau 4.3 Variations des durées d'impulsions de la réponse du comparateur

Faute	Déviations des durées d'impulsions (%)								
	Dans AOP1			Dans AOP2			Dans AOP3		
	t1	t2	t3	t1	t2	t3	t1	t2	t3
F0	0	0	0	0	0	0	0	0	0
F1	32.08	-	-	-	-	-	6,07	8.41	-
F2	7.16	28.21	-	1.31	75.02	-	0,34	1.17	2.80
F3	6.95	28.79	-	4.66	14.08	-	0,81	2.20	2.58
F4	2.54	14.69	51.82	2.77	9.15	-	0,03	0.31	0.74
F5	7.51	-	-	-	-	-	0,56	0.22	0.30
F6	3.35	40.12	-	1.49	23.30	-	0,28	2.30	1.77
F7	9.63	41.59	-	4.77	21.47	-	1,42	2.32	1.92
F8	9.15	38.98	-	4.77	24.62	-	1,38	2.32	1.92
F9	1.53	2.50	2.58	-	-	-	1,62	3.30	1.12
F10	5.50	17.19	55.91	2.71	5.08	-	1,81	3.01	24.41
F11	1.16	5.39	11.75	3.11	2.96	4.28	0,72	2.89	0.79
F12	6.03	27.92	-	1.52	18.25	-	1,50	3.52	1.01
F13	2.28	7.43	-	2.79	4.56	5.29	1,31	0.78	1.01
F14	1.52	6.61	-	0.63	0.82	10.03	0,62	3.32	0.79
F15	0.51	4.06	12.50	0.44	0.70	2.80	0,39	2.83	2.58
F16	0.83	8.58	-	0.64	1.06	8.20	1,01	0.00	0.79
F17	2.65	5.93	28.02	0.47	5.24	-	0,37	0.13	19.26
F18	9.27	38.96	-	5.80	24.58	-	0,58	3.37	1.01
F19	3.65	17.84	-	92.88	-	-	1,57	0.61	0.11
F20	1.27	7.32	28.01	0.47	5.24	-	0,37	0.13	0.65
F21	10.23	39.85	-	5.93	24.54	-	0,18	0.61	1.65

À partir du tableau 4-3, nous pouvons classer les fautes traitées dans trois catégories:

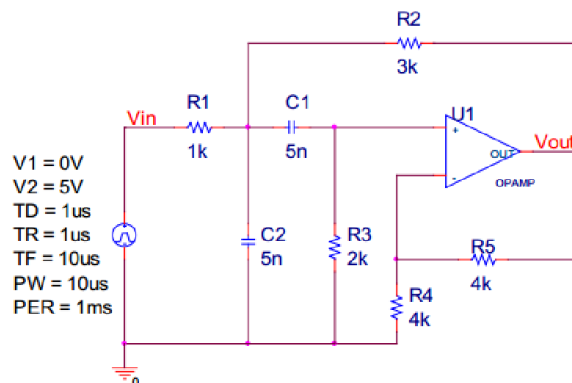
- La première catégorie concerne des fautes qui modifient complètement la réponse du comparateur (fautes détectées)
- La deuxième catégorie contient des fautes qui ne modifient pas la forme de la réponse de comparateur, mais elles agissent sur les durées d'impulsion (déviations des durées d'impulsions supérieures à 10%) (fautes détectées).
- La troisième catégorie regroupe les fautes non détectées (déviations des durées d'impulsion sont inférieures à 10%), ces fautes peuvent être supposés comme des défauts de tolérance. Cette technique nous a permis d'avoir une couverture des fautes catastrophiques de 100%.

4.3. Détection des fautes par l'analyse Monte-Carlo

Dans cette partie, une analyse de Monte Carlo d'OrCAD PSpice est développée pour la détection de fautes paramétriques singulières injectées dans des circuits analogiques. Ces fautes se manifestent par des déviations des valeurs de résistances et de condensateurs au dehors de leurs valeurs nominales. À titre de première expérimentation et de validation, la méthode proposée a été appliquée au préalable sur un circuit de filtrage (CUT) qui est un filtre passe-bande "Sallen-Key" constitué d'un amplificateur opérationnel $\mu A741$, stimulé par un générateur d'impulsions et simulé sous le logiciel OrCAD PSpice. Ce processus de test est effectué pour surmonter le problème de la difficulté de détection des défauts paramétriques lors de l'utilisation d'autres méthodes [88].

4.3.1 Le circuit sous test

Le circuit sous test utilisé pour valider cette technique de test est un filtre passe bande ayant la structure de Sallen-Key comme est illustré dans la figure 4.12. C'est un filtre actif construit à partir de réseaux RC, comportant seulement des résistors et des condensateurs.



4.3.2 L'analyse Monte-Carlo

Il s'agit d'une analyse statistique qui peut s'appliquer aux différents modes de simulation (DC, Transient et AC). Lors de cette analyse, le simulateur fait varier, de façon aléatoire, les paramètres des composants selon leurs tolérances. Ce type d'analyse permet de tester la sensibilité du circuit face à la dispersion des éléments. Un histogramme est alors généré et montre la fréquence avec laquelle différentes tensions de nœuds ou courants de branches sont trouvés. Les tensions minimales et/ou maximales des nœuds et des courants de branche peuvent également être trouvés.

L'analyse de Monte Carlo est très utile lorsque les ingénieurs veulent obtenir une image quasi-réelle de ce qu'il faut attendre d'une conception particulière dans une situation de fabrication, c.-à-d., quand l'éventail complet des composants est expérimenté sur le plancher de fabrication.

La fenêtre volante se présente de la façon suivante :

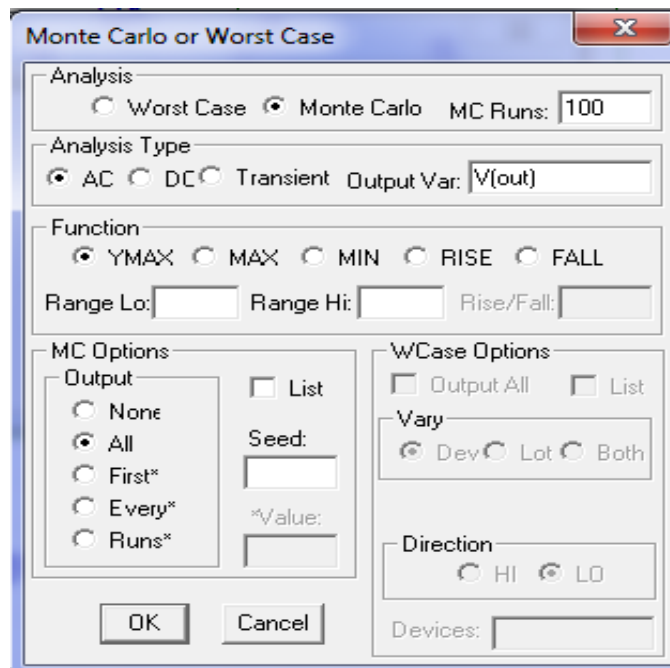


Figure 4.12 Fenêtre de l'analyse Monte-Carlo

Afin de mettre en œuvre cette analyse sur un circuit, les étapes de base suivantes doivent être prises:

- Remplacez les composants réguliers par des composants de dérivation (Rbreak, Cbreak, etc.)
- Modifiez les instructions du « MODEL » pour ces composants afin qu'ils représentent correctement les variations attendues.

- Configurez les paramètres de sous-analyse de Monte Carlo dans la zone de texte Monte Carlo/le pire des cas.
- Exécuter l'analyse
- Utilisez l'option analyse des performances sous l'élément de menu « trace » de la fenêtre « sonde » pour voir comment les fonctions de circuit sont affectées par les variations des valeurs de composants.

4.3.3 Contrôle de la sortie

L'analyse de Monte Carlo génère les types de rapports suivants:

- Valeurs des paramètres du modèle pour chaque exécution (c.-à-d. les valeurs avec tolérances appliquées).
- Les formes d'onde de chaque exécution, en fonction de la spécification de la collecte de données ou en désignant des variables de sortie dans l'analyse mise en place.
- Résumé de toutes les exécutions à l'aide d'une fonction de classement.
- La sortie est enregistrée dans le fichier de données de la fenêtre "sonde" pour être utilisée par l'analyseur sous la forme graphique. Pour les analyses de Monte Carlo, la sonde offre une installation spéciale grâce à la fonction d'analyse de performance pour produire des histogrammes des données dérivées.

4.3.4 Simulations et résultats

Dans cette section, le circuit sous test sera simulé en utilisant l'analyse Monte-Carlo qui s'effectuera sous les analyses fréquentielle (AC) et temporelle (Transient). Deux types de fautes seront testés dans cette étape: il s'agit des fautes paramétriques qui représentent des déviations des valeurs des résistances et des capacités au delà de leurs valeurs nominales, estimées par 50% de moins ou de plus. Le deuxième type concerne les fautes catastrophiques représentées par des courts circuits ou des circuits ouverts aux niveaux des résistances et des condensateurs, et qui sont modélisés respectivement par des faibles résistances (0.1Ω), et par des résistances d'une valeur élevée ($1M\Omega$).

4.3.4.1 Simulation du circuit sous test par l'analyse fréquentielle (AC)

La réponse fréquentielle du filtre passe bande de Sallen-Key en utilisant l'analyse Monte-Carlo pour 100 itérations est présentée dans la figure 4.13.

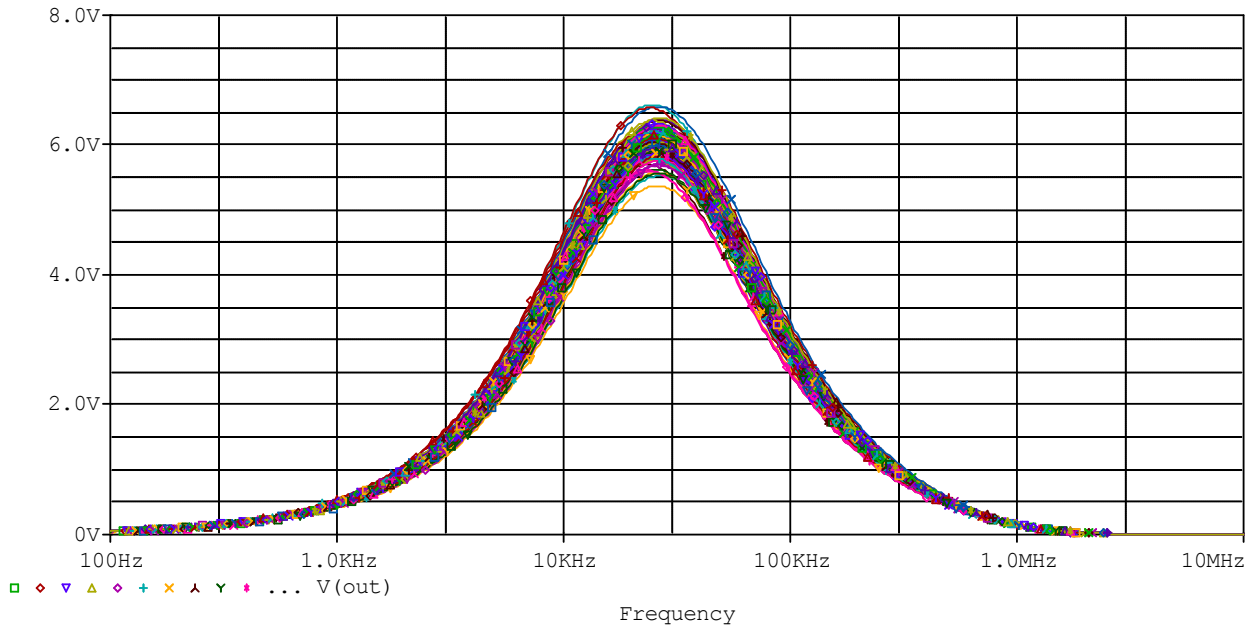
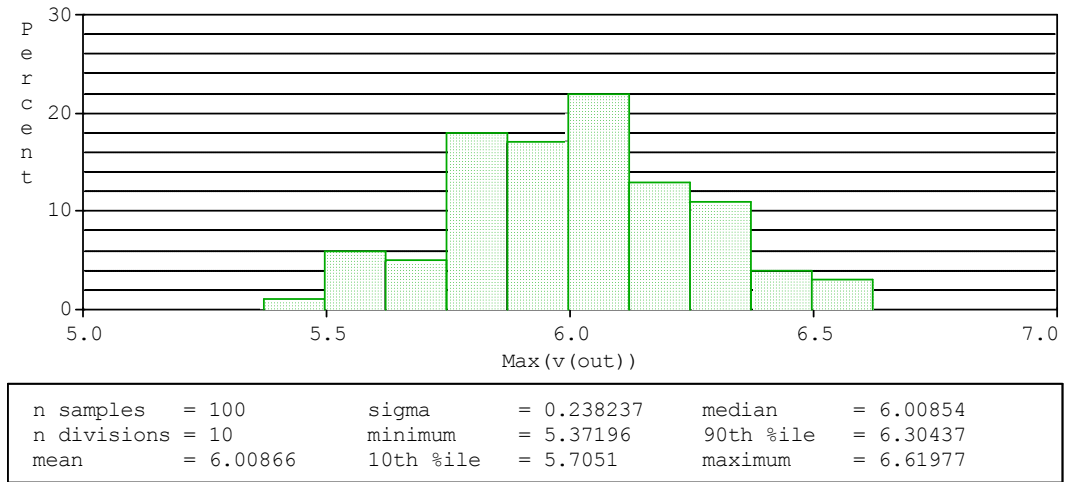


Figure 4.13 réponses fréquentielles du filtre passe bande de Sallen-Key sans fautes
Pour 100 itérations

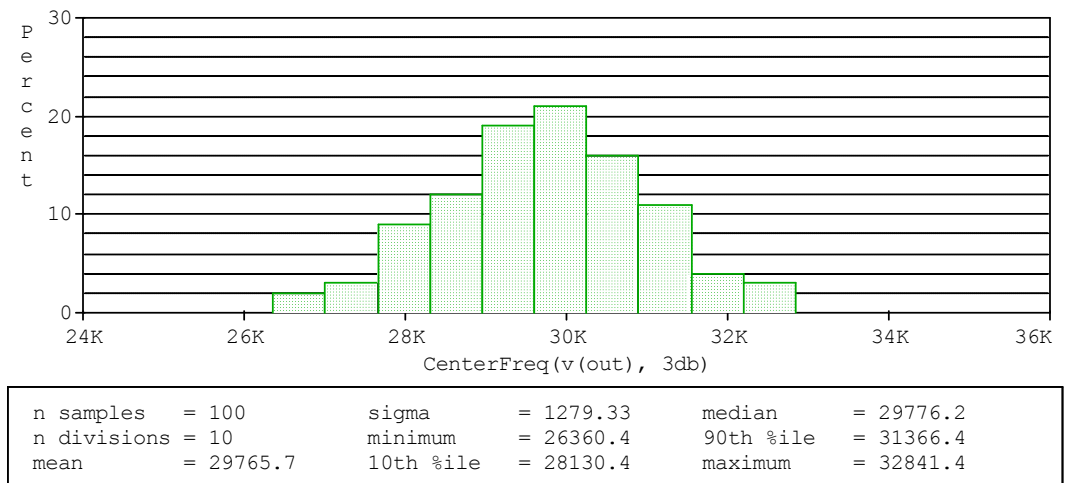
Les histogrammes correspondants décrivant les trois paramètres de test (amplitude maximale, fréquence centrale et la bande passante) sont représentés dans la figure 4.14

L'affichage des statistiques précise:

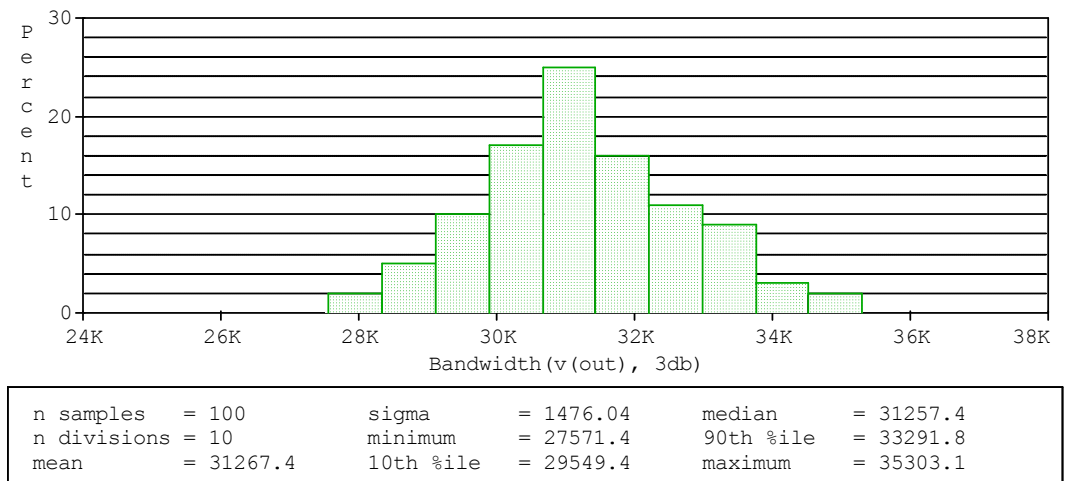
- **n samples**: nombre d'itérations de la simulation analysée,
- **n division**: nombre de divisions de l'intervalle [Xmin, Xmax] utilisées pour réaliser l'histogramme,
- **mean**: moyenne arithmétique des valeurs prises par la fonction d'évaluation,
- **sigma**: écart type des valeurs prises par la fonction d'évaluation,
- **minimum**: valeur minimale de la fonction d'évaluation,
- **10th % ile**: valeur de l'axe X telle que 10% des valeurs prises par la fonction d'évaluation lui soient inférieure;
- **median**: valeur de l'axe X telle que 50% des valeurs prises par la fonction d'évaluation lui soient inférieure,
- **90th % ile**: valeur de l'axe telle que 90% des valeurs prises par la fonction d'évaluation lui soient inférieure,
- **maximum**: valeur maximale de la fonction d'évaluation.



(a)



(b)



(c)

Figure 4.14 Histogrammes correspondants aux paramètres de test du CUT sans fautes
 (a) : Amplitude maximale (b) : Fréquence centrale (c) bande passante

Chapitre 4 : Méthodes de détection et de couverture des fautes

a) Injection des fautes paramétriques

Les fautes paramétriques injectées au circuit sous test sont des variations des valeurs des résistances et des capacités de 50% plus ou moins de ses valeurs nominales. Le tableau 4.4 représente les valeurs minimales et maximales des histogrammes de chaque paramètre de test dans les deux cas : circuit fautif et circuits sain.

Tableau 4.4 Détection des fautes paramétriques par les paramètres de la réponse fréquentielle du circuit sous test

Code	faute	Amplitude maximale		Fréquence centrale (HZ)		Bande passante (HZ)	
		min	max	min	max	min	max
F ₀	Fault free	5.37	6.62	26360	32841	27571	35303
F ₁	R1-50%	7.487		33478		79830	
F ₂	R1+50%	4.995		22209		40205	
F ₃	R2-50%	7.482		27896		38690	
F ₄	R2+50%	5.62		24330		54670	
F ₅	R3-50%	3.744		35847		80123	
F ₆	R3+50%	7.493		20741		40142	
F ₇	C1-50%	7.04		35039		81733	
F ₈	C1+50%	5.214		20741		39442	
F ₉	C2-50%	4.607		35847		65011	
F ₁₀	C2+50%	6.66		20741		45681	
Taux de couverture moyen		90%		90%		100%	

La faute est dite détectée si la valeur du paramètre de test utilisé appartient à l'intervalle [min, max] propre à chaque type de fautes, sinon la faute est non détectée. Les résultats présentés au tableau 4.4 peuvent être résumés comme suit :

- Le taux de couverture de fautes a atteint 90% lors d'utilisation de l'amplitude maximale et la fréquence centrale comme des paramètres de test.

Chapitre 4 : Méthodes de détection et de couverture des fautes

- Pour le troisième paramètre qui est la bande passante, le test a permis un taux de couverture maximal de 100%.

b) Injection des fautes catastrophiques

Les fautes catastrophiques injectées au circuit sous test sont des courts circuits et des circuits ouverts injectés au niveau des résistances et des condensateurs. Le tableau 4.5 représente les valeurs minimales et maximales des histogrammes de chaque paramètre de test dans les deux cas : circuit fautif et circuits sain.

Tableau 4.5 Détection des fautes catastrophiques par les paramètres de la réponse fréquentielle du circuit sous test

Code	Faute	Amplitude maximale		Fréquence centrale (HZ)		Bande passante (HZ)	
		min	max	min	max	min	max
F ₀	Fault free	5.37	6.62	26360	32841	27571	35303
F ₁	R1_CC	7.78		107079		860493	
F ₂	R1_CO	0.0015		12850		20325	
F ₃	R2_CC	0.116		578597		1466940	
F ₄	R2_CO	4.99		22721		63112	
F ₅	R3_CC	0.0025		131466		727964	
F ₆	R3_CO	14.99		358472		0	
F ₇	C1_CC	0		0		0	
F ₈	C1_CO	8.35		83328		381046	
F ₉	C2_CC	8.57		100000		0	
F ₁₀	C2_CO	5.045		180895		734065	
Taux de couverture moyen		100%		100%		100%	

Dans le cas des fautes catastrophiques, tous les paramètres de test donnent un taux de couverture de faute maximal égale à 100%, ce qui démontre la facilité de détection des fautes catastrophiques par rapport aux fautes paramétriques.

4.3.4.2 Simulation du circuit sous test par l'analyse temporelle (Transient)

La réponse temporelle du filtre passe bande de Sallen-Key en utilisant l'analyse Monte-Carlo pour 100 itérations est présentée dans la figure 4.15.

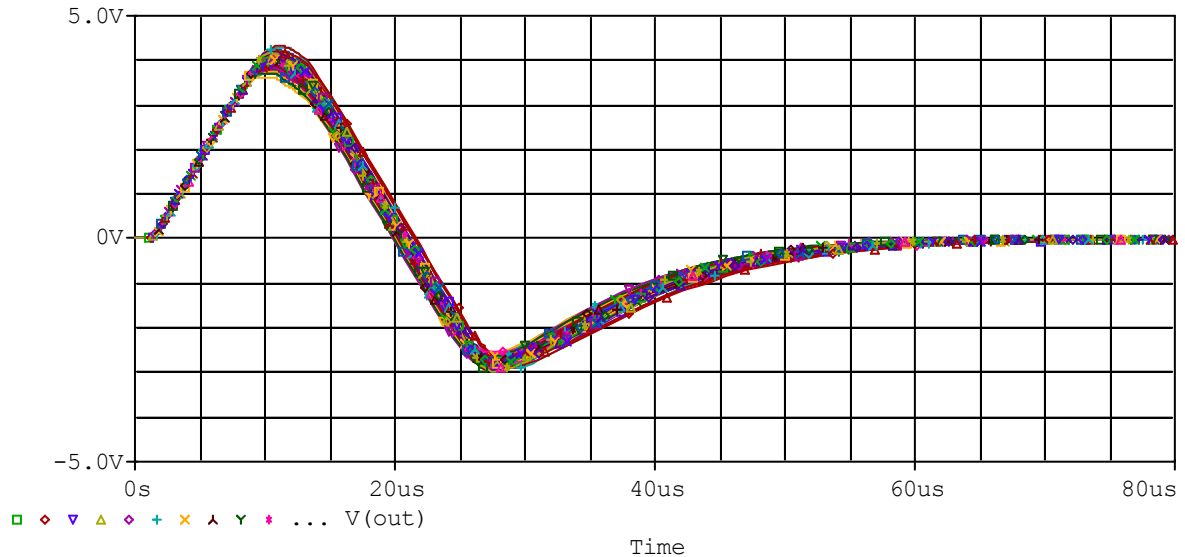
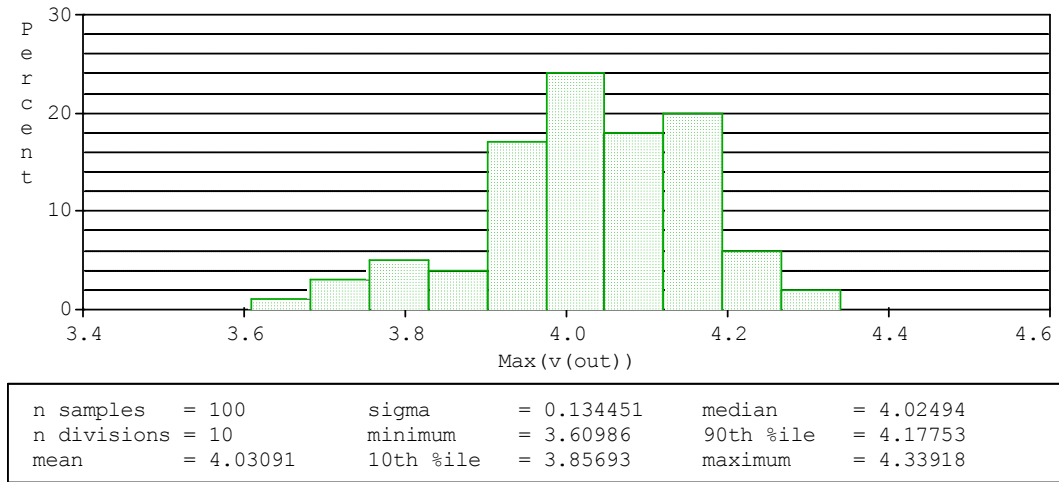
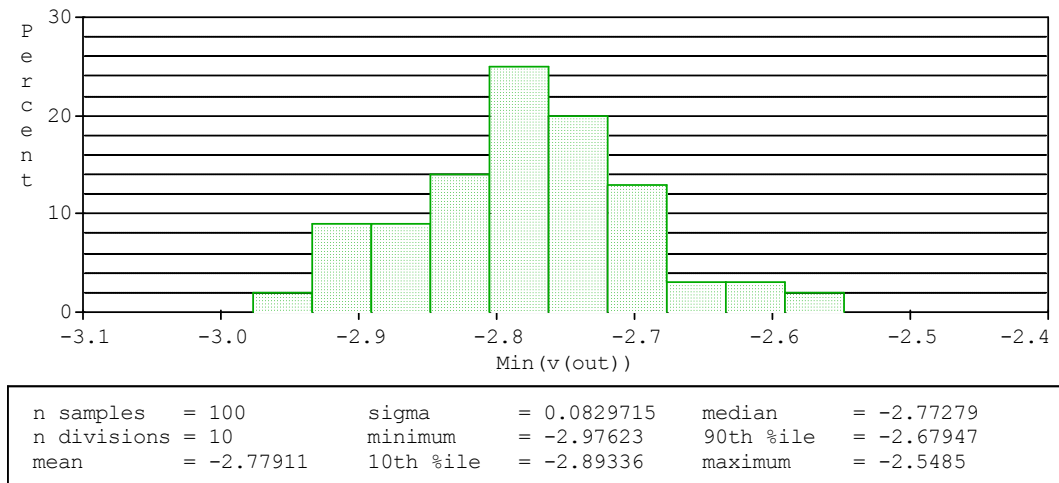


Figure 4.15 réponses temporelles du filtre passe bande de Sallen-Key sans fautes
Pour 100 itérations

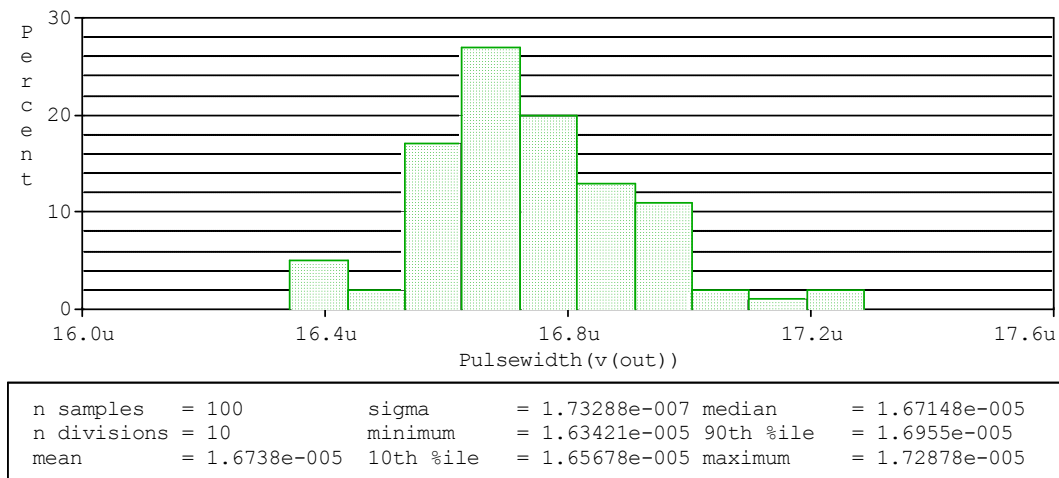
Les histogrammes correspondants décrivant les trois paramètres de test (amplitude maximale, amplitude minimale et la largeur d'impulsion) sont représentés dans la figure 4.16. En absence de fautes, l'analyse de Monte Carlo effectuée sur la simulation en analyse transitoire a pu déceler les marges de tolérances sur ces paramètres que le circuit puisse opérer sans altération notable sur sa réponse de sortie. Autrement, toute valeur de l'un des paramètres considéré pour ce processus de test se trouve incluse dans son intervalle délimité par ses valeurs min et max justifie alors l'état sain du circuit ou l'absence d'effet de faute en cas d'existence.



(a)



(b)



(c)

Figure 4.16 Histogrammes correspondants aux paramètres de test du CUT sans fautes
 (a) : point maximal (b) : Point minimal (c) : largeur d'impulsion

a) Injection des fautes paramétriques

Une fois de plus dans l'analyse transitoire, les fautes paramétriques injectées au circuit sous test sont les mêmes fautes que celles considérées dans le cas de la réponse fréquentielle. Les paramètres choisis pour ce type de test ont été autres que ceux pris en compte en analyse AC: il s'agit des points d'amplitude min et max du signal de réponse et de la largeur d'impulsion. Le tableau 4.4 représente les valeurs minimales et maximales des histogrammes de chaque paramètre de test pour les deux cas de circuit d'étude: circuit fautif et circuits sain.

Tableau 4.6 Détection des fautes paramétriques par les paramètres de la réponse temporelle du circuit sous test

Code	Faute	Point maximal		Point minimal		Largeur d'impulsion	
		min	max	min	max	min	max
F ₀	Fault free	3.694	4.324	-2.92	-2.538	1.62×10 ⁻⁵	1.74×10 ⁻⁵
F ₁	R1-50%	4.346		-3.162		1.065×10 ⁻⁵	
F ₂	R1+50%	3.525		-2.294		1.18×10 ⁻⁵	
F ₃	R2-50%	4.058		-3.395		1.11×10 ⁻⁵	
F ₄	R2+50%	4.015		-2.545		1.11×10 ⁻⁵	
F ₅	R3-50%	2.68		-1.97		0.97×10 ⁻⁵	
F ₆	R3+50%	4.922		-3.019		1.20×10 ⁻⁵	
F ₇	C1-50%	4.169		-3.015		1.03×10 ⁻⁵	
F ₈	C1+50%	3.685		-2.327		1.19×10 ⁻⁵	
F ₉	C2-50%	2.976		-2.487		0.94×10 ⁻⁵	
F ₁₀	C2+50%	4.683		-2.65		1.18×10 ⁻⁵	
Taux de couverture moyen		70%		90%		100%	

Il est remarqué dans ce tableau, que seul le troisième paramètre fût très concluant puisque la détection de fautes à afficher le plus haut score de couverture faute (100%). Le fait le plus marquant de ce test est qu'on peut assister à des fautes qui s'échappent au test pour certains paramètres choisis ; c'est le cas de la faute F₇ par exemple non détectée par le paramètre

d'amplitude max ou la faute F4 non couverte par le test employant les points d'amplitude min et max.

b) Injection des fautes catastrophiques

Les fautes catastrophiques injectées au circuit sous test sont des courts circuits et des circuits ouverts injectés au niveau des résistances et des condensateurs. Le tableau 4.7 présente les valeurs minimales et maximales des histogrammes de chaque paramètre de test dans les deux cas : circuit fautif et circuits sain.

Tableau 4.7 Détection des fautes catastrophiques par les paramètres de la réponse temporelle du circuit sous test

Code	Faute	Point maximal		Point minimal		Largeur d'impulsion	
		min	max	min	max	min	max
F ₀	Fault free	3.694	4.324	-2.92	-2.538	1.62×10⁻⁵	1.74×10⁻⁵
F ₁	R1_CC	4.143		-3.304		1.008×10 ⁻⁵	
F ₂	R1_CO	0.001		-0.00045		1.57×10 ⁻⁵	
F ₃	R2_CC	7.19		-8.68		1.60×10 ⁻⁵	
F ₄	R2_CO	3.885		-2.058		1.13×10 ⁻⁵	
F ₅	R3_CC	0.0027		-0.000092		0.75×10 ⁻⁵	
F ₆	R3_CO	6.69		-1.58		1.42×10 ⁻⁵	
F ₇	C1_CC	0		0		0	
F ₈	C1_CO	4.038		-3.266		0.97×10 ⁻⁵	
F ₉	C2_CC	8.57		-8.22		0	
F ₁₀	C2_CO	0.0045		-0.0012		0.63×10 ⁻⁵	
Taux de couverture moyen		80%		100%		100%	

D'après les résultats de tableau 4.7, seul le premier test paraît moins pertinent (80%) que les deux autres car 2 fautes parmi les 10 sélectionnées ont failli au test basé sur le premier paramètre. Les deux autres paramètres par contre ont rivalisé chacun un taux de couverture de fautes de 100%. L'autre fait saillant qui émane d'une analyse minutieuse est l'ambiguïté qui s'installe par exemple chez les fautes détectées F2 et F3 par le test basé sur le troisième paramètre donnant des effets presque identiques. Cette situation posera malheureusement des problèmes de leur identification et par conséquent leur isolation d'une façon précise. Il a été alors

de recourir à d'autres approches assurant non seulement une meilleure couverture de fautes mais aussi une classification précise contribuant à un meilleur diagnostic de circuits défectueux

4.5. Conclusion

Ce chapitre a eu pour objectif le test des circuits analogiques qui sont le filtre passe bas de seconde ordre à trois amplificateurs opérationnels et le filtre passe bande de Sallen-Key. Cela a été fait afin de détecter et d'identifier les fautes paramétriques et catastrophiques en traitant la réponse fréquentielle et temporelles de ces circuits.

Nous avons utilisé en premier lieu une approche de test par comparaison de réponse transitoire du premier circuit avec une référence continue. La sortie du comparateur est une suite d'impulsions dont les durées de ces impulsions sont prises comme paramètres de test. Les fautes testées dans ce cas sont des fautes catastrophiques (court circuit et circuit ouvert) injectées au niveau des transistors constituant les amplificateurs opérationnels.

Une approche basée sur la simulation Monte Carlo est appliquée pour détecter des fautes paramétriques et catastrophiques du filtre passe bande de Sallen-Key par analyse des paramètres des deux réponses fréquentielle et temporelle de ce circuit.

Pour la première approche, le taux de couverture atteint est de 100%, par contre pour la deuxième approche, on peut citer les cas suivants :

- En utilisant les paramètres de la réponse fréquentielle, à savoir l'amplitude maximale et la fréquence centrale, 90% de fautes paramétriques sont détectées, et 100% de fautes sont détectés en utilisant la bande passante comme paramètre de test. Pour les fautes catastrophiques, le taux de couverture est maximal et égale à 100%.
- En utilisant les paramètres de la réponse temporelle, 70% de fautes paramétriques sont détectées en considérant le point maximal comme paramètre de test. Alors que 90% de fautes sont détectées en utilisant le point minimal et 100% de fautes sont détectés si on utilise la largeur de l'impulsion comme paramètre de test. Pour les fautes catastrophiques, le taux de couverture est maximal et égale à 100% en utilisant le point minimal et la largeur de l'impulsion, et de 80% pour le point maximal.

Ce pendant un problème d'ambiguïté provient des fautes détectées mais non distinctes par leur effet et qui pourra constituer un véritable problème pour les spécialistes et chercheurs dans ce domaine. Dans cette situation, et pour solutionner ce problème des approches ont été proposées au chapitre prochain.

Chapitre 5

Classification des fautes à l'aide de la technique Neuro- Floue

CHAPITRE 5

Classification des Fautes à l'aide de la Technique Neuro Floue

5.1 Introduction

La détection des pannes des circuits intégrés est utilisée pour protéger ces derniers contre tout danger. De plus, la classification des pannes est utilisée pour identifier le type de défauts, puis aider l'équipe de maintenance à prendre une décision rapide et juste. En se basant sur des données collectées dans les systèmes sous test, les algorithmes d'intelligence artificielle sont généralement appliqués pour obtenir une classification automatique des défauts. Dans ce chapitre, l'accent est mis sur l'étude des méthodes de classification des fautes dans les circuits analogiques. Pour cela, le classificateur (classifieur) multi-classes à base de la technique neuro-floue est proposé pour la détection et la classification des pannes dans les circuits intégrés analogiques.

5.1.1 Méthodes de détection et de classification existantes et leurs limitations

Différentes méthodes de détection et de classification des défauts ont été proposées dans diverses publications. Par exemple, les auteurs de la littérature [79] ont mis au point une extraction de caractéristiques de propriété statistique basée sur FRFT. Dans cette méthode, les fonctionnalités optimales ont été extraites en utilisant la technique d'analyse à composante principale de Kernel (Kernel principal component analysis :KPCA), et celle de "Support Vector Machine " (SVM) pour diagnostiquer les composants défectueux dans les circuits analogiques. La littérature [80] a traité un système d'inférence floue (FIS) conçu pour modéliser et classer les fautes dans les circuits analogiques. Ensuite, des systèmes hybrides neuro-flous ont également été construits et mis en essai pour isoler les défauts du circuit sous test. Les auteurs de certains ouvrages [81] ont présenté un système neuro-flou opérant dans le domaine temporel pour le diagnostic des défauts des circuits électroniques.

Le classificateur de réseau neural proposé dans [81] a pour but de résoudre le problème de la distinction entre le circuit sain et défectueux. Par conséquent, un dictionnaire neuronal a été créé pour localiser la faute et ayant pour support la logique floue servant à traduire un vecteur de mesure dans une gamme de valeurs comprise entre zéro et un $[0, 1]$ pour la classification des fautes. Un autre travail de recherche a proposé un classificateur flou pour procurer un diagnostic de défaut simple et multiple avec la variation dans la valeur électrique de composants au-dessous de $\pm 50\%$ [82]. Cette technique a été basée sur trois paramètres de signature à savoir le gain maximal, la fréquence et la phase tirés à partir de la réponse fréquentielle du circuit sous test et qui ont fait usage de caractéristiques pour former un outil de classification. Certaines méthodes de diagnostic des fautes sont basées sur le traitement du signal. Les auteurs ont proposé ici une technique de transformation ondelettes fractionnaire (FWT) pour extraire les caractéristiques des défauts [83]. Un multi-classificateur flou associé à cette technique de traitement et qui est basé sur la description des données de vecteur de soutien (Support Vector Data Description SVDD) a été adopté pour diagnostiquer les fautes dans les circuits analogiques.

L'approche multifréquences qui fut une alternative à ces antécédents a été optimisée pour le diagnostic des défauts [84]. Par conséquent, le nombre de fréquences d'essai pour le diagnostic de défaut et le temps de simulation requis ont été réduits. Dans d'autres travaux de recherche [85], on y a proposé des coefficients de transformation en ondelettes comme caractéristiques pour mettre à l'exercice le classificateur. En général, l'extraction des entrées (features) et l'application du classificateur représentent les étapes principales des méthodes pilotées par les données, telles que les réseaux neuronaux artificiels (ANNs) et support vector machine (SVM), pour une localisation de fautes plus ou moins précise [86]. En référence [87], l'approche d'extraction des entrées temporelles par emploi de la transformation en ondelettes optimisées de Morlet a été proposée pour résoudre le problème de la faible détection de fautes transitoires. Les auteurs de [88] proposent une méthode de diagnostic des défauts dans les circuits analogiques, en utilisant des caractéristiques extraites à partir des réponses fréquentielles et temporelles, et une approximation par fonction de Kernel à vecteur régularisée (vector-valued regularized Kernel function approximation VVRKFA).

En fait, beaucoup d'autres méthodes peuvent être trouvées dans une littérature large et diverse ayant toutes une même cible de trouver un classificateur de défauts précis, mais impliquant différentes approches telles qu'une analyse de signature numérique [89], une approche statistique [90], réseaux de neurone BP [91], utilisation de l'algorithme évolutif hybride et le réseau neuronal [92], les paramètres réseaux et les réseaux neuronaux [93-94].

Dans cette même foulée d'étude, une nouvelle approche de détection et de classification des fautes des circuits analogiques est proposée. Les entrées (features) du classificateur ont été extraits à partir des

réponses fréquentielle et temporelle pour la formation de l'outil de classification. Par ailleurs il a été préconisé d'aboutir à un nombre des entrées du classificateur aussi restreint que possible en utilisant une technique de réduction de la dimension du vecteur d'entrée. Ceci permettra en conséquence de minimiser le temps d'exigence du classificateur et d'obtenir une classification de haute précision. Pour une meilleure crédibilité de cette méthode, la validation de cette dernière a été accomplie par voie de simulation sur trois exemples de circuits sous test : le filtre passe-bande de Sallen Key, un filtre biquad passe-haut à 4 amplificateurs opérationnels et un filtre leapfrog.

5.1.2 Contributions

Les principales contributions dans ce chapitre sont listées comme suit :

- ✓ de nouveaux éléments caractéristiques de fonctionnalité ont été introduits comme données d'entrée du classificateur, à savoir les différents paramètres extraits des courbes fréquentielle et transitoire du circuit sous test.
- ✓ Deuxièmement, dans la méthode proposée, en plus de certains modèles de fautes utilisés dans ce projet, il y a possibilité d'extension de détection de tous les modèles réels possibles pour une faute particulière, contrairement à ce qui a été annoncé dans un travail de recherche [18].
- ✓ Enfin, une classifiatrice multi-classe à base de la technique Neuro-Floue a été développée pour une discrimination entre différents types de défauts dans des circuits analogiques.

5.2 Les classificateurs basés sur l'intelligence artificielle

5.2.1 Développement d'un classificateur neuro-floue multi-classes

Pour une manière efficace et organisée, et comme le montre la figure 5-1, six étapes de base sont nécessaires dans le processus de développement du classificateur, il s'agit de:

- 1) simulation du circuit analogique sous test, en absence et en présence de défauts;
- 2) collection d'une base de données couvrant le scénario le plus éventuel pour chaque défaut, et pour le fonctionnement normal;
- 3) extraction des paramètres (entrées du classificateur) ;
- 4) réduction du nombre des entrées du classificateur;
- 5) entraînements et essais des classificateurs;
- 6) synthèse des classificateurs et décision finale.

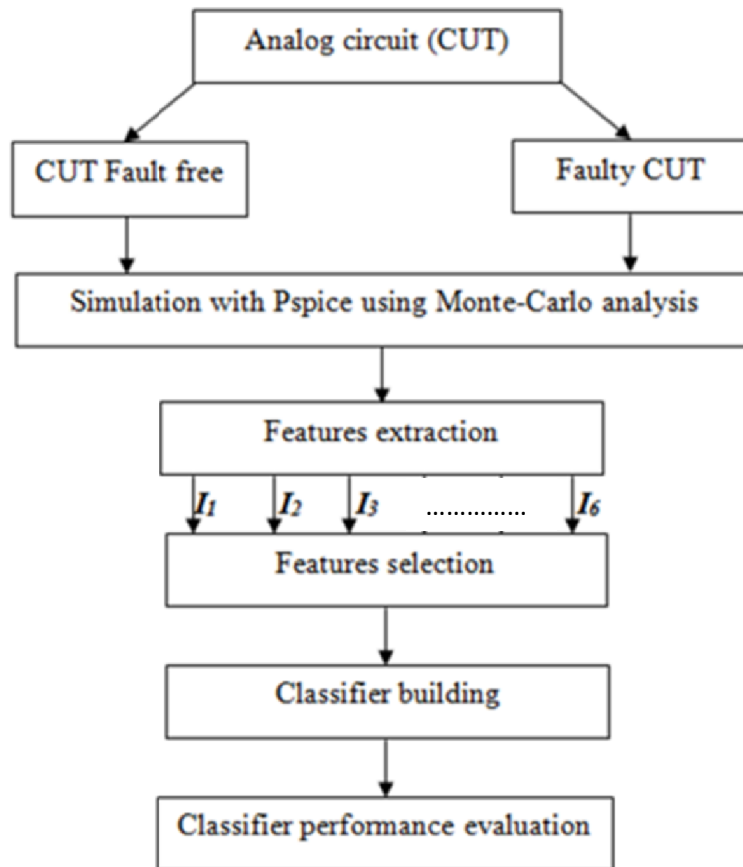


Figure 5.1 Processus d'un classificateur des fautes du circuit sous test

5.2.2 Principe du classificateur neuro-flou

Les systèmes flous sont capables de contenir des informations incertaines et inexactes, mais ne peuvent pas mettre à jour et affiner leurs paramètres automatiquement. Pour surmonter cet inconvénient, un algorithme d'apprentissage du réseau neuronal a été appliqué, par entraînement de la base des données [96]. Un système d'inférence floue (FIS) de type Sugeno est utilisé, dont la conséquence est constante; ce type de system FIS est connu sous le nom de type Sugeno d'ordre zéro [97].

La procédure du système neuro-flou est appliquée comme illustré dans la figure 5-2, utilise une architecture simple. Pour expliquer le principe de cette procédure, nous supposons que la structure ANFIS possède deux entrées dont la première entrée représente la valeur maximale de la réponse en fréquence du circuit sous test (I_1). La deuxième entrée est la fréquence centrale (I_2) de la même réponse. Le système a une sortie (Z) qui représente une classe de fautes.

Dans le cas de deux règles existantes seulement et selon le classificateur de type Sugeno d'ordre zéro, les sorties sont calculées en additionnant deux fonctions (f_1 , f_2) qu'on définit comme suit:

- f_1 est calculée par la règle suivante:

Si I_1 est A_1 et I_2 est B_1 , alors

$$f_1 = p_{11} \times I_1 + p_{12} \times I_2 + r_1 \quad (5-1)$$

- f_2 est calculée par la règle suivante:

Si I_1 est A_2 et I_2 est B_2 , alors

$$f_2 = p_{21} \times I_1 + p_{22} \times I_2 + r_2 \quad (5-2)$$

Ou A_i et B_i sont des ensembles flous, f_i est la sortie, p_{ij} et r_i ($i = j = 1, 2$), sont les paramètres qui en résultent. L'architecture de l'ANFIS utilisée pour mettre en œuvre les deux règles est illustrée dans la figure 5-2, où les carrés représentent des nœuds adaptatifs et les cercles représentent les nœuds fixes.

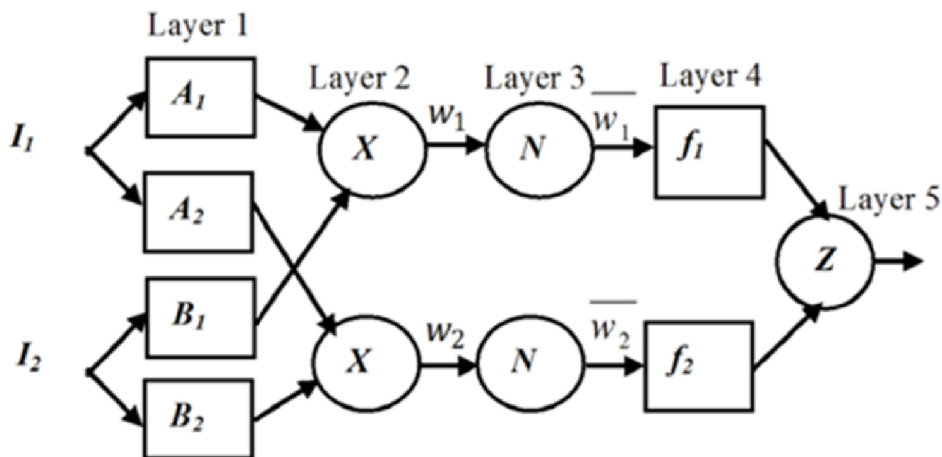


Figure. 5-2 Modèle de l'architecture ANFIS avec deux entrées, une sortie et deux règles.

La structure d'ANFIS comprend cinq couches qui peuvent être décrites comme suit:

a) Couche 1 : Couche de fonctionnalité

Pour cette couche, la sortie du nœud i est calculée par les équations suivantes:

$$O_i^1 = \mu_{A_1}(I_1) \text{ pour } i = 1, 2 \quad 5-3$$

Or

$$O_i^1 = \mu_{B_2}(I_2) \text{ pour } i = 1, 2 \quad 5-4$$

Ou, I_1 et I_2 sont les caractéristiques nettes qui alimentent l'entrée du nœud i . A_i et B_i sont des termes linguistiques liés à leurs fonctions d'appartenance propres, caractérisées par les fonctions d'appartenance

appropriées μ_{A_i} et $\mu_{B_{i-2}}$, respectivement. O_i^1 est la sortie du nœud de la couche. Les fonctions d'appartenance pour les termes linguistiques peuvent être toute fonction d'appartenance appropriée. Dans l'exemple choisi ici, les fonctions considérées sont d'appartenance trapézoïdales et sont décrites comme suit:

$$\mu_{A_i} = \begin{cases} 0, & I_1 \leq a_i \\ \frac{I_1 - a_i}{b_i - a_i}, & a_i \leq I_1 \leq b_i \\ 1, & b_i \leq I_1 \leq c_i \\ \frac{d_i - I_1}{d_i - c_i}, & c_i \leq I_1 \leq d_i \\ 0, & d_i \leq I_1 \end{cases} \quad 5-5$$

$$\mu_{B_i} = \begin{cases} 0, & I_2 \leq a_i \\ \frac{I_2 - a_i}{b_i - a_i}, & a_i \leq I_2 \leq b_i \\ 1, & b_i \leq I_2 \leq c_i \\ \frac{d_i - I_2}{d_i - c_i}, & c_i \leq I_2 \leq d_i \\ 0, & d_i \leq I_2 \end{cases} \quad 5-6$$

Où μ_{A_i} et μ_{B_i} sont les fonctions d'appartenance. a_i , b_i , c_i et d_i sont les paramètres que l'algorithme d'apprentissage modifie en fonction de l'arrangement avec l'ensemble des données d'apprentissage. Par conséquent, la fonction trapézoïdale varie.

b) Couche 2: Couche des règles

Dans cette couche, les nœuds fournissent une résistance au saccage O_i^2 , il s'agit du produit de toutes les sorties issues de la première couche, où aucun paramètre n'est à ajuster: il représente donc un nœud fixe.

$$O_i^2 = w_i = \mu_{A_i}(I_1) \mu_{B_i}(I_2), \quad i = 1, 2 \quad 5-7$$

c) Couche 3: Couche de normalisation

Le nœud i de la couche de normalisation prend le rapport entre la puissance de tir de la $i^{\text{ème}}$ règle et la somme de la puissance de toutes règles. Les sorties de cette couche sont appelées puissance de tir normalisée.

$$O_i^3 = \bar{w}_i = \frac{w_i}{\sum_i w_i}, \quad i = 1, 2 \quad 5-8$$

d) Couche 4: Couche conséquente

Chaque nœud i dans cette couche est adaptatif. La fonction du nœud de la quatrième couche évalue la contribution de chaque $i^{\text{ème}}$ règle par rapport à la sortie globale. La sortie du nœud i de cette couche est calculée à partir de la relation suivante:

$$O_i^4 = \bar{w}_i f_i \quad i = 1, 2 \quad 5-9$$

Ou, \bar{w}_i est la force de tir normalisée consultatif de la troisième couche. Les formules calculant f_i sont données dans les équations 5-1 et 5-2.

e) Couche 5: Couche de sortie

Le nœud unique dans cette couche est un nœud fixe ayant pour étiquette "**Somme**", et évalue la sortie globale comme la sommation de tous les signaux entrants. Par conséquent, le processus de Defuzzification est obtenu par l'aboutissement d'une sortie générale nette.

$$O_i^5 = \sum_i \bar{w}_i f_i = \frac{\sum_i w_i f_i}{\sum_i w_i}, \quad i = 1, 2 \quad 5-10$$

Nous notons que le classificateur ANFIS décrit ci-dessus n'est qu'un exemple simple à suivre pour faciliter la compréhension de l'application d'une telle approche pour un cas plus complexe. Dans ce qui suit, nous allons utiliser plus d'entrées et plus de règles qui seront également générés en utilisant des algorithmes d'apprentissage.

5.2.3 Approche de classification multi-classes

Dans cette étude, nous pouvons utiliser une collection de classificateur appelé classification multi-classe. Dans ce cas, les décisions relatives aux résultats sont comparées en utilisant la règle «gagnant-prend-tous» ("winner-takes-all"), telle qu'elle est présentée à la figure 5-3. Chaque classificateur alimente cette règle par une étiquette de classe "Crisp" en anglais et que nous traduisons comme "croquante" ou bruyante affectée à la sortie (Z). L'étiquette de classe finale de Z est celle qui a la valeur nette et majorée aux sorties du groupe de classificateurs.

Si le résultat de la sortie du classificateur i , est d_i , alors l'étiquette L à la sortie de la règle la plus mentionnée est calculée par:

$$L = \max (d_i) \quad 5-11$$

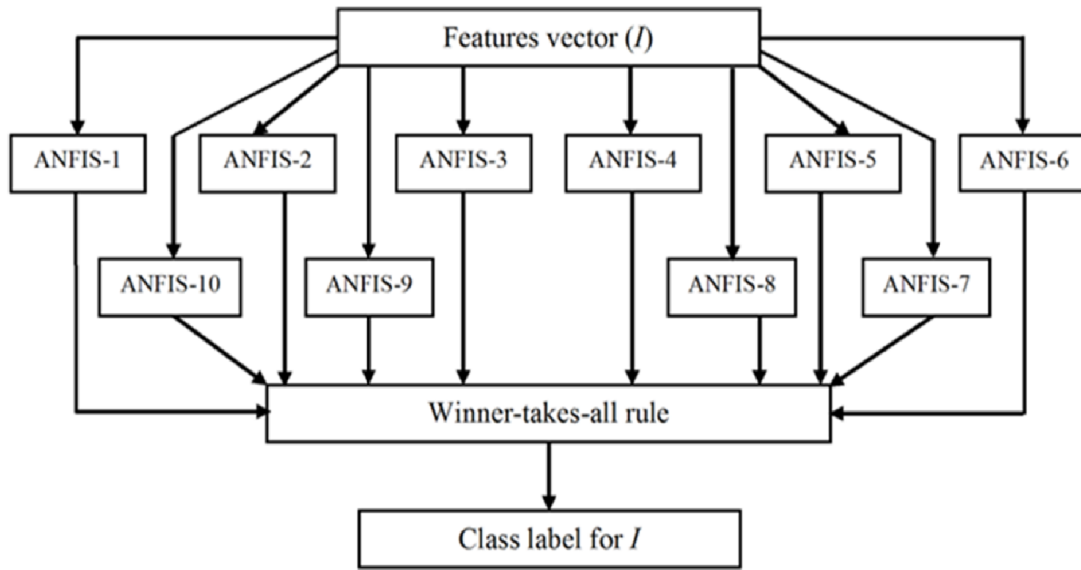


Figure. 5-3 Concept de classificateur neuro-flou multi-classes.

5.2.4 Critères d'évaluation de la performance des classificateurs

La performance du classificateur sera évaluée en utilisant deux critères statistiques qui sont:

- ✓ l'erreur quadratique moyenne
- ✓ Coefficient de corrélation

Cela nous permet de le comparer à un autre type de classificateur.

L'erreur quadratique moyenne (Root Mean Square Error : RMSE) est donnée par l'expression suivante:

$$RMSE = \sqrt{\frac{\sum_{i=1}^n (m_i - p_i)^2}{n}} \quad 5-12$$

Quant au coefficient de corrélation (R^2) est donné par l'expression suivante:

$$R^2 = 1 - \frac{SSE}{\sum_{i=1}^n p_i^2} \quad 5-13$$

Ou (SSE) représente la Somme des erreurs quadratiques (sum square error) qui est donnée par l'expression suivante :

$$SSE = \sum_{i=1}^n (m_i - p_i)^2 \quad 5-14$$

m_i est la valeur actuelle, P_i est la sortie prédictive du classificateur, et n est le nombre des données d'entrée.

5.3 circuits sous test et résultats de simulation

Le système de diagnostic des défauts proposé pour la détection et la classification des défauts des circuits analogiques est validé par trois exemples de circuits, un filtre passe-bande de Sallen – Key, un filtre passe-haut biquad à quatre amplificateurs opérationnels et un filtre leapfrog. Dans cette étude, seuls les défauts paramétriques ont été pris en considération à cause du degré de sévérité qu'ils exposent dans les circuits et systèmes électroniques.

5.3.1 Premier circuit sous test: le filtre passe-bande de Sallen – Key

Le premier circuit sous test dans cette étude est le filtre passe-bande de Sallen – Key [79] (voir fig. 5-4). La tolérance des résistances et des condensateurs est de 5% et 10% respectivement considérés jusqu'à présent comme marges d'erreur acceptables pour un circuit opérant sans altération notable au niveau de sa fonction.

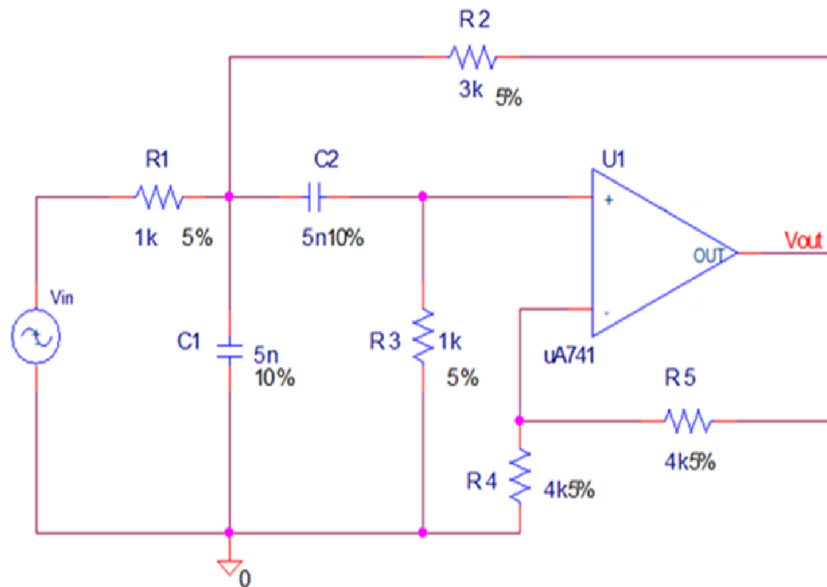


Figure. 5-4 Schéma du filtre passe-bande de Sallen-Key.

Dans cette première expérimentation, nous utilisons un signal à une seule impulsion avec une amplitude de 5V et une durée de 10 μ s, qui pour des raisons de comparaison, est choisie similaire à celle adoptées dans [79] comme entrée du circuit sous test dans le domaine temporel. Pour l'analyse en domaine fréquentiel, un signal en mode AC avec une magnitude de 5V est utilisé comme signal d'entrée du circuit sous test pour différentes fréquences. La simulation du circuit sous test a été effectuée sous le simulateur PSpice. Par conséquent, les valeurs nominales et altérées (à cause de la présence de faute) des composants sont indiquées dans la table 5-1. Les classes de fautes incluent les valeurs des composants R_1 , R_2 , R_3 , C_1 et C_2 qui variaient de 50% de plus ou de moins par rapport à leurs valeurs nominales, plus celle de la classe sans défauts.

Afin de générer les données de la simulation des fautes selon leurs classes dans le tableau 5-1, des analyses dans le domaine fréquentiel, en mode transitoire et celle basée sur l'approche de Monte Carlo développées à partir le logiciel ORCAD Pspice sont employées [95]. Par conséquent, les données simulées pour chaque classe de fautes sont de 200 ensembles, qui sont répartis en 100 vecteurs de fonction d'apprentissage et 100 échantillons de test.

Table 5-1

Valeurs nominales et altérées par fautes des composants du filtre passe-bande de Sallen-Key

Faute	Composant	Valeur nominale	Type de faute	Valeur fautive
F0	-	-	FF	
F1	R1	1k Ω	R1+50%	1.5k Ω
F2	R1	1k Ω	R1-50%	0.5k Ω
F3	R2	3k Ω	R2+50%	4.5k Ω
F4	R2	3k Ω	R2-50%	1.5k Ω
F5	R3	1k Ω	R3+50%	1.5k Ω
F6	R3	1k Ω	R3-50%	0.5k Ω
F7	C1	5nf	C1+50%	7.5nF
F8	C1	5nF	C1-50%	2.5nF
F9	C2	5nF	C2+50%	7.5nF
F10	C2	5nF	C2-50%	2.5nF

5.3.1.1. Résultats de simulations

La réponse fréquentielle du circuit sous test est représentée dans la figure 5-5, et sa réponse temporelle est représentée dans la figure 5-6. Chacune de ces réponses représente une nappe de courbes propre à une tolérance de composants admissibles pour un nombre d'échantillons de test prescrits. Il s'agit du résultat obtenu selon la méthode de Monté Carlo qui délimite l'intervalle de bon fonctionnement du circuit en absence de faute.

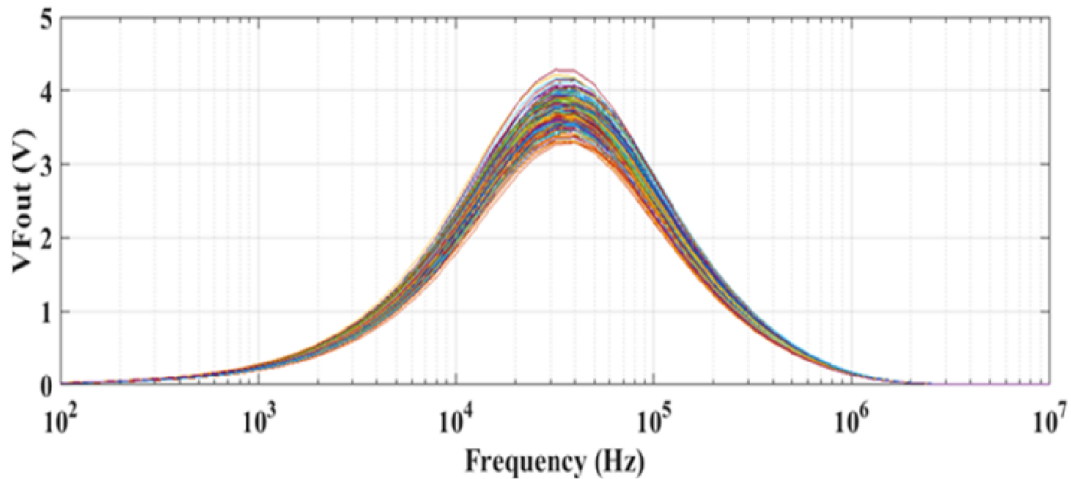


Figure. 5- 5 Réponse fréquentielle du circuit sous test sans fautes

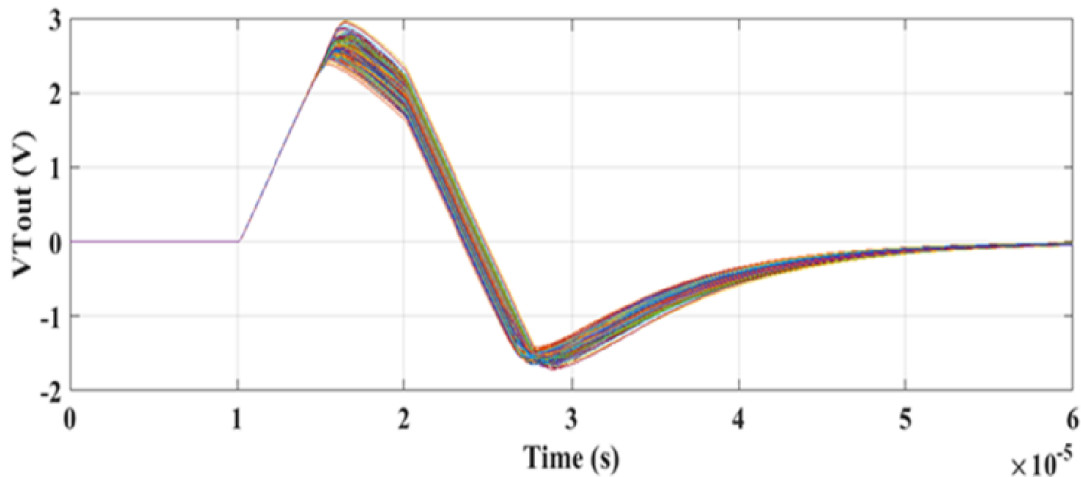


Fig. 5-6 Réponse temporelle du circuit sous test sans fautes

5.3.1.2 Génération des entrées du classificateur

L'extraction des paramètres d'entrée du classificateur est une opération qui a pour mission d'engendrer une carte de données brutes à l'entrée du classificateur. Cela vise à construire des éléments fonctionnels plus efficaces pour le processus de détection et de classification des fautes dans le circuit sous test.

A partir des réponses fréquentielle et temporelle présentées dans les figures 5-7 et 5-8, les paramètres (entrées du classificateur) nominativement I1, I2, I3, I4, I5 et I6 ont été extraits pour les deux cas du circuits sous test , sain (sans fautes) et fautif (en présence d'une faute individuelles) au moyen des formules qu'on énonce comme suit:

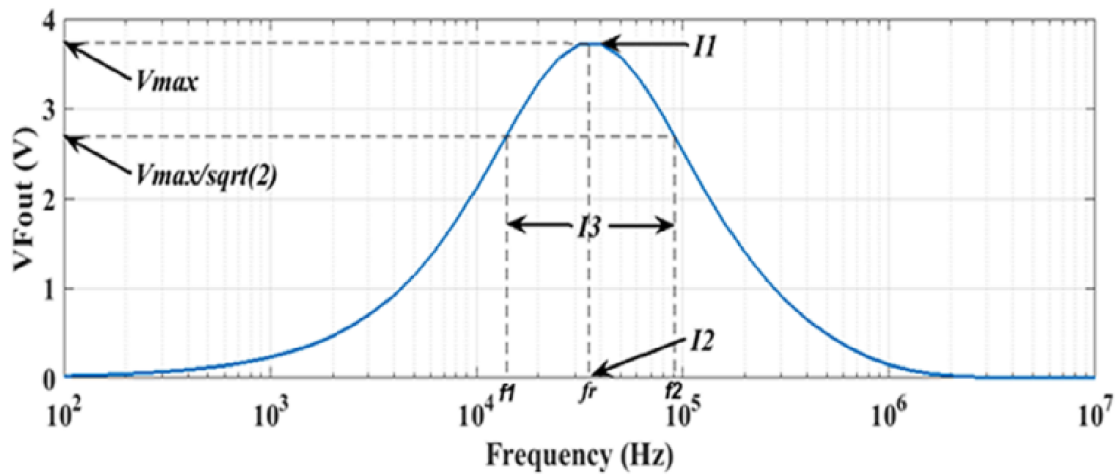


Fig. 5-7 Extraction des entrées à partir de la réponse fréquentielle du circuit sous test sans fautes

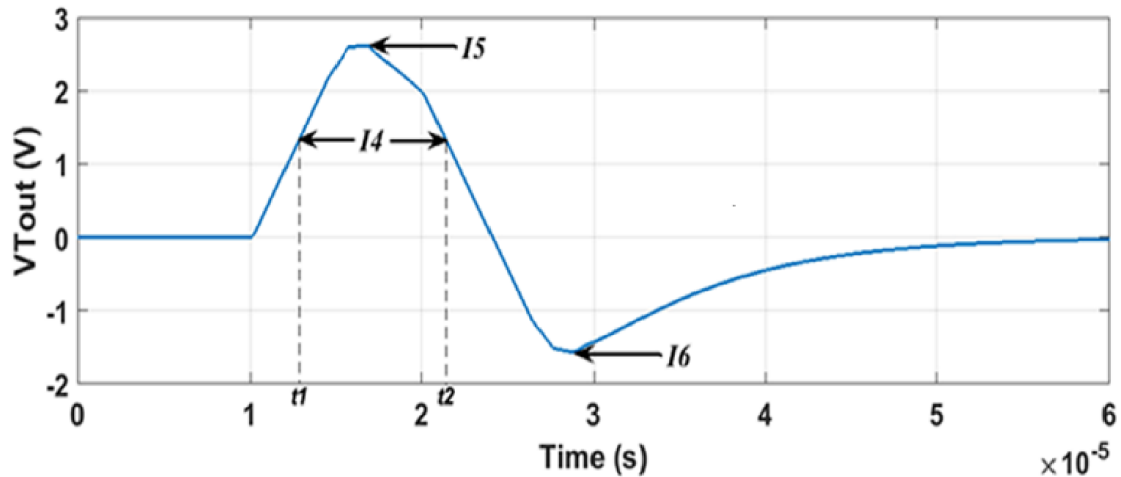


Fig. 5-8 Extraction des entrées à partir de la réponse temporelle du circuit sous test sans fautes

a. Entrée 1: Point maximal de la réponse fréquentielle (I1)

Cette première entrée du classificateur représente la valeur du point maximal de la courbe de la réponse fréquentielle du circuit sous test.

$$I_1 = \max(VF_{out}) \quad 5-15$$

b. Entrée 2: Fréquence centrale (I2)

La fréquence centrale représente la moyenne entre les deux fréquences de coupure du filtre passé bande de Sallen -Key. f_1 et f_2 sont respectivement les fréquences de coupure minimale et maximale. Cette fréquence est en effet décrite comme entrée qu'on évalue comme telle:

$$I_2 = f_r = \frac{f_1 + f_2}{2} \quad 5-16$$

c. Entrée 3: Largeur de la bande passante (I3)

La largeur de la bande passante (bandwidth BW) est l'intervalle entre les deux fréquences de coupures du filtre de Sallen-Key et qu'on estime à partir de leur différence:

$$I_3 = f_2 - f_1 \quad 5-17$$

d. Entrée 4: Largeur d'impulsion de la réponse temporelle (I4)

La largeur d'impulsion (PW) est le temps écoulé entre les fronts montant et descendant (t_1 , t_2) de la réponse temporelle. Pour que cette mesure soit reproductible et précise, nous utilisons le niveau de puissance de 50% comme point de référence.

$$I_4 = t_2 - t_1 \quad 5-18$$

e. Entrée 5: Point maximale de la réponse temporelle (I5)

Cette entrée représente la valeur du point maximal de la courbe de la réponse temporelle.

$$I_5 = \max (VT_{out}) \quad 5-19$$

f. Entrée 6: Point minimale de la réponse temporelle (I6)

Cette fonctionnalité est choisie comme valeur minimale de la courbe de la réponse temporelle.

$$I_6 = \min (VT_{out}) \quad 5-20$$

5.3.2 Deuxième circuit sous test: filtre passe-haut biquad à quatre opamp

Le deuxième circuit à tester est un filtre passe-haut biquad à quatre amplificateurs opérationnels, utilisé comme circuit sous test dans [2]. Les valeurs nominales de tous les composants sont reportées en figure 5-9. Les signaux d'entrée sont également une impulsion unique d'amplitude de 5V et une durée de 10 μ s dans le domaine temporel, et un signal alternatif sinusoïdal d'une amplitude de 5V dans le domaine fréquentiel. La simulation de circuit a été exécutée sous le même logiciel (PSpice) que le premier circuit en utilisant deux types d'analyse transitoire et fréquentielle (AC). La tolérance des résistances et des

condensateurs est fixée respectivement à 5% et 10%. Le tableau 2 indique les valeurs nominales et les valeurs fautives des composants. Par conséquent, dans cette expérience, les réponses temporelles et fréquentielle ont été collectées pour 12 fautes singulières y compris celle du circuit sans fautes (FF), afin de vérifier la validité et la précision de la méthode proposée. Ces défauts sélectionnés correspondent aux classes de défauts qui affectent les composants suivants R1, R2, R3, R4, C1 et C2, dont les valeurs dévient de plus et de moins de 50% de leur valeur nominale.

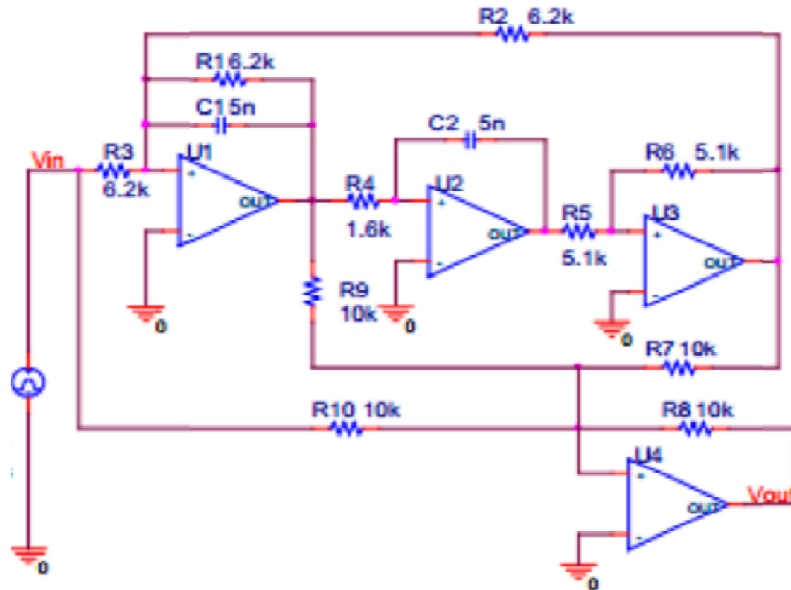


Figure. 5-9 Filtre biquad passe-haut à quatre amplificateurs opérationnels

Tableau 5-2

Valeurs nominales et fautives du Filtre biquad passe haut à quatre amplificateurs opérationnels

Faute	Composant	Valeur nominale	Type de faute	valeur
F0	-	-	FF	-
F1	R1	6.2kΩ	R1+50%	9.3kΩ
F2	R1	6.2kΩ	R1-50%	3.1kΩ
F3	R2	6.2kΩ	R2+50%	9.3kΩ
F4	R2	6.2kΩ	R2-50%	3.1kΩ
F5	R3	6.2kΩ	R3+50%	9.3kΩ
F6	R3	6.2kΩ	R3-50%	3.1kΩ
F7	R4	1.6kΩ	R4+50%	2.4kΩ
F8	R4	1.6kΩ	R4-50%	0.8kΩ
F9	C1	5nF	C1+50%	7.5nF
F10	C1	5nF	C1-50%	2.5nF
F11	C2	5nF	C2+50%	7.5nF
F12	C2	5nF	C2-50%	2.5nF

5.3.3 Troisième circuit sous test: filtre leapfrog

Le troisième exemple de circuit à tester est le filtre leapfrog, conçu avec des amplificateurs opérationnels à retour de courant (Current Feedback Operational Amplifiers CFOA). La valeur nominale de chaque composant est indiquée sur la figure 5-10, et la tolérance des résistances et des condensateurs est réglée respectivement à 5% et 10%. Deux types signaux sont appliqués à l'entrée de ce circuit : un signal sinusoïdal d'amplitude égale à 5V et de fréquence de 1KHZ dans le domaine temporel, et un signal AC d'une amplitude de 5V dans le domaine fréquentiel. Par conséquent, dans cette expérience, 24 cas de fautes singulières sont sélectionnées dont le but est de vérifier une autre fois de plus son caractère d'approbation et de la précision de notre méthode de classification proposée. Les classes de défauts sont présentées dans le tableau 5-3.

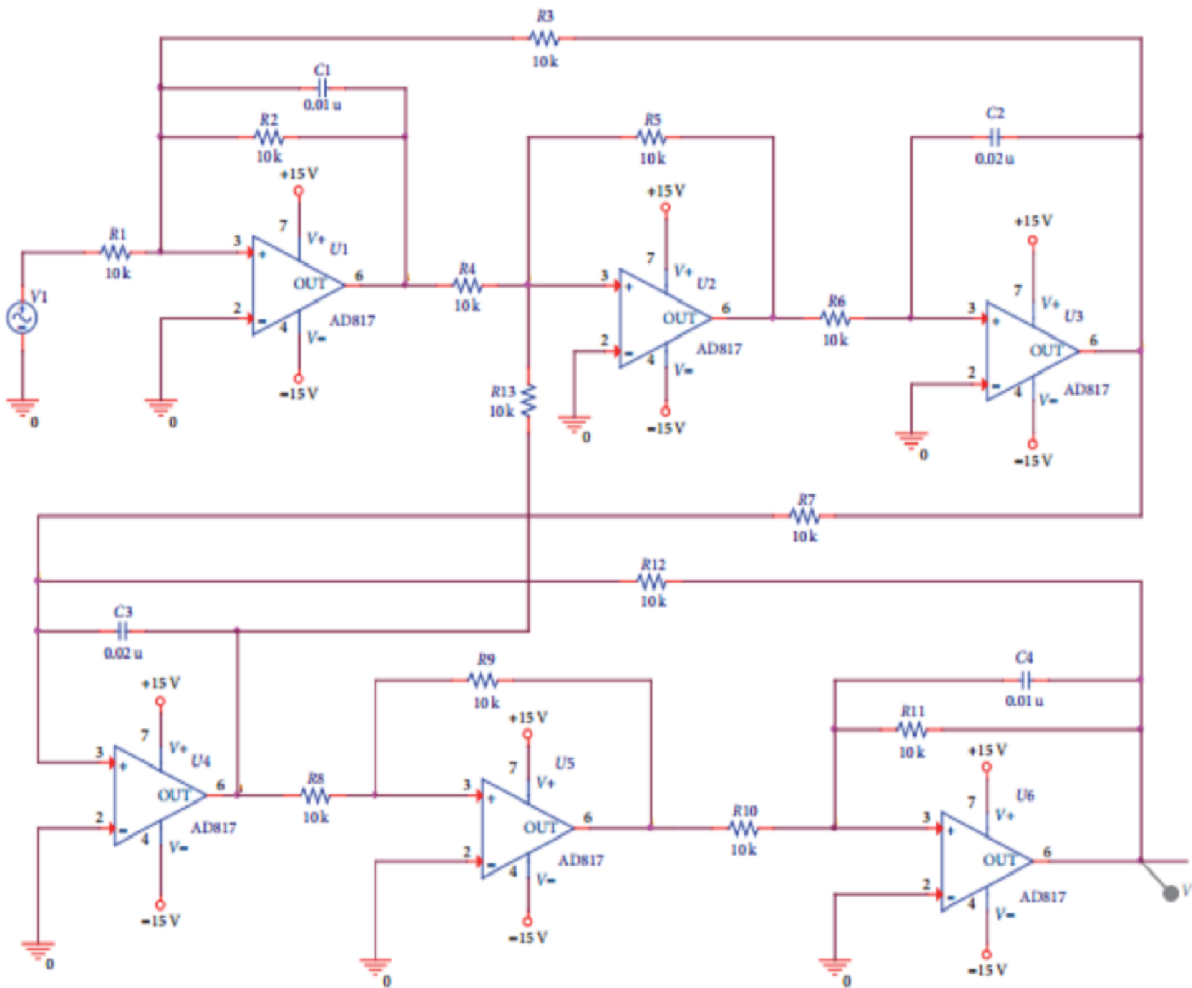


Fig. 5-10 Schéma du filtre leapfrog.

Tableau 5-3
Valeurs nominales et fautives pour le filtre leapfrog

Faute	Composant	Nominal value	Fault type	Faulty value
F0	-	-	FF	-
F1	R1	10k Ω	R1-50%	5k Ω
F2	R1	10k Ω	R1+50%	15k Ω
F3	R2	10k Ω	R2-50%	5k Ω
F4	R2	10k Ω	R2+50%	15k Ω
F5	R3	10k Ω	R3-50%	5k Ω
F6	R3	10k Ω	R3+50%	15k Ω
F7	R4	10k Ω	R4-50%	5k Ω
F8	R4	10k Ω	R4+50%	15k Ω
F9	R6	10k Ω	R6-50%	5k Ω
F10	R6	10k Ω	R6+50%	15k Ω
F11	R7	10k Ω	R7-50%	5k Ω
F12	R7	10k Ω	R7+50%	15k Ω
F13	R8	10k Ω	R8-50%	5k Ω
F14	R8	10k Ω	R8+50%	15k Ω
F15	R10	10k Ω	R10-50%	5k Ω
F16	R10	10k Ω	R10+50%	15k Ω
F17	C1	10nF	C1-50%	5nF
F18	C1	10nF	C1+50%	15nF
F19	C2	20nF	C2-50%	10nF
F20	C2	20nF	C2+50%	30nF
F21	C3	20nF	C3-50%	10nF
F22	C3	20nF	C3+50%	30nF
F23	C4	10nF	C4-50%	5nF
F24	C4	10nF	C4+50%	15nF

5.4. Résultats et discussions

Dans cette section, nous présentons d'abord la méthode proposée pour la réduction de la dimensionnalité des entrées du classificateur et son application au groupe de classificateurs relatifs à un circuit approprié. Nous énumérons les classificateurs au nombre de 10 pour le premier circuit sous test, de 12 pour le deuxième circuit et de 24 pour le troisième circuit. Ensuite, le classificateur neuro-fuzzy multi-classe proposé a été appris et testé avec l'espace réduit du nombre des entrées originales, défini par un vecteur support de toutes les entrées. Enfin, ce classificateur proposé sera comparé à un classificateur de type "ANN" et à la méthode basée sur les caractéristiques de propriété statistique dans le domaine fractionnaire basée sur FRFT proposée dans [76], justifiant ainsi le caractère de perfectionnement de notre approche proposée et de son apport positif par rapport aux méthodes précitées.

5.4.1. Résultats pour le premier circuit sous test

5.4.1.1 Réduction de nombre des entrées du classificateur

La sélection des bonnes entrées du classificateur est une étape importante pour chaque classificateur, où les entrées construites ont le même effet sur les performances du classificateur. Ainsi, la réduction du nombre des entrées du classificateur est de plus en plus nécessaire. Cette étape de processus conduit à l'évitement des informations redondantes, et élimine également les entrées qui ne pourvoient aucun effet sur la décision du classificateur. Pour ces raisons, une technique de réduction dimensionnelle de fonctionnalité est appliquée pour choisir les meilleures fonctionnalités définies, et réduire la dimension de l'ensemble des entrées du classificateur.

L'objectif principal de la réduction des entrées du classificateur est de sélectionner un sous-ensemble d'entrées parmi le vecteur complet d'entrées. Les entrées sélectionnées peuvent fournir les mêmes informations fournies par l'ensemble des fonctionnalités. Cependant, différents chercheurs expliquent la sélection des entrées de différents points de vue. Certains d'entre eux sont:

1) modèles plus rapides et plus rentables: la sélection des entrées tend à fournir un nombre minimal d'entrées aux processus ultérieurs, de sorte que ces processus n'ont pas besoin de traiter l'ensemble des entrées. Le nombre réduit d'entrées signifie le temps d'exécution minimum pour le modèle.

2) Éviter le sur ajustement et améliorer la performance: en sélectionnant les meilleures entrées qui fournissent la plupart des informations et en supprimant les entrées bruyantes, redondantes et non pertinentes, l'exactitude et l'efficacité du modèle peuvent être améliorées. Il réduit le nombre d'entrées et améliore ainsi les performances du modèle.

3) comprendre profondément le processus qui a généré des données: la sélection des entrées offre également la possibilité de comprendre les relations entre les attributs pour mieux comprendre le processus sous-jacent. Il permet de comprendre la relation entre les entrées du classificateur et le processus qui a généré des données.

5.4.1.2. Techniques de sélection des entrées

La sélection des bonnes entrées du classificateur est l'une des solutions au problème de la malédiction de la dimensionnalité. C'est le processus de sélection d'un sous-ensemble d'entrées parmi les entrées d'origine qui fournit la plupart des informations précieuses [51]. Les entrées sélectionnées peuvent alors être utilisées à la place de la totalité d'entrées d'origine. Ainsi, un bon algorithme de sélection des entrées devrait choisir celles qui ont tendance à fournir complète ou la plupart des informations telles que présentées dans vecteurs d'entrées entière et omettre les entrées inutiles et redondantes. Les techniques de réduction dimensionnelle peuvent être classées en deux groupes : sélection des entrées et extraction des entrées. Les techniques d'extraction des entrées (features) [52, 63] projet d'un espace des entrées d'origine à un nouvel espace des entrées avec un nombre minimal de dimensions. Le nouvel espace d'entrées est normalement construit en combinant les entrées d'origine d'une certaine façon. Le problème avec ces approches est que la sémantique sous-jacente des données est perdue. Les techniques de sélection des entrées [64, 77] d'autre part ont tendance à sélectionner des entrées parmi celles originales pour représenter le concept sous-jacent. En fonction de la nature des données disponibles, la sélection des entrées peut être classée comme sélection des entrées supervisées ou sélection des entrées non surveillées. Dans la sélection des entrées supervisées, les étiquettes de classe sont déjà fournies et l'algorithme de sélection des entrées sélectionne ces entrées en basant de la précision de classification. Dans la sélection des entrées non surveillées, les étiquettes de classe sont manquantes et les algorithmes de sélection des entrées doivent sélectionner un sous-ensemble d'entrées sans informations sur l'étiquette. D'autre part, lorsque des étiquettes de classe pour certaines instances sont données et manquantes pour certains, des algorithmes de sélection d'entrées semi-surveillés sont utilisés.

En raison de la nature des données utilisées dans cette étude, une technique de sélection des fonctions supervisées sera utilisée.

Contrairement à quelques méthodes, où l'apprentissage du classificateur a été commencé par certaines entrées, et dans le cas où ils ont trouvé qu'il est insuffisant pour discriminer le total des défauts choisis, ils ajoutent des nouvelles entrées. D'autres comme dans ont utilisé quelques indicateurs, et quand ils les ont trouvés pas significatifs ils les omettent et recherchent de

nouveaux paramètres significatifs. Cela semble être fait visuellement en regardant les données et en utilisant certains critères de performance, sans utiliser de méthodes automatiques pour la sélection des entrées. Ce chapitre présente une méthode inverse, en commençant par l'utilisation de nombreuses entrées (vecteur d'entrées total), puis en réduisant leur nombre en utilisant des techniques de réduction de la dimensionnalité d'entrées. Cette solution alternative permet d'économiser beaucoup de temps pour le développement des classificateurs.

L'importance des techniques de réduction des dimensions des entrées et l'avantage du classificateur neuro flou multi classes par rapport aux méthodes traditionnelles seront illustrées. La figure 4-1 explique l'algorithme utilisé pour la réduction de nombre des entrées du classificateur.

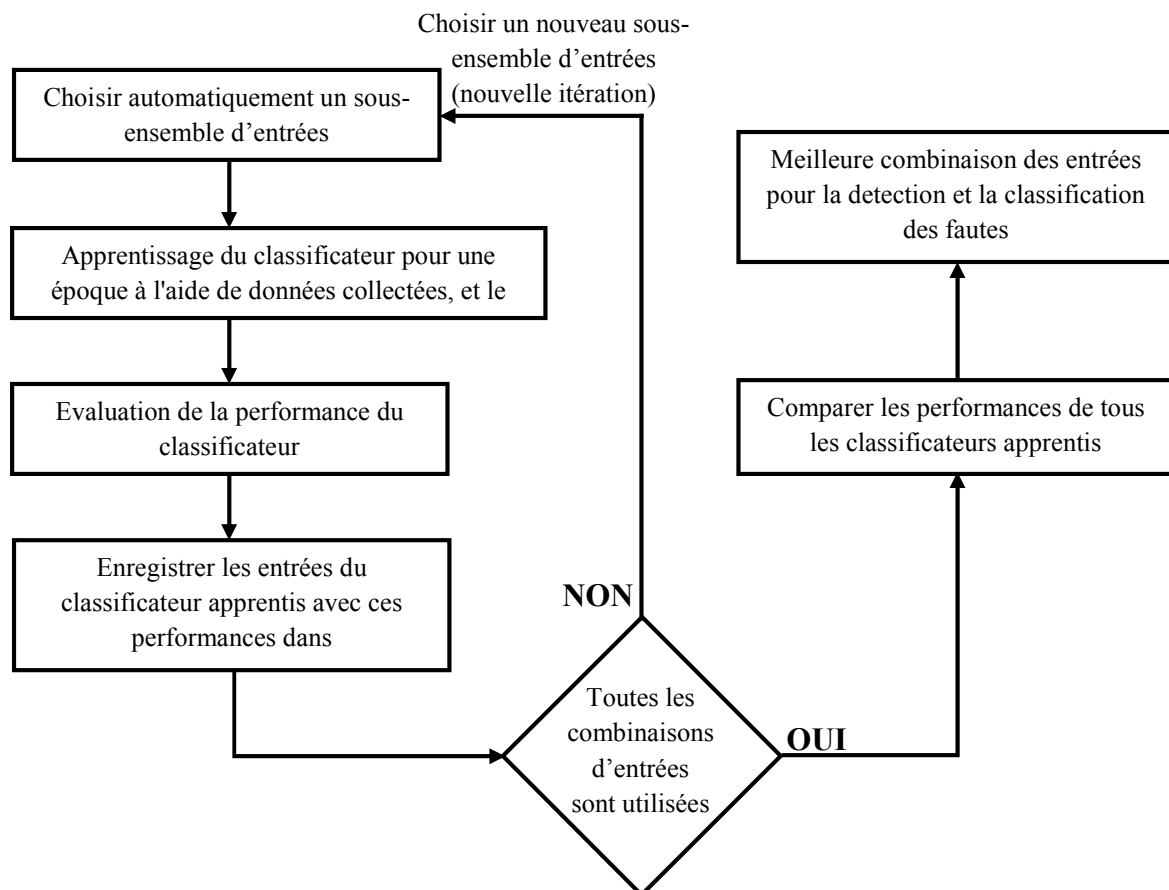


Figure 5-11. Vue de la méthode proposée pour la réduction des entrées du classificateur.

Comme est indiqué dans la figure 5.11, l'algorithme choisit automatiquement un sous-ensemble d'entrées et entraîne et teste le classificateur à l'aide de ces derniers. Ensuite, le modèle construit sera stocké avec ses performances pour une utilisation ultérieure. La procédure est

répétée jusqu'à ce que toutes les combinaisons d'entrées soient utilisées. À la fin, toutes les performances du classificateur seront comparées, et les entrées seront conservées pour la détection et la classification de type de fautes donnée.

Un classificateur ANFIS (Adaptif Neuro Fuzzy Inférence System) a été construit pour chaque combinaison, et pour réduire le temps de calcul, le classificateur a été construit pour une seule époque. Après cela, les classificateurs obtenus doivent être classés selon leur erreur quadratique pour le test (RMSE), et la combinaison la plus pertinente prédisant la sortie est conservée.

La meilleure combinaison des entrées est sélectionnée pour chacun des classificateurs pour les trois circuits sous test.

Dans le premier exemple du circuit sous test, dix classificateurs sont considérés: ANFIS-1 (classificateur F1), ANFIS-2 (classificateur F2), ANFIS-3 (classificateur F3), ANFIS-4 (classificateur F4), ANFIS-5 (classificateur F5), ANFIS-6 (classificateur F6), ANFIS-7 (classificateur F7), ANFIS-8 (classificateur F8), ANFIS-9 (classificateur F9) et ANFIS-10 (classificateur F10). La meilleure combinaison de fonctionnalités est sélectionnée pour chaque classificateur, comme le montre le tableau 5-4 où la valeur en caractères gras indique les valeurs optimales de RMSE et la meilleure combinaison d'entrées sélectionnées.

À partir du tableau 5-4, les résultats de sélection des fonctionnalités des classificateurs sont présentés. La meilleure combinaison de fonctionnalités a été prise pour l'évaluation du classificateur. Nous pouvons voir clairement que les erreurs d'entraînement et de test ont été réduites par l'augmentation du nombre de fonctionnalités sélectionnées. Par conséquent, pour certains classificateurs, cette augmentation du nombre de fonctionnalités de 3 à 4 n'a pas minimisé de beaucoup les erreurs d'entraînement et de test. Ainsi, ceci n'a permis d'atteindre ni l'efficacité de la classification recherchée, ni l'amélioration la précision de la celle ci. Pour ces raisons, seules trois entrées seront sélectionnées pour ces classificateurs et qui sont ANFIS-2, ANFIS-8 et ANFIS-10.

Tableau 5-4

Selection des entrées pour les classificateurs du filtre passe bande de Sallen-Key.

ANFIS-NB	Nombre total des entrées	6	6	6	6
	Entrées sélectionnées	1	2	3	4
ANFIS-1	RMSE (Training)	0.1716	0.0901	0.0621	0.0371
	RMSE (Test)	0.1789	0.0912	0.0671	0.0477
	Meilleure combinaison	I1	I3 I6	I1 I3 I6	I1 I2 I3 I5
ANFIS-2	RMSE (Training)	0.2543	0.1542	0.1383	0.1009
	RMSE (Test)	0.2555	0.1590	0.1459	0.1082
	Meilleure combinaison	I5	I2 I5	I2 I4 I6	I2 I4 I5 I6
ANFIS-3	RMSE (Training)	0.2396	0.0719	0.0309	0.0154
	RMSE (Test)	0.2409	0.0732	0.0368	0.0242
	Meilleure combinaison	I2	I2 I3	I2 I5 I6	I1 I2 I5 I6
ANFIS-4	RMSE (Training)	0.2192	0.1200	0.0630	0.0481
	RMSE (Test)	0.2215	0.1230	0.0770	0.0621
	Meilleure combinaison	I3	I2 I3	I1 I2 I3	I1 I3 I5 I6
ANFIS-5	RMSE (Training)	0.1441	0.0446	0.0187	0.0114
	RMSE (Test)	0.1427	0.0495	0.0188	0.0137
	Meilleure combinaison	I3	I3 I6	I2 I3 I6	I1 I2 I5 I6
ANFIS-6	RMSE (Training)	0.1715	0.0999	0.0495	0.0326
	RMSE (Test)	0.1806	0.1072	0.0598	0.0410
	Meilleure combinaison	I5	I2 I6	I1 I5 I6	I1 I2 I5 I6
ANFIS-7	RMSE (Training)	0.2552	0.0839	0.0596	0.0314
	RMSE (Test)	0.2550	0.0890	0.0612	0.0456
	Meilleure combinaison	I3	I1 I3	I1 I3 I6	I1 I2 I3 I5
ANFIS-8	RMSE (Training)	0.2627	0.1676	0.1294	0.0951
	RMSE (Test)	0.2610	0.1764	0.1343	0.1083
	Meilleure combinaison	I5	I2 I5	I3 I4 I6	I2 I4 I5 I6
ANFIS-9	RMSE (Training)	0.2542	0.0722	0.0241	0.0138
	RMSE (Test)	0.2554	0.0721	0.0232	0.0165
	Meilleure combinaison	I3	I5 I6	I1 I2 I3	I1 I2 I3 I6
ANFIS-10	RMSE (Training)	0.2613	0.0998	0.0766	0.0462
	RMSE (Test)	0.2642	0.1012	0.0821	0.0624
	Meilleure combinaison	I3	I5 I6	I1 I2 I3	I1 I2 I3 I6

5.4.1.3. Optimisation de type et du nombre des fonctions d'appartenance du classificateur ANFIS

Après l'étape de sélection des fonctionnalités, une méthode efficace a été adoptée pour sélectionner le meilleur modèle ANFIS, à partir de la diminution de l'erreur quadratique moyenne (RMSE), et par l'augmentation de la précision de l'architecture considérée pour chaque classificateur. Les parties principales du classificateur neuro-flou multi-classes à concevoir sont composées du type de fonctions d'appartenance (triangulaire, trapézoïdale, en forme de cloche généralisée, gaussienne, courbe en forme

de pi et courbe en forme de Dsig-shaped curve. La sortie du classificateur est une combinaison linéaire de ses entrées (système d'inférence floue de Sugeno) [97]. Durant le processus d'optimisation, différents types de fonctions d'appartenance intégrées (MFs) ont été impliqués pour choisir le type le plus approprié pour le développement du modèle de classificateur, comme le montre le tableau 5-5 ci-dessous.

Tableau 5-5: Erreur RMS et type des fonctions d'appartenance durant le processus d'optimisation.

MF-MFN	Type des fonctions d'appartenance	Erreur RMS pour le test				
		Anfis-1	Anfis-2	Anfis-3	Anfis-4	Anfis-5
Trimf-2	Triangle curve	0.0643	0.1879	0.0793	0.2243	0.0418
Trimf-3		0.0753	0.1410	0.0429	0.0967	0.0243
Trimf-4		0.0581	0.1125	0.0313	0.0728	0.0068
Trapmf-2	Trapezoidal curve	0.0454	0.1750	0.0375	0.2288	0.0652
Trapmf-3		0.0522	0.1520	0.0743	0.0979	0.0279
Trapmf-4		0.0453	0.1322	0.0190	0.0839	0.0600
Gbellmf-2	Generalized bell curve	0.0850	0.1728	0.0503	0.1316	0.0422
Gbellmf-3		0.0362	0.1309	0.0506	0.0655	0.0170
Gbellmf-4		0.0470	0.1066	0.0261	0.0621	0.0267
Gaussmf-2	Gaussian curve	0.0909	0.1791	0.0480	0.1748	0.0295
Gaussmf-3		0.0429	0.1165	0.0447	0.0815	0.0254
Gaussmf-4		0.0453	0.1010	0.0197	0.0673	0.0169
Pimf-2	Pi-shaped curve	0.0553	0.1779	0.0288	0.2451	0.1138
Pimf-3		0.0603	0.1798	0.0862	0.0971	0.0414
Pimf-4		0.0480	0.1966	0.0090	0.0862	0.0727
Dsigmf-2	Dsig-shaped curve	0.0751	0.1791	0.1529	0.2202	0.1499
Dsigmf-3		0.0562	0.1583	0.1350	0.1155	0.0284
Dsigmf-4		0.0576	0.1458	0.0667	0.1054	0.0489
		Anfis-6	Anfis-7	Anfis-8	Anfis-9	Anfis-10
Trimf-2	Triangle curve	0.1018	0.0946	0.1788	0.0895	0.1304
Trimf-3		0.0617	0.0598	0.1324	0.0279	0.0684
Trimf-4		0.0917	0.0858	0.1112	0.0159	0.0758
Trapmf-2	Trapezoidal curve	0.1014	0.0758	0.1878	0.0752	0.0778
Trapmf-3		0.0700	0.0547	0.1434	0.0433	0.5470
Trapmf-4		0.0642	0.0215	0.1230	0.0406	0.0734
Gbellmf-2	Generalized bell curve	0.0727	0.0807	0.1744	0.0433	0.0739
Gbellmf-3		0.0438	0.0535	0.1284	0.0281	0.0527
Gbellmf-4		0.0403	0.0344	0.1072	0.0228	0.0550
Gaussmf-2	Gaussian curve	0.0847	0.0966	0.1944	0.0390	0.0866
Gaussmf-3		0.0442	0.0721	0.1130	0.0225	0.0509
Gaussmf-4		0.0477	0.0400	0.1014	0.0215	0.0516
Pimf-2	Pi-shaped curve	0.1292	0.1816	0.1803	0.1352	0.0738
Pimf-3		0.0657	0.0747	0.2188	0.0508	0.1525
Pimf-4		0.0646	0.0251	0.1706	0.0455	0.0800
Dsigmf-2	Dsig-shaped curve	0.1269	0.1728	0.1815	0.1429	0.1280
Dsigmf-3		0.0661	0.0790	0.1912	0.0915	0.1246
Dsigmf-4		0.0658	0.0536	0.1321	0.0391	0.0878

Les types et le nombre de fonctions d'appartenance optimisées pour chaque classificateur sont présentés dans le tableau 5-6 donné ci-dessous:

Tableau 5-6

Types et nombre de fonctions d'appartenance optimisées.

Classifieurs	MF-NBR	Erreur RMS pour le test
ANFIS-1	Gbellmf-3	0.0362
ANFIS-2	Gaussmf-4	0.1010
ANFIS-3	Pimf-4	0.0090
ANFIS-4	Gbellmf-4	0.0621
ANFIS-5	Trimf-4	0.0068
ANFIS-6	Gbellmf-4	0.0403
ANFIS-7	Trapmf-4	0.0215
ANFIS-8	Gaussmf-4	0.1014
ANFIS-9	Trimf-4	0.0159
ANFIS-10	Gaussmf-3	0.0509

Pour le premier circuit à tester, la meilleure fonction d'appartenance pour chaque classificateur est comme suit:

- ANFIS 1: fonctions d'appartenance de type cloche généralisée dont le nombre est trois.
- ANFIS 2: fonctions d'appartenance gaussiennes dont le nombre est quatre.
- ANFIS 3: fonctions d'appartenance de type Pi dont le nombre est de trois.
- ANFIS 4: fonctions d'appartenance de type cloche généralisée dont le nombre est quatre.
- ANFIS 5: fonctions d'appartenance triangulaires dont le nombre est quatre.
- ANFIS 6: fonctions d'appartenance de type cloche généralisée dont le nombre est quatre.
- ANFIS 7: fonctions d'appartenance trapézoïdales dont le nombre est quatre.
- ANFIS 8: fonctions d'appartenance gaussiennes dont le nombre est quatre.
- ANFIS 9: fonctions d'appartenance triangulaires dont le nombre est quatre.
- ANFIS 10: fonctions d'appartenance gaussiennes dont le nombre est quatre.

5.4.1.4. Classification des fautes par les réseaux de neurone artificiels (ANN)

Pour évaluer l'efficacité de notre méthode de classification, on a procédé à une comparaison du classificateur neuro-Fuzzy multi-classes par rapport à celui à base de réseau de neurones artificiels (ANN) (voir le tableau 5-7), qui est une perception d'alimentation en avant multicouche (multi-layer feed-forward perception MLP) avec une couche cachée. Pour une optimisation rapide du réseau, un algorithme de propagation arrière (back propagation) de Levenberg-Marquardt (LM) a été appliqué (Figure. 5-11).

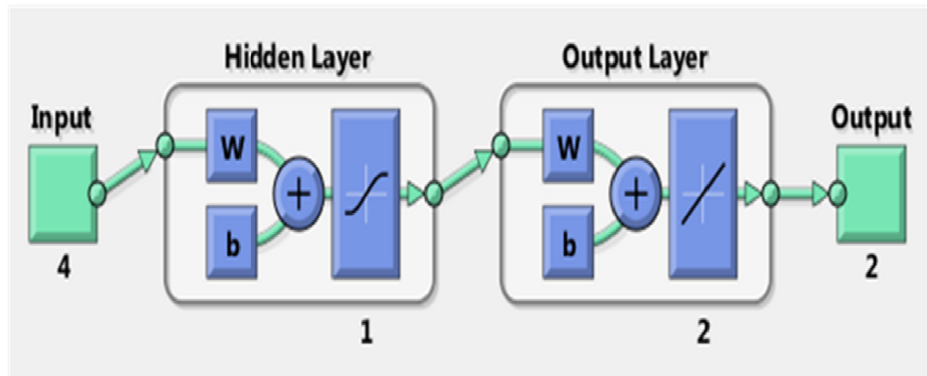


Fig. 5-12 diagramme des réseaux de neurone artificiels (ANN).

Tableau 5-7 : Comparaison entre le classificateur neuro flou multi-classes et celui de réseaux de neurone artificiels pour le filtre passé bande de Sallen Key.

Faute	Erreur RMS		R ²		Precision de classification (%)	
	ANFIS	ANN	ANFIS	ANN	ANFIS	ANN
F1	0.1010	0.1853	0.8979	0.6566	99.20	95.80
F2	0.0362	0.0632	0.9868	0.9600	99.90	99.50
F3	0.0621	0.2667	0.9586	0.2885	99.60	90.00
F4	0.0090	0.1719	0.9991	0.7043	100.00	96.40
F5	0.0430	0.0039	0.9837	0.9998	99.90	100.00
F6	0.0068	0.0009	0.9995	1.0000	100.00	100.00
F7	0.1014	0.1162	0.8970	0.8649	99.20	98.30
F8	0.0215	0.1895	0.9953	0.6409	100.00	95.20
F9	0.0509	0.0860	0.9740	0.9260	99.80	99.10
F10	0.0159	0.0245	0.9974	0.9940	100.00	99.90
Précision moyenne					99.76	97.42

Table 5-8 : Comparaison entre le classificateur neuro flou multi-classes et autres méthodes pour le filtre passe bande de Sallen Key.

Faute	Precision de classification (%)		
	ANFIS	ANN	Method [79]
F1	99.20	95.80	-
F2	99.90	99.50	-
F3	99.60	90.00	98.00
F4	100.00	96.40	100.00
F5	99.90	100.00	100.00
F6	100.00	100.00	98.57
F7	99.20	98.30	99.00
F8	100.00	95.20	100.00
F9	99.80	99.10	96.00
F10	100.00	99.90	97.00
moyenne	99.76	97.42	98.57

Cette comparaison montre clairement la supériorité du classificateur neuro-flou par rapport au classificateur traditionnel ANN. De plus, le classificateur proposé peut être utilisé pour améliorer d'avantage ces résultats importants comme il est indiqué dans le tableau 5-7.

La comparaison de la précision de la méthode de classification par rapport à celle utilisée dans [79] et à la méthode ANN est présentée dans le tableau 5-8, et à partir de laquelle on conclut que le classificateur proposé procure une meilleure précision.

A partir de la comparaison faite entre les trois méthodes, il est donc clair que la méthode proposée basée sur le classificateur neuro-flou a produit une précision de classification meilleure pour la plus part des classificateurs (de F3 à F10), dont la moyenne est égale à 99,76%. Toutefois, la méthode utilisant dans [79] et à celle de la méthode ANN ont fourni des moyennes de précision de classification de 98,57% et 97,42% respectivement.

5.4.1. Résultats pour le deuxième circuit sous test

Toutes les étapes de test suivies avec le premier circuit sont également parcourues pour tester le deuxième exemple de circuit qui est le filtre passe-haut à quatre amplificateurs opérationnels pour confirmer une fois de plus la précision de classification que livre notre classificateur proposé. Premièrement, la technique de sélection des fonctionnalités du classificateur est appliquée pour choisir les meilleures combinaisons de fonctionnalités que

doit requérir chaque classificateur. Ensuite, les types des fonctions d'appartenance sont optimisés pour choisir la meilleure fonction d'appartenance pour chaque classificateur. Enfin, les classificateurs ainsi formés seront exercés pour tester notre approche. Le tableau 5-9 présente les résultats de la comparaison entre notre méthode proposée et le classificateur ANN. Les résultats obtenus montrent le meilleur score en précision qu' a eu notre classificateur ANFIS par rapport au classificateur ANN.

Le tableau 5-10 montre les résultats comparatifs entre le classificateur proposé (ANFIS), le classificateur ANN et la méthode basée sur les caractéristiques des propriétés statistiques dans le domaine fractionnaire basé sur la technique FRFT proposée dans [79].

Table 5-9: Comparaison entre le classificateur neuro-flou multi-classes et le classificateur neuronal pour le filtre bi-quad passe-haut à quatre amplificateurs opérationnels.

Faute	Erreur RMS pour le test		R ²		Precision de classification (%)	
	ANFIS	ANN	ANFIS	ANN	ANFIS	ANN
F1	0.1354	0.0715	0.7798	0.9387	99.41	99.33
F2	0.1431	0.2050	0.7542	0.4953	98.67	91.66
F3	0.2194	0.2109	0.4223	0.4662	91.58	91.33
F4	0.2072	0.2060	0.4847	0.4906	91.75	91.85
F5	0.1215	0.2886	0.9465	0.9820	99.66	91.66
F6	0.0582	0.0115	0.9592	0.9984	100.00	100.00
F7	0.1195	0.1867	0.8284	0.5817	99.91	95.25
F8	0.1281	0.0485	0.8029	0.9719	99.58	99.50
F9	0.1814	0.2145	0.6047	0.4477	96.91	90.25
F10	0.0298	0.0054	0.9893	1.0000	100.00	100.00
F11	0.2162	0.2145	0.4389	0.4478	92.33	92.25
F12	0.2089	0.2066	0.4766	0.4875	91.16	91.66
Precision moyenne					96.74	94.53

Table 5-10: Comparaison sur la précision de classification entre la méthode proposée et les autres méthodes précitées pour le filtre passe-haut à quatre amplificateurs

Faute	Précision de classification (%)		
	ANFIS	ANN	Methode [79]
F1	99.66	91.66	81.00
F2	100.00	100.00	100.00
F3	99.91	95.25	89.70
F4	99.58	99.50	90.00
F5	96.91	90.25	98.00
F6	100.00	100.00	100.00
F7	92.33	92.25	89.60
F8	91.16	91.66	100.00
F9	99.41	99.33	90.00
F10	98.67	91.66	100.00
F11	91.58	91.33	100.00
F12	91.75	91.85	100.00
moyenne	96.74	94.53	94.85

5.4.2. Résultats pour le troisième circuit sous test

Les résultats obtenus lors du test du filtre leapfrog sont présentés dans le tableau 5-11. La précision moyenne de la classification de notre méthode est de 97,52%, alors que celle pour la méthode utilisant le classificateur ANN, est de 96,39%.

Par conséquent, nous pouvons voir que la méthode proposée justifie une fois de plus sa meilleure performance sur les autres méthodes de classification pour le cas des fautes singulières affectant le circuit. Par ailleurs, il est assez clair que notre méthode de classification montre une grande efficacité de diagnostique et peut faire face à n'importe quel circuit de filtrage analogique.

Table 5-11: Comparaison entre le classificateur neuro-flou multi -classes et le classificateur ANN pour le filtre leapfrog.

Faute	Erreur RMS pour le test		R ²		Precision de la classification (%)	
	ANFIS	ANN	ANFIS	ANN	ANFIS	ANN
F1	0.0003	0.0002	1.0000	1.0000	100.00	100.00
F2	0.1488	0.1691	0.4682	0.3136	97.41	95.83
F3	0.1053	0.0908	0.7337	0.8017	99.25	97.00
F4	0.1335	0.1738	0.5721	0.2745	98.75	95.83
F5	0.0703	0.0583	0.9812	0.9182	100.00	99.08
F6	0.1552	0.1970	0.4212	0.0677	97.25	95.83
F7	0.0499	0.0658	0.9400	0.8959	100.00	99.00
F8	0.1237	0.1774	0.6324	0.2446	98.33	95.83
F9	0.0969	0.0866	0.7745	0.8197	100.00	99.08
F10	0.1839	0.1916	0.1881	0.1187	95.83	95.83
F11	0.0764	0.0615	0.8597	0.9090	99.75	99.00
F12	0.1813	0.1875	0.2104	0.1556	95.83	95.83
F13	0.1712	0.1809	0.2965	0.2146	95.66	95.83
F14	0.1015	0.0964	0.7526	0.7766	99.83	98.83
F15	0.1568	0.1813	0.4099	0.2104	96.33	95.83
F16	0.1486	0.1895	0.4697	0.1381	97.08	95.83
F17	0.1787	0.1952	0.2335	0.0847	95.83	95.83
F18	0.1784	0.1982	0.2358	0.0751	95.83	92.25
F19	0.1889	0.1981	0.1432	0.0577	95.83	95.83
F20	0.1657	0.1998	0.3405	0.0414	95.66	91.83
F21	0.1863	0.1984	0.1664	0.0549	95.75	95.66
F22	0.1653	0.1602	0.3436	0.3840	95.66	95.91
F23	0.1798	0.1982	0.2238	0.0566	95.83	95.83
F24	0.1474	0.1996	0.4782	0.0431	98.83	95.83
Moyenne de la précision					97.52	96.39

5.5. Conclusion

Dans ce chapitre, on a proposé un classificateur neuro-flou adaptatif avec une technique de réduction des fonctionnalités pour la détection et la classification des défauts dans les circuits intégrés analogiques. L'efficacité de la méthode proposée a été validée à l'aide de trois circuits : un filtre passe-bande de Sallen Key, un filtre passe-haut à quatre amplificateurs opérationnels et un filtre leapfrog, pour la classification des fautes paramétriques singulières. Des simulations pour ces trois circuits ont été réalisées pour évaluer l'aptitude d'appréciation du classificateur proposé. Les résultats obtenus ont été comparés à ceux de la méthode de classification basée sur des réseaux de neurones artificiels (ANN) et de la méthode utilisant des caractéristiques de propriété statistique des signaux transformés par FRFT en tant que fonctionnalité aussi dans le domaine d'ordre fractionnaire optimal . Par conséquent, la méthode proposée a démontré une plus grande exactitude en termes de classification des fautes. La précision moyenne est d'environ de 99.76%, 96.74% et 97.52% pour les trois circuits sous test mentionnés ci-dessus respectivement, considérées comme nettement supérieures par rapport à celles fournies par les autres méthodes. En outre, l'utilisation de la classification ANFIS basée sur la technique de réduction des entrées a conduit à l'amélioration du diagnostic en termes de compression de données pour les fautes paramétriques singulières des circuits analogiques. Une fois de plus, la méthode proposée a atteint un niveau élevé d'efficacité des performances en le comparant à celui obtenu par les méthodes susmentionnées. Par conséquent, les résultats encouragent l'utilisation de la méthode ANFIS pour être impliqué avec d'autres types de défauts tels que des fautes doubles et des fautes catastrophiques. Cela fournira probablement des solutions aux problèmes de diagnostic des pannes analogiques et améliorera l'efficacité du test des circuits intégrés analogiques.

Chapitre 6

Conclusions et travaux futurs

CHAPITRE 6

Conclusion et Travaux Futurs

Le travail présenté dans cette thèse a mis l'accent sur les méthodes existantes traitant la détection, la couverture et la classification des fautes dans les circuits analogiques. Cependant leur limitation ou leur incapacité pour une classification précise est dévoilée par les lacunes dans les dispositifs de protection conventionnels dans les circuits intégrés. Par conséquent, ce ci a conduit à développer une nouvelle méthode de détection et de classification des fautes singulières fréquentes dans les circuits analogiques. Les défauts pris en considération à travers cette thèse sont de nature paramétrique détectable ou catastrophiques qui sont provoqués par certaines défaillances ou autres comme mentionné au chapitre 3. Ces fautes là représentent des déviations des valeurs nominales des composants constituant les circuits sous test alors que le deuxième type de fautes sont présentées en général sous forme de court circuits ou circuits ouverts.

Les principales contributions sont présentées ci-dessous ainsi que la suggestion de travaux à venir.

6.1 Conclusions

Dans cette thèse, nous avons ciblé certains objectifs concernant la détection et la maximalisation de la couverture des fautes dans les circuits analogiques, ainsi que de proposer une approche de haute précision pour la classification de ces dernières. Nous avons alors présenté de nouvelles approches prenant en compte les différents types de fautes existantes.

Au niveau de la détection et de la couverture des fautes, deux approches ont été proposées : une approche basée sur la comparaison de réponse transitoire avec une référence continue et la mesure des durées d'impulsions du signal résultant. Cette approche a donné un taux de

couverture de fautes testées de 100%. La deuxième approche basée sur la simulation Monte Carlo est appliquée pour détecter des fautes paramétriques et catastrophiques du filtre passe bande de Sallen-Key par analyser les paramètres des deux réponses de ce circuit : fréquentielle et temporelle. Le taux de couverture atteint par cette approche est de 100% pour la plupart des paramètres utilisés pour le test.

Au niveau de la classification des fautes, un classificateur neuro-flou multi classes est proposé pour la détection et la classification des fautes dans les circuits intégrés analogiques. En plus de la détection des fautes, il est proposé à travers le projet inscrit dans cette thèse la classification des défauts dont l'objectif principal est d'indiquer le type de défaut et d'aider à éliminer la faute de manière efficace et rapide.

L'importance des techniques de réduction de dimensionnalité des entrées des classificateurs a été démontrée et justifiée le long du manuscrit. Tout d'abord, les entrées du classificateur ont été construites en basant sur les résultats de simulation des circuits sous test. Ces données brutes correspondant à un couple de caractéristiques de courant-tension constituent une carte de données brutes à l'entrée du classificateur. Le but est d'arriver à sélectionner des entrées plus efficaces pour la détection et la classification des fautes dans les circuits analogiques. Ensuite, une deuxième méthode proposée pour une réduction de la dimensionnalité des entrées a été appliquée aux plusieurs classificateurs pour chaque circuit sous test (CUT) dont on dénombre 10 classificateurs pour le premier circuit, 12 classificateurs pour le deuxième circuit et 24 classificateurs pour le troisième circuit sous test.

Ce projet consiste au développement d'un classificateur neuro flou multi classes qui est un algorithme d'apprentissage supervisé, qui démontre la capacité d'apprendre des données. En diffusant l'information des données mesurées à la sortie du classificateur, la classification des défauts peut être instaurée.

Le classificateur proposé peut discriminer plusieurs types de fautes survenant dans un circuit intégré analogique. Tout d'abord, les fonctions d'espace d'origine ont été réduites en fonction de leur effet sur la sortie du classificateur. Deuxièmement, les classificateurs ont été construits en fonction de la meilleure combinaison de l'espace d'origine pour chaque cas. Enfin, ce classificateur a été comparé à un classificateur ANN et à d'autres méthodes, et les résultats montrent l'importance d'utiliser le classificateur proposé par rapport à méthodes traditionnelles. La précision moyenne est d'environ de 99.76%, 96.74% et 97.52% pour les trois circuits sous test, considérées comme nettement supérieures par rapport à celles fournies par les autres méthodes

6.2 Travaux futurs

Pour les travaux futurs, nous proposons:

- L'extension de la génération de test pour couvrir et classifier les fautes multiples et les fautes catastrophiques.
- Application de nouvelles méthodes pour améliorer la détectabilité et la précision de la classification des fautes.
- Application d'autres algorithmes pour améliorer l'apprentissage du classificateur.
- La validation de la méthode proposée par application à d'autres circuits tels que les convertisseurs analogiques –numériques considérés comme circuits mixtes.

Bibliographies

- [1] S.P. VENU MADHAVA RAO," Efficient methods and novel approaches for analog electronic circuit fault diagnosis using simulation before test (SBT) approach", these de doctorat, université technologique de HYDERABAD, India, 2011.
- [2] Kenneth D. Wagner and T.W. Williams, "Design for testability of analog/digital networks", IEEE Transactions on Industrial Electronics, Vol. 36, May 1989, pp. 227-230.
- [3] "A D&T roundtable mixed signal design and test", IEEE Design and test of Computers, Vol.10, September 1993, pp. 80-86.
- [4] R.M. Biernacki and J.W.Bandler, "Multiple-fault locations of analog circuits", IEEE Transactions on Circuits and Systems, Vol. CAS-28, 1981, pp. 361-367.
- [5] C.S.Lin, Z.F. Huang and R.W.Liu, "Fault diagnosis of linear analog networks: A theory and its implementation", Proceedings of IEEE international Symposium on Circuits and Systems, 1983, pp. 1090-1093.
- [6] G.H. Hemink, B.W. Meijer and H.G. Kerkhof, "Testability analysis of analog systems", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 9, 1990, pp. 573-583.
- [7] A.E. Salama, J.A.Starzyk and J.W. Bandler, "A unified decomposition approach for fault location in large analog circuits", IEEE Transactions on Circuits and Systems, Vol. CAS-31, 1984, pp. 609-622.
- [8] Ben-Lu- Jiang and Chi-Long Wey, "Fault prediction process for large analogue circuit networks", International Journal of Circuit Theory and Applications, Vol. 17, 1989, pp. 141-149.
- [9] A.E. Salama and F.Z. Amer, "A unified decomposition approach for fault location in switched capacitor circuits", International Journal of Electronics, Vol. 73, No. 1, 1992, pp. 85-100.
- [10] R. DeCarlo and Rapisarda, "Fault diagnosis under a limited fault assumption and limited test point availability", Circuits, Systems and Signal Processing, Vol. 7, No. 4, 1988, pp. 481-510.
- [11] E. Flecha and R. DeCarlo, "The non linear analog fault diagnosis scheme of Wu, Nakajima and Saeks in the tableau context", IEEE transactions Circuits and Systems, Vol. CAS-26, 1984, pp. 828-830.
- [12] S.L. Hakimi and K.Nakajima, "On a theory of t-fault diagnosable analog systems", IEEE Transactions on Circuits and Systems, Vol. CAS-31, 1984, pp. 946-951.
- [13] H.M. Merrill, "Failure diagnosis using quadratic programming", IEEE Transactions on Reliability, Vol. R-22, 1973, pp. 207-213.
- [14] J.W. Bandler, R. M. Biernacki, A.E. Salama and J.A.Starzyk, "Fault isolation in linear analog circuits using the L1 norm", Proceedings of IEEE International Symposium on Circuits and Systems, 1982, pp. 1140-1143.
- [15] B. Vinnakota, editor, Analog and Mixed-Signal Test, Upper Saddle River, New Jersey: Prentice-Hall, 1998.
- [16] L.Milor and A.L.Sangiovanni-Vincentelli, "Minimizing Production Test Time to Detect Faults in Analog Circuits," IEEE Transactions on Computer-Aided Design, Vol. 13, No. 6, June 1994, pp. 796– 813.

- [17] Yiqian Cui, Junyou Shi and Zili Wang, "Analog circuits fault diagnosis using multivalued Fisher's fuzzy decision tree (MFFDT)", *International journal of Circuit theory and Applications*, 2015.
- [18] W. R. Simpson and J. W. Sheppard, "System Test and Diagnosis". Boston, MA: Kluwer, 1994
- [19] Stošović, M.A. and Litovski, V., "Electronic Circuits Diagnosis using Artificial Neural Networks", *Micro Electronic and Mechanical Systems*, pp. 572, December 2009.
- [20] Ashwani Kumar, A.P.Singh, "Neural Network based Fault Diagnosis in Analog Electronic Circuit using Polynomial Curve Fitting", *International Journal of Computer Applications*, vol. 61, no. 16, pp. 28-34, 2013.
- [21] John W. Bandler, and Aly E. Salama, "Fault diagnosis of analog circuits", In *proceedings of IEEE*, vol. 73, no. 8, pp. 1278-1325, 1985.
- [22] Schrick, "Remarks on terminology in the field of supervision, fault detection and diagnosis," *Proc. IFAC Symp. Fault Detection, Supervision Safety for Techn. Process*, pp.959-964, Hull, UK, Aug. 1997.
- [23] C. Hajiyev, F. Caliskan, and C. Hajiyev, "Fault Diagnosis And Reconfiguration In Flight Control Systems". Springer, October 2003.
- [24] K. Ni, N. Ramanathan, M. N. H. Chehade, L. Balzano, S. Nair, S. Zahedi, E. Kohler, G. Pottie, M. Hansen, and M. Srivastava, "Sensor network data fault types," *ACM Trans. Sensor Networks*, vol. 5, pp. 25:1–25:29, June 2009.
- [25] Ding Steven. "Model-based fault diagnosis techniques: design schemes, algorithms, and tools", Springer Science & Business Media, 2008.
- [26] J. L. Huertas, Ed. D.G. Haigh, P.A. Humblet, M. Kunt, "Test and Design for Testability of Analog and Mixed-Signal Integrated Circuits: Theoretical Basis and Pragmatical Approaches." In *Circuit Theory and Design: Selected Topics in Circuits and Systems*. Huertas, Elsevier Science Publishers, 1993.
- [27] Manoj Sachdev, "A Realistic Defect-Oriented Testability Methodology for Analog Circuits," *Journal of Electronic Testion: Theory and Applications*, Vol.6, pp:265-276, 1995.
- [28] Bapiraju Vinnakota, "Analog and Mixed-Signal Test." Prentice-Hall, Inc, 1998.
- [29] Michael L. Bushnell and Vishwani D. Agrawal, "Essential of Electronic Testing for Digital, Memory&Mixed-Signal VLSI Circuits." Kluwer Academic Publishers, 2000.
- [30] Miron Abramovuci, Melvin A. Breuer and Arthur D. Friedman, "Digital Systems Testing and Testable Design." Computer Science Press, 1990.
- [31] H. Félix," Test des ensembles à base de VLSI "Technique de l'ingénieur, traité électronique, Ed 1999.
- [32] J.H.Chen, M.A. Breuer, "Automatic design for testability via testability measures", *Trans IEEE CAD 4*, pp3-11, 1985.
- [33] B. Vinnakota, editor, "Analog and Mixed signal Test," Prentice-Hall. Inc, 1998.
- [34] L.Milor, "A tutorial Introduction to research OnAnalog and Mixed –Signal Circuit Testing," *IEEE Trans. On Circuits and Systems –II: Analog and digital Signal Processing* Vol. 45, n°10, Octobre1998.
- [35] Hasan Albustani, « Modelling Methods for Testability Analysis of Analog Integrated Circuits Based on Pole-Zero Analysis», these de doctorat, université de Duisburg-Essen, 2004.

- [36] N. Bourouba, "Développement des techniques de test pour des circuits analogiques intégrés de type S.S.I", thèse de doctorat d'état, Univ de Sétif, 2007.
- [37] Szygenda, S.A. and Thompson, E.W." Digital Logic Simulation in a time –based table driven environment: Part II parallel fault Simulation"; Trans. Computer C 8,39-49,1975
- [38] D.B. Armstrong, "A deductive method for simulating faults in large circuits." IEEE Trans. Computer, C21, 469-471, 1972.
- [39] E.G. Ulrich, E.T. Baker, "Concurrent simulation of nearly identical digital networks," Trans. Computer 39-44, April 1974.
- [40] M. Zwolinski, A .D. Brown, , C.D. Chalk," Concurrent Analog Fault Simulation. "In Proc. IEEE International Mixed-Signal Testing Workshop, 1997.
- [41] C. Sebeke, J.P. Teixeira, M.J. Ohletz," Automatic Fault extraction and simulation of layout Realistic Faults of Integrated Circuits," Proc. European Design and Test Conference(EDTC) ,pp604-608, March 1996.
- [42] K. Hadjiat, « Evaluation prédictive de la sûreté de fonctionnement d'un circuit intégré numérique », thèse de Doctorat, INPG, Juin 2005.
- [43] A. Bounceur "Plateforme CAO pour le test de circuits mixtes ", thèse de doctorat de l'INPG, Avril 2007.
- [44] Livier LIZARRAGA, « Techniques d'auto test pour les imageurs CMOS » thèse de doctorat, Institut polytechnique de Grenoble, France 2008.
- [45] M. Azizi, « Covérification des systèmes intégrés » thèse de Ph.D, Université de Montréal, Décembre 2000.
- [46] Benoît Charlot, « modélisation de fautes et conception en vue du test structurel des microsystèmes », thèse de doctorat de l'INPG, Mars 2001.
- [47] P.R. Wilson, Y. Kiliç , J.N. Ross, M. Zwolinski, Andrew D. Brown, « Behavioural Modelling of Operational Amplifier Faults using VHDL-AMS », Proceedings of the 2002 Design, Automation and Test in Europe Conference and Exhibition, IEEE 2002.
- [48] M.Zwolinski, "Relaxation Methods for Analogue Fault Simulation", PROC 20th International Conference on Microelectronics (MIEL'95) 1995, VOL. 2, pp 467-471.
- [49] CHANG Y, LEE C.L, CHEN J.E. "A behavioural level fault, model for the closed-loop operational amplifier", Journal of Information Science and Engineering,2000,Vol.16, pp751-766 .
- [50] S. Mir, « Conception et test intégré des dispositifs analogiques, mixtes et microsystèmes », thèse de Doctorat, institut national polytechnique de Grenoble, Mai 2005.
- [51] Jensen R, Shen Q (2008) Computational intelligence and feature selection: rough and fuzzy approaches, vol 8. Wiley, Hoboken.
- [52] Neeman S (2008) Introduction to wavelets and principal components analysis. VDM Verlag Dr. Muller Aktiengesellschaft& Co. KG.
- [53] Engelen S, Hubert M, Vanden Branden K (2016) A comparison of three procedures for robust PCA in high dimensions. Aust J Stat 34(2):117–126.
- [54] Cunningham P (2008) "Dimension reduction." Machine learning techniques for multimedia. Springer, Berlin/Heidelberg, pp 91–112
- [55] Van Der Maaten L, Postma E, den Herik JV (2009) Dimensionality reduction: a comparative. J Mach Learn Res 10:66–71.
- [56] Friedman JH, Stuetzle W (1981) Projection pursuit regression. J Am Stat Assoc 76 (376):817–823.

- [57] Borg I, Groenen PJF (2005) Modern multidimensional scaling: theory and applications. Springer. Dalgaard P (2008) Introductory statistics with R. Springer.
- [58] Zeng X, Luo S (2008) Generalized locally linear embedding based on local reconstruction similarity. Fuzzy systems and knowledge discovery, 2008. In: FSKD'08. Fifth international conference on, vol 5, IEEE.
- [59] Saul LK et al (2006) Spectral methods for dimensionality reduction. Semisupervised Learning, 293–308.
- [60] Liu R et al (2008) Semi-supervised learning by locally linear embedding in kernel space. Pattern recognition, 2008. ICPR 2008. 19th international conference on, IEEE.
- [61] Gerber S, Tasdizen T, Whitaker R (2007) Robust non-linear dimensionality reduction using successive 1-dimensional Laplacian eigenmaps. In: Proceedings of the 24th international conference on machine learning, ACM.
- [62] Donoho DL, Grimes C (2003) Hessian eigenmaps: locally linear embedding techniques for high-dimensional data. Proc Natl Acad Sci 100(10):5591–5596.
- [63] Teng L et al (2005) Dimension reduction of microarray data based on local tangent space alignment. Cognitive informatics, 2005. (ICCI 2005). In: Fourth IEEE conference on, IEEE.
- [64] Raman B, Ioerger TR (2002) Instance-based filter for feature selection. J Mach Learn Res 1 (3):1–23.
- [65] Yan GH et al (2008) Unsupervised sequential forward dimensionality reduction based on fractal. In: Fuzzy systems and knowledge discovery, 2008. FSKD'08. Fifth international conference on, vol 2, IEEE.
- [66] Tan F et al (2008) A genetic algorithm-based method for feature subset selection. Soft Comput 122:111–120.
- [67] Loughrey J, Cunningham P (2005) Using early-stopping to avoid overfitting in wrapper-based feature selection employing stochastic search. In: Proceedings of the twenty-fifth SGAI international conference on innovative techniques and applications of artificial intelligence.
- [68] Valko M, Marques NC, Castellani M (2005) Evolutionary feature selection for spiking neural network pattern classifiers. In: Artificial intelligence, 2005. epia 2005. portuguese conference on, IEEE.
- [69] Huang J, Lv N, Li W (2006) A novel feature selection approach by hybrid genetic algorithm. PRICAI 2006: Trends in Artificial Intelligence, pp 721–729.
- [70] Khushaba RN, Al-Ani A, Al-Jumaily A (2008) Differential evolution based feature subset selection. Pattern recognition, 2008. In: ICPR 2008. 19th international conference on, IEEE.
- [71] Roy K, Bhattacharya P (2008) Improving features subset selection using genetic algorithms for iris recognition. In: IAPR Workshop on Artificial Neural Networks in Pattern Recognition. Springer, Berlin/Heidelberg.
- [72] Dy JG, Brodley CE (2004) Feature selection for unsupervised learning. J Mach Learn Res:845–889.
- [73] He X, Cai D, Niyogi P (2005) Laplacian score for feature selection. NIPS 186
- [74] Wolf L, Shashua A (2005) Feature selection for unsupervised and supervised inference: the emergence of sparsity in a weight-based approach. J Mach Learn Res 6(2): 1855–1887.

- [75] Bryan K, Cunningham P, Bolshakova N (2005) Biclustering of expression data using simulated annealing. In: Computer-based medical systems, 2005. Proceedings. 18th IEEE symposium on, IEEE.
- [76] Handl J, Knowles J, Kell DB (2005) Computational cluster validation in post-genomic data analysis. *Bioinformatics* 21(15):3201–3212.
- [77] Gluck M (1985) Information, uncertainty and the utility of categories. In: Proceedings of the seventh annual conference on cognitive science society. Lawrence Erlbaum.
- [78] D. Binu, B. S. Kariyappa, A survey on fault diagnosis of analog circuits: Taxonomy and state of the art, *AEU-International Journal of Electronics and Communications* 73 (2017) 68-83.
- [79] P. Song, Y. He, Statistical property feature extraction based on FRFT for fault diagnosis of analog circuits, *Analog Integr Circ Sig Process* 87 (2016) 427–436.
- [80] M. El-Gamal, S. El-Tantawy, Fuzzy Inference System and Neuro-Fuzzy Systems for Analog Fault Diagnosis, *Electrical Engineering Research* 1 (4) (2013) 116-125.
- [81] D. Grzechca, J. Rutkowski, Use of Neuro-Fuzzy System to Time Domain Electronic Circuits Fault Diagnosis, in: *ICSC Congress on Computational Intelligence Methods and Applications*, 2005.
- [82] A. Kumar, A.P. Singh, Fuzzy classifier for fault diagnosis in analog electronic circuits", *ISA Transactions* 52 (2013) 816–824.
- [83] H. Luo, Y. Wong, J. Cui, A SVDD approach of fuzzy classification for analog circuit fault diagnosis with FWT as preprocessor, *International journal of expert systems with application*, 38 (2011) 10554-10561.
- [84] S. V. M. Rao, K. S. Sundari, Optimized multi frequency approach to analog fault diagnosis using monte carlo analysis, *Electrical and Electronic Engineering*, 4 (2014) 25-30.
- [85] J. Cui and Y. R. Wang, A novel approach of analog circuit fault diagnosis using support vector machines classifier, *Measurement*, 44(1) (2011) 281–289.
- [86] P. Chen, L. Yuan, Y. He and S. Luo, An improved SVM classifier based on double chains quantum genetic algorithm and its application in analogue circuit diagnosis, *Neurocomputing*, 211 (2016): 202-211.
- [87] Y. Qin, J. Xing and Y. Mao, Weak transient fault feature extraction based on an optimized Morlet wavelet and kurtosis, *Measurement Science and Technology*, 27 (8) (2016): 085003.
- [88] W. He, Y. He, Q. Luo and C. Zhang, Fault diagnosis for analog circuits utilizing time-frequency features and improved VVRKFA, *Measurement Science and Technology*, 29 (4) (2018): 045004.
- [89] S. Anas, M. H. ElMahlawy, M. E. A. Gadallah, E. A. El-Samahy, Parametric fault detection of analogue circuits, *International Journal of Computer Applications*, 96 (9) (2014) 14-23.
- [90] S. Srimani, K. Ghosh, H. Rahaman, Parametric fault detection in analog circuits, A statistical approach, in: *IEEE 25th Asian Test Symposium*, 16 (2016) 2377-5386.
- [91] B. Han, J. Li, H. Wu, Diagnosis method for analog circuit hard fault and soft fault, *Telkomnika*, 11 (9) (2013) 5420-5426.
- [92] M. Jahangiri, F. Razaghian, Fault detection in analogue circuits using hybrid evolutionary algorithm and neural network, *Analog Integr Circ Sig Process*, 80 (2014) 551–556.

- [93] A. Kavithamani, V. Manikandan, N. Devarajan, Fault detection of analog circuits using network parameters, *J Electron Test* 28 (2012) 257-261.
- [94] A. Kavithamani, V. Manikandan, N. Devarajan, Soft fault classification of analog circuits using network parameters and neural networks, *J Electron Test* 29 (2013) 237-240.
- [95] Pspice, Circuit analysis user's guide (1992) The Microsim Corp., CA, USA.
- [96] M. F. Møller, A scaled conjugate gradient algorithm for fast supervised learning, *Neural networks*, 6 (1993) 525-533.
- [97] J. SR. Jang, ANFIS: adaptive-network-based fuzzy inference system, in *IEEE Transactions on Systems, Man, and Cybernetics*, 23, (1993) 665-685.
- [98] A. Arabi, N. Bourouba "Detection of Analog Circuits Hard Faults Escaped in DC Mode Test", *IECEC'15*, May 2015, Sétif, Algeria.
- [99] A. Arabi, N. Bourouba, A. Belaout and M. Ayad, "An accurate classifier based on adaptive neuro-fuzzy and features selection techniques for fault classification in analog circuits", *Integration, the VLSI Journal* (2018), <https://doi.org/10.1016/j.vlsi.2018.08.001>
- [100] Abdesslam Belaout, Fateh Krim, Mellit Adel, Billel Talbi, Abderrazak Arabi, 2018. Multiclass adaptive neuro-fuzzy classifier and feature selection techniques for photovoltaic array fault detection and classification. *Renewable Energy* 127, 548–558. <https://doi.org/10.1016/j.renene.2018.05.008>. 11.009
- [101] A. Arabi, N. Bourouba, A. Belaout & M. Ayad. (2015, December). Catastrophic faults detection of analog circuits. In *Modelling, Identification and Control (ICMIC)*, 2015 7th International Conference on (pp. 1-6). IEEE.

Liste de Publications

La liste suivante comprend tous les articles publiés par l'auteur au cours de ses études supérieures. Les articles désignés par “*” sont directement liés aux résultats de la recherche présentée dans cette thèse.

1) Articles publiés dans des journaux internationaux

[J1]. * **A. Arabi**, N. Bourouba, A. Belaout and M. Ayad, “An accurate classifier based on adaptive neuro-fuzzy and features selection techniques for fault classification in analog circuits”, *Integration, the VLSI Journal* (2018), <https://doi.org/10.1016/j.vlsi.2018.08.001> (Facteur d’impact: **0.906**).

[J2]. *Abdesslam Belaout, Fateh Krim, Mellit Adel, Billel Talbi, **Abderrazak Arabi**, 2018. Multiclass adaptive neuro-fuzzy classifier and feature selection techniques for photovoltaic array fault detection and classification. **Renewable Energy** 127, 548–558. <https://doi.org/10.1016/j.renene.2018.05.008>. 11.009 (Facteur d’impact: **4.900**).

2) Articles présentés dans des conférences nationales et internationales

[C1]. ***A. arabi**, N. Bouzit, N. Bourouba, 2008. “modélisation fonctionnelle des défauts physiques d’un amplificateur inverseur par la méthode “PWL” en régime continu”, 1ere Conférence Internationale Sur l’Electrotechnique, l’Electronique, l’Automatique et la Maintenance Oran le 16 & 17 Décembre

[C2]. ***A. Arabi**, N. Bourouba, A. Belaout & M. Ayad. (2015, December). Catastrophic faults detection of analog circuits. In *Modelling, Identification and Control (ICMIC)*, 2015 7th International Conference on (pp. 1-6). IEEE.

[C3] Ayad, M., Rezki, M., Saoudi, K., Benziane, M., **Arabi, A.**, & Chikouche, D. (2015, December). Wavelet transforms coefficients and autocorrelation of gear system for early damage detection. In *Modelling, Identification and Control (ICMIC)*, 2015 7th International Conference on (pp. 1-6). IEEE

[C4] ***Abderrazak Arabi** and Nacerdine Bourouba, Detection of Analog Circuits Hard Faults Escaped in DC Mode Test, In: Proc. IECEC'15, Sétif, Algérie, May. 2015.

[C5] A. Belaout, F. Krim, **A. Arabi** & M. Ayad. "Comparaison entre les Modèles à une Seule Diode et de Bishop de la Cellule Solaire. 2016, NCEEE'16, Nouvember 14-15, Bouira University.

[C6] Ayad M, Rezki M, Saoudi K, **Arabi A**, Benziane M, & Chikouche D. "Early Detection of Defect In Gear Systems Using Autocorrelation Of Adaptive Morlet Wavelet Transforms". 2016, NCEEE'16, Nouvember 14-15, Bouira University.

[C7] ***A. Arabi**, N. Bourouba, M. Ayad, &A. Belaout, Single Parametric Faults detection of analog circuits using Monte-Carlo analysis. 2016, NCEEE'16, Nouvember 14-15, Bouira University.

[C8] Abdesslam Belaout, Fateh Krim, Billel Talbi, Hamza Feroura, Abdelbaset Laib, Semcheddine Bouyahia, **Abderrazak Arabi**, 2017. Development of real time emulator for control and diagnosis purpose of photovoltaic generator. In: Proc. ICSC'17, Batna, Algeria, May. 2017.

[C9] MouloudAyad, Mohamed Rezki, Mourad Benziane, Kamel Saoudi and **Abderrazak Arabi** "Fault diagnosis of rotating machines using Wavelet Packets Transform", in International Conference of Recent Advances in Electrical Systems ICRAES'18, Hammamet, Tunisia, Dec 2018.

Méthodes de Diagnostic et de Maximalisation de la Couverture des Fautes Singulières Fréquentes dans les Circuits Analogiques

Résumé:

Cette thèse porte sur l'application de nouvelles techniques au diagnostic, la détection et la classification des défauts dans les circuits intégrés analogiques, qui peuvent tomber en panne et se dégradent pendant la durée de fonctionnement. Ces derniers sont devenus de plus en plus nécessaires dans le monde de l'électronique. Cette nécessité est due à leur importance dans les domaines de télécommunication, de l'avionique, du biomédical... Ce qui nécessite un diagnostic dont l'objectif principal est de fournir un outil automatique qui permet la détection précoce des défauts pour protéger les circuits, et de classer le défaut en plus. Des techniques de test ont été appliquées à ces circuits analogiques à savoir le test fonctionnel, l'amélioration de la détection, la simulation des fautes. Pour le développement des algorithmes de classification de défauts dans les circuits analogiques, au début, une base de données est collectée en utilisant une simulation Monté Carlo en régime fréquentielle et transitoire, pour le circuit sain et fautif. Des classificateurs à base d'intelligence artificielle ont été construits, tels que les classificateurs neuronal et neuro-flou. Finalement, le diagnostic a été amélioré par l'introduction d'un nouveau classifieur (classifieur neuro-flou multi-classes). Ce dernier a été comparé à d'autres types de classificateurs et s'est remarqué d'eux par son efficacité et sa précision.

Mots clés : détection des fautes ; classification des fautes ; classificateur neuro-flou; test des circuits analogiques.

Methods for diagnosing and maximizing the coverage of single faults in analog circuits

Abstract:

This thesis focuses on the application of new techniques to diagnosis, detection and classification of faults in analog integrated circuits, which can break down and degrade during the operating period. These circuits have become more necessary in the world of electronics. This need is due to its importance in the areas of telecommunication, avionics, biomedical... This requires a diagnosis whose the main purpose is to provide an automatic tool that allows early detection of faults to protect the circuits, and to classify this faults two. Test techniques have been applied to these analogue circuits, namely the functional test, the improvement of the detection, the simulation of faults. For the development of the algorithms of classification of faults in the analog circuits, at the beginning, a database is collected using a simulation mounted Carlo in frequency and transient domain, for the fault free and faulty circuit. Artificial intelligence-based classifiers have been constructed, such as neural and neuro-blur classifiers. Finally, the diagnosis was improved by the introduction of a new classifier (Multi-class neuro-blur classifier). This classifier was compared to other types of classifiers and over classed to them by its efficiency and accuracy.

Keywords: fault detection; fault classification; neuro-fuzzy classifier; diagnostic; analog circuits test.

طرق لتشخيص وتعظيم تغطية الأعطاب الشائعة في الدوائر التناظرية

ملخص:

تركز هذه الأطروحة علي تطبيق تقنيات جديدة لتشخيص وكشف وتصنيف الأعطال في الدوائر المتكاملة ، والتي يمكن ان تنهار وتتحلل خلال وقت التشغيل. هذه أصبحت أكثر ضرورة في عالم الالكترونيات. وتعزي هذه الحاجة إلى اهمية في مجالات الاتصالات ، والطيران ، والطب الحيوي... وهذا يتطلب تشخيصا هدفه الرئيسي هو توفير أداء اوتوماتيكيه تسمح بالكشف المبكر عن الأعطال لحماية الدوائر الالكترونية ، وتصنيف العيب بالاضافه إلى ذلك. وقد طبقت تقنيات الاختبار علي هذه الدوائر التناظرية ، وهي الاختبار الوظيفي ، وتحسين الكشف ، ومحاكاة الأعطال. لتطوير خوارزميات تصنيف الأخطاء في الدوائر التناظرية ، في البداية ، يتم جمع قاعده بيانات باستخدام محاكاة Monte-Carlo في تردد ونظام عابر ، للدائرة صحية وذات أعطال. وقد شيدت المصنفات المستندة إلى الذكاء الاصطناعي ، مثل المصنفات العصبية وطمس العصبية. وأخيرا ، تم تحسين التشخيص عن طريق إدخال مصنف جديد (متعدد الطبقات العصبية طمس المصنف). ويقارن هذا الأخير بأنواع أخرى من المصنفات وقد لوحظ أنه أكثر كفاءة ودقة.

الكلمات المفتاحية : الكشف عن الأعطال; تصنيف الأعطال ; المصنف العصبي ؛ تشخيص اختبار الدوائر التناظرية.