

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE SCIENTIFIQUE

Université Ferhat Abbas – Sétif
Faculté des Sciences de l'Ingénieur
Département d'Electronique

MEMOIRE

Présenté pour obtenir le titre de

MAGISTER

Option : Instrumentation

Par

GAMOURA AMAR

Thème :

**MODELISATION DES CIRCUITS ANALOGIQUES ET
NUMERIQUES POUR LE TEST**

Soutenu le : 06 Mai 2009

Devant le jury composé de:

Président :	N. BOUZIT	Prof.	Université F.A- Sétif
Examineurs :	A. FERHAT HAMIDA	M.C	Université F.A- Sétif
	N. BOUKAZZOULA	M.C	Université F.A- Sétif
	H. CHEMALI	M.C	Université F.A- Sétif
<u>Rapporteur :</u>	N. BOUROUBA	M.C	Université F.A- Sétif

Année Universitaire 2008-2009

REMERCIEMENT

Je tiens tout d'abord à exprimer ma reconnaissance et mes remerciements à Monsieur *N.Bourouba*, Maître de Conférences à l'université Ferhat Abbas de Sétif, pour sa patience, sa disponibilité et son aide précieuse et constante afin de terminer ce travail.

Mes remerciements vont tout particulièrement à Monsieur *N.Boouzit*, Chef de Département d'électronique et Professeur à l'université Ferhat Abbas de Sétif, qui n'a pas cessé un moment de m'encourager et à me soutenir, je le remercie encore de m'avoir honoré et accepter de présider ce jury.

Je voudrais aussi remercier Messieurs *A.Ferhat Hamida*, *H.Chemali*, *N.Boukazzoula*, Maîtres de Conférences à l'université Ferhat Abbas de Sétif, d'avoir accepter d'examiner ce travail.

Je ne saurais terminer sans remercier l'ensemble des enseignants de l'institut **S.E.T.I** de l'université Ferhat Abbas pour leur esprit de fraternité et leur soutien le long de ce travail.

DEDICACES

A la mémoire de mes parents,

A la mémoire de mes frères Mustapha et Said,

que dieu les accueille dans son vaste paradis.

A ma femme et mes enfants,

A ma famille et à tous mes amis.

Résumé

Le présent travail traite d'abord les méthodologies de conception hiérarchiques, les notions de niveaux d'abstraction dans le domaine analogique et numérique ainsi que la méthodologie de modélisation, les principaux modèles de fautes tels que collage simple, court circuit etc. Les différents types de simulation ainsi que leurs algorithmes sont aussi présentés.

L'objectif de notre travail est la modélisation des circuits analogiques et numériques en l'absence et présence de fautes. La construction de ces modèles est effectuée en appliquant l'approche d'approximation linéaire par morceaux (PWL). Les modèles sont représentés par des quadripôles comportant des éléments linéaires tels que résistances, sources de tension contrôlées et indépendantes. L'approche de compression de fautes (Fault Collapsing Approach) est appliquée pour réduire le nombre de fautes. La détection de ces fautes se fait par utilisation du simulateur OrcadPspice9.2 dont nous disposons.

Mots clés : niveaux d'abstraction, modélisation de fautes, faute de collage, PWL, réduction de fautes, Pspice, simulation.

Abstract

This work deals first with the hierarchical design methodologies, level of abstraction concepts in analogue and digital domains, as well as the macromodeling methodology. The main fault models such as stuck at fault, short circuit etc. Various types of simulations and their algorithms are also presented.

The aim of our work is the modeling of fault free and faulty analogue and digital circuits. The model construction is achieved by the Piece Wise Linear process. Models are represented by simple circuits with linear elements such as resistors, controlled and independent sources. Fault Collapsing Approach has been applied to reduce the amount of data. The detection of these faults is implemented by use of OrcadPspice9.2 which is available in our laboratory.

Key words: Abstraction levels, fault modeling, stuck at faults, PWL, Fault Collapsing, Pspice, simulation.

ملخص

نتطرق في هذا العمل إلى التصميم التسلسلي، مفهوم مستوى التجريد في الميدان القياسي و الرقمي، و أيضا منهجيات تصميم النماذج. النماذج الأساسية للاخطاء كالنثب و الدارة القصيرة إلخ. مختلف طرق المحاكاة و الخوارزميات قدمت في هذا العمل.

الهدف من هذا العمل هو تصميم النماذج المتعلقة بالأخطاء في الدارات القياسية و الرقمية في غياب و حضور. تمثل هذه النماذج بواسطة دارات بسيطة تحتوي على عناصر خطية كالمقاومات الأخطاء. يتم تركيب هذه النماذج باستعمال طريقة التقريب (PWL)

و منابع الجهد الحرة و المحكمة. تم أيضا تطبيق لخفض عدد الأخطاء. إكتشاف هذه الأخطاء تم بالاستعمال مدخل تقليص الأخطاء .OrcadPspice9.2

SOMMAIRE

Introduction Générale	7
Chapitre I TECHNIQUE DE CONCEPTION ET MODELISATION	
1. Introduction	8
2. Méthodologie de conception hiérarchique	8
3. Niveaux de conception et d'abstraction	10
3.1 Domaine digital	10
3.2 Domaine analogique	11
3.2.1 Domaine STRUCTURE	12
3.2.2 Domaine COMPORTEMENT	13
3.2.3 Domaine GEOMETRIE	14
4. Macromodélisation	15
4.1 Différents types de macromodélisation	15
4.1.1 L'approche mathématique de macromodélisation	15
4.1.2 Macromodélisation basée sur le modèle de conduite (Table Look Up)	16
4.2 Méthodologie de macromodélisation	16
4.2.1 Macromodélisation par langage de description structurelle	16
4.2.2 Exemple de macromodélisation d'un amplificateur opérationnel (Macromodèle de Boyle)	18
4.2.3 Modélisation numérique des circuits analogiques	19
4.2.4 Avantages et inconvénients	22
4.2.5 Les langages de description matérielle (HDL)	23
5. Conclusion	23
Chapitre II: MODELISATION DE FAUTES ET STRATEGIE DE TEST	25
1. Introduction	25
2. Définition de termes utilisés	25
3. Classification de fautes	27
4. Principaux modèles de fautes	29
4.1 Collage simples au niveau portes	29
4.2 Extension du modèle des collages simples niveau portes	29
4.3 Transistors toujours ouverts ou toujours fermés	30
4.4 Courts-circuits	32
4.5 Modèles spécifiques pour macrocellules	32
4.6 Fautes de retard	32
4.7 Courant statique	33
5. Notion de fautes équivalentes	34

6. Taux de couverture	35
7. Stratégie de test	37
8. Conclusion	38
Chapitre III : TECHNIQUES DE SIMULATION	39
1. Introduction	39
2. Différents types de simulation	39
2.1 Simulation dirigée par événement	39
2.2 Simulation continue dans le temps	40
2.3 Simulation en mode mixte	40
3. Algorithmes utilisés dans la simulation des circuits analogiques	41
3.1 Topologie d'un circuit	41
3.2 Analyse des circuits analogiques	45
3.2.1 Analyse en continue (DC)	45
3.2.2 Analyse en alternatif (AC)	46
3.2.3 Analyse transitoire	48
4. Conclusion	49
Chapitre IV : SIMULATION ET MODELISATION DE FAUTES	50
1. Introduction	50
2. Historique de PSPICE	50
3. Structure et fonctionnement du simulateur OrCadPSPICE	51
3.1 Fichiers générés par le programme Schematics	52
3.2 Fichiers lus par PSPICE	52
3.3 Fichiers générés par PSPICE après simulation	53
4. Les modes d'analyse de PSPICE	53
4.1 Analyse DC	54
4.2 Analyse AC	55
4.3 Analyse transitoire	56
5. Construction du macromodèle de trigger de Schmitt	57
5.1 Approche de la Piece Wise Linear	58
5.1.1 Description de la technique PWL	58
5.2 Description du trigger de Schmitt	59
5.3 Le modèle PWL du trigger de Schmitt	59
5.4 Caractéristique d'entrée du trigger de Schmitt	60
5.5 La première sortie du trigger de Schmitt	62
5.6 L'effet d'hystérésis	66
6. Macromodèle de fautes du trigger de Schmitt	68
6.1 Propagation de l'effet de la faute F1	68
6.1.1 Le macromodèle du trigger de Schmitt sous la faute F1	70
6.2 Macromodèle du trigger de Schmitt en présence de la faute F17	71

6.3 Macromodèle du trigger de Schmitt en présence de la faute F12	75
7. Détection et classification des groupes de fautes	76
7.1 Détection de fautes du trigger de Schmitt	76
7.2 L'approche de réduction de fautes (Fault Collapsing Approach)	79
7.3 Classification en groupe fonctionnels de fautes	79
8. Modélisation d'une porte logique à base de transistors bipolaires	81
8.1 Description du circuit représentant la porte logique NAND	81
8.2 Evaluation des paramètres d'entrée	82
8.3 Evaluation des paramètres de sortie	83
9. Insertion de défauts et détection de fautes de la porte NAND	84
9.1 Effet de la faute F15 sur le comportement de la porte NAND	86
9.2 Effet de la faute F4 sur le comportement de la porte NAND	88
10. Conclusion	91
Conclusion Générale	92
Bibliographie	

INTRODUCTION GENERALE

Le test des circuits intégrés n'est pas un domaine nouveau, mais il est en perpétuelle mutation. Lors des premiers pas dans la production de circuits intégrés, l'ingénieur de conception et l'ingénieur chargé du test étaient généralement bien dissociés. Le premier décidait des éléments à implanter dans le circuit et du dessin de ces éléments sur le substrat physique ; le second décidait ensuite comment déterminer efficacement, en fin de production, si le circuit n'était pas entaché d'un défaut de fabrication et pouvait être livré au client. Le premier devait donc garantir une fonctionnalité exempte d'erreur de conception ; le second devait assurer la détection de tout défaut physique. Avec la croissance rapide de la complexité des circuits, cette séparation nette des responsabilités est devenue caduque. L'évolution vers la haute intégration (VLSI : **V**ery **L**arge **S**cale **I**ntegration) a eu pour conséquence l'impossibilité de tester efficacement le circuit en production si le test n'a pas été prévu pendant la conception ; la qualité et le coût du test sont devenus directement liés aux choix de conception et aux informations fournies par le concepteur pour la préparation du test.

La phase de test des circuits est précédée inévitablement par celle de l'élaboration de modèles de fautes ou plus exactement de dictionnaire de fautes qui servira de référence afin de les détecter les localiser et les identifier.

L'objectif de notre travail est la construction de modèles représentant l'effet des défauts électriques sur le comportement des circuits aussi bien analogiques que numériques. Ces modèles ou plus exactement macromodèles sont une représentation très simplifiée à l'aide d'éléments linéaires tels que résistances, sources de tensions contrôlées et indépendantes. Les valeurs de ces éléments sont extraites des caractéristiques de transfert et d'entrée par utilisation de l'approximation linéaire par segmentation PWL des courbes caractéristiques.

Notre travail est organisé en quatre chapitres. Le premier chapitre présente les techniques de conception et les différentes méthodologies de modélisation. Le chapitre II introduit la notion de fautes et leurs différents modèles, ainsi que les différentes stratégies de test. Le chapitre III est consacré aux techniques de simulation ainsi que les différents algorithmes employés. Le chapitre IV sera consacré à la modélisation de fautes d'un circuit analogique représenté par le trigger de Schmitt et d'un circuit numérique représenté par une porte logique à base de transistors bipolaires. Un bref aperçu sur le simulateur utilisé, en l'occurrence OrCadPSPICE9.2 dont nous disposons, a été présenté au début de ce chapitre.

CHAPITRE I

TECHNIQUES DE CONCEPTION ET MODELISATION

1. Introduction

La validation d'un système électronique, qu'il soit intégré sur une puce ou réalisé sous forme de cartes, est encore essentiellement basée sur des logiciels de *simulation*. Ceux-ci font appel à des modèles des différents éléments utilisés, qui en décrivent le *comportement*, c'est à dire les relations entre les signaux présents sur les points d'entrée/sortie (E/S). La modélisation et la simulation restent les parties les plus importantes dans l'analyse d'un système. La modélisation est définie comme un processus par lequel le système physique peut être transformé en une forme abstraite appelée « MODELE ». En revanche, la simulation est définie comme un processus par lequel un ordinateur est utilisé (analyse numérique) afin d'évaluer un modèle et estimer l'importance de ses caractéristiques [1].

D'un point de vue circuit électronique, la modélisation peut être utilisée pour transformer des circuits électriques en description mathématique appelée aussi modèle. Le modèle est décrit par les états internes et les relations Entrée/Sortie telles que les équations booléennes pour les circuits numériques ou bien par des équations différentielles et algébriques pour les circuits analogiques. Ensuite, un simulateur analogique tel que Spice est utilisé pour résoudre les équations mathématiques décrivant un circuit.

2. Méthodologies de conception hiérarchique

Quelles que soient les méthodes utilisées en simulation analogique, électrique ou symbolique, le nombre de composants pouvant être traités sera toujours limité. Il est donc nécessaire de changer de paradigme et d'adopter une méthodologie de conception hiérarchique descendante dite "*top-down*", basée sur la modélisation comportementale, et qui décompose le problème de la conception d'un système complexe en une suite de problèmes élémentaires, plus faciles à appréhender.

Cette méthodologie hiérarchique permet d'autre part d'assurer une conception de qualité en évitant tous les problèmes de sur-dimensionnement des éléments du circuit, qui sont inhérents à l'approche traditionnelle ascendante dite "*bottom-up*" [2]. Celle-ci consiste à élaborer en premier lieu les blocs constitutifs du circuit au niveau transistor, leurs spécifications ne pouvant être précisément définies que lorsqu'ils sont assemblés en la fonction souhaitée.

Outre les problèmes de simulation qui sont posés pour valider le fonctionnement du circuit complet, un grand nombre d'itérations de conception est inévitablement requis. Pour les limiter, un surdimensionnement des spécifications peut être effectué, conduisant en un circuit peu optimal.

C'est pourquoi la méthodologie *top-down* est depuis longtemps appliquée à la conception et synthèse des circuits digitaux. Le but visé est d'obtenir au premier coup un circuit répondant aux spécifications. Les simulations mettant en jeu les modèles comportementaux permettent en effet d'éliminer les erreurs de choix architecturaux dès les premières phases de la conception. En raison de l'intégration croissante de fonctions analogiques, telles que dans les convertisseurs A/D et D/A ou les boucles à verrouillage de phase (PLL), elle est aujourd'hui appliquée dans le domaine analogique. *Liu et al.*[3] désignent cette stratégie par : ***conception top-down dirigée par les contraintes*** car la vérification a lieu au plus tôt et procède par propagation descendante des spécifications ou contraintes [2].

Après avoir précisé les différents niveaux hiérarchiques qui sont définis dans les domaines digitaux et analogiques, nous décrivons les deux phases principales de conception: la première phase *descendante de décomposition* du système et la seconde phase *ascendante de validation*, après réalisation de l'architecture de chaque bloc fonctionnel et surtout après élaboration du *layout*. La figure I.1 illustre de façon claire la méthodologie de conception hiérarchique représentée par le diagramme en V.

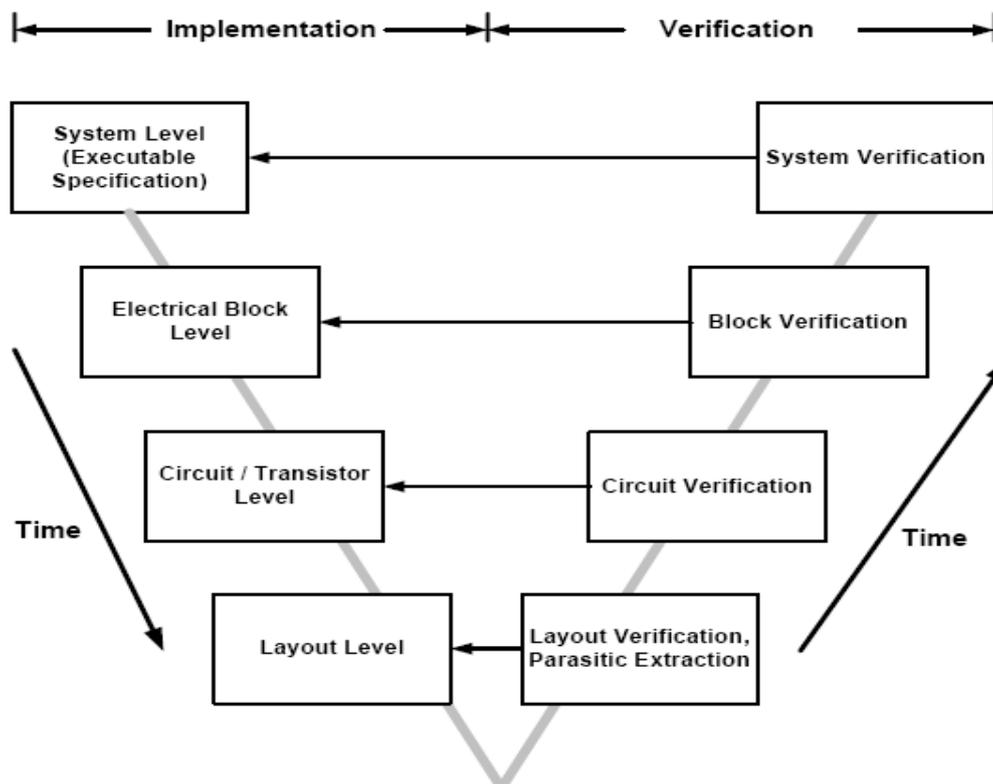


Figure I.1 Conception descendante (Top-down) et vérification ascendante bottom-up (diagramme en V) [4].

3. Niveaux de conception et abstraction

3.1 Domaine digital

L'architecture et la fonctionnalité d'un système peuvent être très complexes. Le système peut contenir aussi bien des éléments analogiques que numériques associés aux parties programmation. Plusieurs étapes de conception sont nécessaires afin de réaliser un système (circuit électronique sur une puce par exemple). Le procédé de conception peut être divisé en plusieurs étapes selon des niveaux de conception comme le montre la figure I.2. Typiquement les niveaux d'abstraction utilisés dans la conception des circuits numériques sont, par ordre croissant d'abstraction, composant (device), circuit, porte logique (gate), module fonctionnel (additionneur par exemple) et niveau système (processeur par exemple).

En partant du niveau système la description devient de plus en plus détaillée. A chaque niveau de conception les outils de CAO sont utilisés par le concepteur [5].

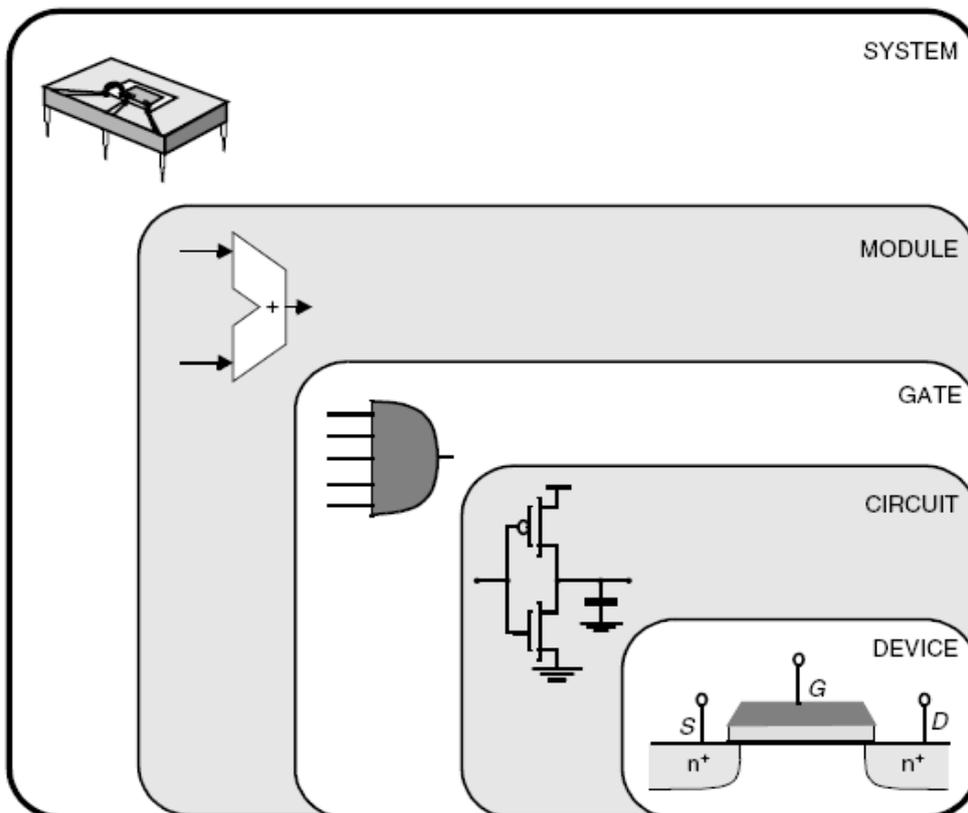


Figure I. 2 Niveaux d'abstraction dans la conception des circuits numériques.

Les niveaux de description, définis dans le domaine digital par *Gajski et al.* [2], sont décrits par le Tableau I.1: système, microarchitecture, logique et circuit. Chaque niveau est caractérisé par deux types de représentations qui sont successivement utilisées dans la méthodologie top-down: la représentation *comportementale*, indépendante de toute architecture, et la représentation *structurelle*, qui décrit une architecture donnée à l'aide d'éléments appartenant au niveau inférieur.

Pour décrire le comportement, des fonctions de transfert et des diagrammes temporels sont utilisés au niveau "circuit", des équations booléennes et des diagrammes d'états au niveau "logique". La description "registre de transfert" au niveau "microarchitecture" spécifie pour chaque état de contrôle la condition à tester, les transferts de registre à exécuter et l'état suivant. Enfin, des schémas synoptiques et des langages algorithmiques sont employés pour définir la fonction du "système".

Tableau I.1 Niveaux d'abstraction des systèmes digitaux [2]

Niveau d'abstraction	Représentation comportementale	Représentation structurelle
Système	Schémas synoptiques, Algorithmes	Processeurs, Mémoires
Micro-architecture	Registre de transfert (RTL)	Registres, ALUs
Logique	Équations booléennes, Diagrammes d'états	Portes logiques
Circuit	Fonctions de transfert, Diagrammes temporels	<i>Transistors interconnectés</i>

La *synthèse* correspond au passage de la représentation comportementale à la représentation structurelle. Des outils de synthèse automatique entre la représentation comportementale "registre de transfert" et la description structurelle en "portes logiques" sont par ailleurs couramment utilisés dans l'industrie. D'autres outils de synthèse de plus haut niveau (à partir de la description comportementale "algorithmes") commencent à apparaître sur le marché et existent depuis longtemps à l'état de prototypes universitaires.

3.2 Domaine analogique

En analogique, il est difficile d'établir une telle hiérarchie car le nombre de niveaux dépend essentiellement de la complexité du système à réaliser. Les niveaux d'abstraction dans la conception analogique ne sont pas définis de façon stricte et il n'y a pas d'accord (consensus) général au sein de la communauté des concepteurs analogiques à propos des niveaux d'abstraction réels utilisés dans l'automatisation de ce nouveau processus conceptuel.

Les circuits analogiques peuvent être modélisés selon différents domaines, chaque domaine mettant l'accent sur différents aspects. Ces domaines peuvent être classés en trois perspectives : STRUCTURE, COMPORTEMENT, GEOMETRIE comme le montre la figure I.3 [6].

Chacun de ces domaines peut aussi être subdivisé en différents niveaux d'abstraction. Au niveau d'abstraction le plus élevé on observe seulement une vue générale du domaine, par contre au niveau d'abstraction le plus bas, on observe un maximum de détails du système.

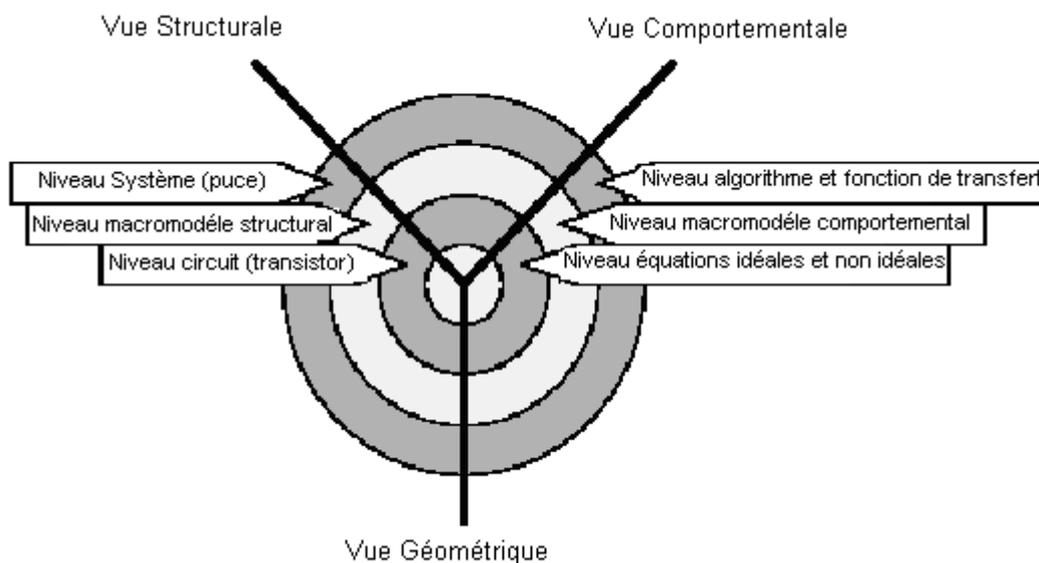


Figure I.3 Domaine analogique et niveaux d'abstraction.

3.2.1 Domaine STRUCTURE

Ce domaine décrit le circuit analogique par la composition d'éléments liés entre eux ou par des sous-systèmes tels que résistances, transistors, amplificateur opérationnel, filtres et autres. Le domaine STRUCTURE peut à son tour être divisé en différents niveaux d'abstraction :
 _ Niveau Circuit (Circuit Level) appelé aussi niveau élément ou niveau transistor .

_ Niveau Macromodèle Structural (Structural Macromodel Level) appelé aussi niveau fonctionnel.

_ Niveau Système (System or Chip Level).

_ Niveau Circuit

Le niveau Circuit est le plus bas niveau d'abstraction où les éléments sont primitifs. Il existe plusieurs simulateurs tels que Spice et ses dérivés qui permettent une simulation très précise, cependant, à ce niveau la simulation est coûteuse en temps. Par conséquent, un compromis entre précision et rapidité est accompli en passant à un niveau d'abstraction supérieur. [2]

_ Niveau Macromodèle Structurel

Appelé aussi niveau fonctionnel, il consiste en un groupe d'éléments primitifs tels que AOP, comparateurs conçus pour assurer une fonctionnalité spécifique. Les modèles, à ce niveau, peuvent être simplifiés pour produire d'autres modèles assurant la même fonction, cette technique est connue sous le nom de MACROMODELISATION. Le modèle obtenu contient moins d'éléments que le modèle original décrit au niveau circuit. Ceci conduit à une réduction de temps machine et permet la simulation de circuits plus importants. L'obtention de modèles simplifiés peut être accomplie par plusieurs méthodes telles que : simplification de circuits, construction de circuits, macromodélisation symbolique et la combinaison de ces méthodes [7].

_ Niveau Système

Ce niveau consiste en une connexion de blocs fonctionnels, ou fonction de transfert d'un système telle que la puce d'un modem par exemple. La figure I.4 [6] montre un exemple de vue structurale.

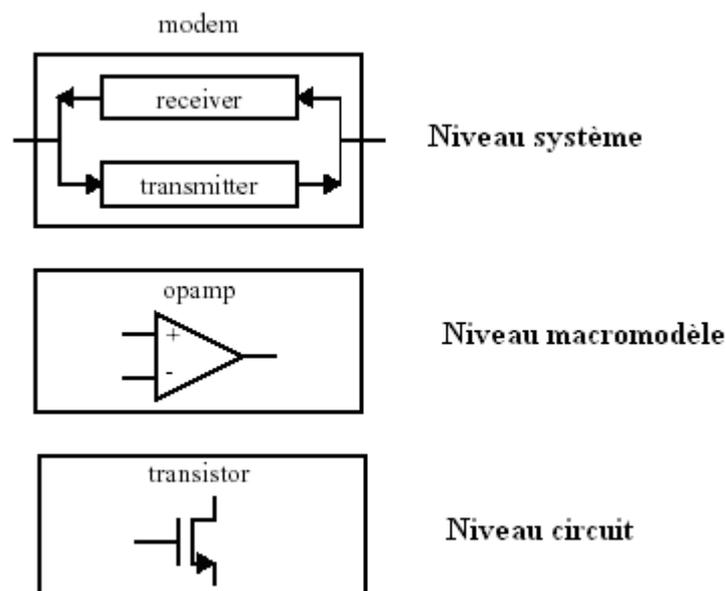


Figure I.4 Niveaux d'abstraction d'un circuit de modem.

3.2.2 Domaine COMPORTEMENT [6].

Ce domaine décrit le circuit par le moyen d'équations mathématiques linéaires ou non linéaires. La structure détaillée du système n'est pas définie. Le domaine COMPORTEMENT peut être à son tour divisé en différents niveaux d'abstraction, niveau équations, niveau macromodèle comportemental, niveau fonction de transfert et algorithme

Pour les circuits analogiques, la description du niveau le plus bas est fournie à l'aide d'équations différentielles et algébriques aux inconnues fonction du temps. Au niveau le plus haut, les circuits analogiques peuvent être modélisés en utilisant les fonctions de transfert (Transformée de Laplace par exemple). Les langages de description hardware tel que VHDL [6] peuvent être utilisés pour décrire les circuits analogiques en utilisant la description comportementale.

3.2.3 Domaine GEOMETRIE

Ce domaine décrit la manière dont le système est physiquement tracé (Layout). Il peut être aussi divisé en différents niveaux d'abstraction [6].

Par rapport à la définition des niveaux d'abstraction du domaine digital du Tableau 1, cette classification ne met pas en valeur la dualité représentation comportementale et représentation structurelle de chaque niveau hiérarchique. Par exemple, les "circuits" tels que les amplificateurs opérationnel, comparateurs ou sources, utilisés au niveau "fonctionnel", sont modélisés par des macromodèles qui constituent leurs "représentations comportementales" et sont "structurellement" composés de transistors MOS ou BJT et d'éléments passifs. C'est cet aspect que tente de décrire le Tableau I.2 [1].

Tableau I.2 Niveaux d'abstraction en analogique

Niveau d'abstraction	Représentation comportementale	Représentation structurelle
Système	Fonctions de transfert Schémas-blocs $H(s)$, $H(z)$ Domaine fréquentiel Domaine temporel Domaine Analogique/Digital	Convertisseurs A/D, D/A, PLL, Filtres, Sommateur, Intégrateur, Multiplieur, Bistable...
Fonctionnel	Équations algébriques linéaires et non-linéaires, Courbes de transfert, Tables	Op Amps, Sources, Comparateurs
Circuit	Macro-modèles	MOS, BJT, éléments passifs R,L,C
Composant	Modèles de composants	<i>Layout des composants</i>

4. Macromodélisation

L'objet principale de la macromodélisation est de remplacer un système électronique ou une partie de ce système (une fonction ou un dispositif actif) par un modèle afin de réduire significativement le temps requis par les nombreuses simulations électriques effectuées en phase de conception. Pour ce faire, un macromodèle doit répondre à deux exigences conflictuelles: il doit être structurellement le plus simple possible et en même temps simuler le comportement du circuit avec le maximum de précision. Selon leur mode de construction et leur niveau d'abstraction, on distingue essentiellement deux catégories de macromodèle:

_ Les modèles électriques construits à partir d'éléments idéaux linéaires décrits par un langage de description structurelle de type SPICE tels que sources contrôlées et composants passifs [8].

_ Les modèles analytiques écrits dans un langage de description matérielle de type HDL (Hardware Description Language) [9].

4.1 Différents types de macromodélisation

La macromodélisation est une approche permettant de simplifier un circuit en le décrivant sous forme d'équations mathématiques, tableaux à dimensions multiples où expressions symboliques représentant le circuit habituellement complexe. Le macromodèle

ainsi obtenu est un modèle simplifié basé sur un ensemble de primitives (sources de courant et tension contrôlées, résistances, capacités...etc.) assurant le maximum d'efficacité en simulation tout en conservant une précision suffisante.

4.1.1 L'approche mathématique de macromodélisation

La modélisation mathématique fournit une approche très prometteuse dans la conception des circuits aussi bien linéaire que non linéaires. Le macromodèle mathématique utilisé pour décrire le comportement et la fonction de ces circuits est défini sous forme d'équations différentielles et polynômes obtenus à partir d'analyses des nœuds et branches par l'application des lois de Kirchhoff par exemple.

Le macromodèle mathématique est très utile en tant que moyen de description pour la conception et simulation de circuits. Cependant, le concepteur de macromodèle doit avoir des connaissances claires sur le comportement du circuit. L'inconvénient de cette approche réside dans le fait que ce type de modélisation rend difficile la génération automatique du macromodèle pour les circuits de grande taille. [10].

4.1.2 Macromodélisation basée sur le modèle de conduite (Table Look Up)

Ce type de macromodèle est utilisé pour représenter un comportement approximatif d'un circuit. Le modèle ne contient aucun élément du circuit mais consiste en un ensemble d'informations relatives au comportement du circuit regroupées dans un tableau montrant par exemple les caractéristiques entrées/sorties pour différentes valeurs de l'entrée du circuit. Ces données proviennent généralement de mesures expérimentales réelles avant leur implémentation par un simulateur. [10].

Comme on peut le constater si on cherche à avoir un modèle très précis il faut prévoir un tableau de grande dimension, ceci conduit bien sûr à un temps de calcul et une capacité de stockage assez conséquents. Le seul avantage de ce type de macromodèle est que le processus de modélisation est aisément programmable.

4.2 Méthodologie de macromodélisation

4.2.1 Macromodélisation par langage de description structurelle

Pour décrire de façon structurelle, SPICE a défini un langage pour la modélisation des fonctions analogiques appelé **macromodélisation**. Ce type de modélisation est utilisé comme une modélisation comportementale. Les macromodèles sont implantables sur n'importe quel outil de simulation à base de SPICE.

Nous savons tous que le réseau ou circuit électrique décrit en *netlist* de type SPICE est analysé par le simulateur lui-même pour construire un système d'équations basées sur les lois de Kirchhoff, donc, basées sur une loi de conservation d'énergie et sur les équations des composants. La macromodélisation dans ce cas consiste à remplacer une partie d'un circuit ou d'un système par un autre modèle structurel plus simple (nombre de nœuds réduit) et plus près du circuit initial. Dans un autre sens, la macromodélisation consiste à satisfaire des spécifications externes sans regarder la topologie initiale du circuit. Le but essentiel de la macromodélisation est de réduire la taille du circuit et ainsi de réduire le temps de simulation[1].

Les macromodèles sont construits à partir d'un nombre réduit de composants idéaux. Les composants utilisés sont les composants primitifs de SPICE. Nous pouvons inclure des éléments passifs (résistance, capacité, inductance, etc.), des sources dépendantes et indépendantes, et des modèles non linéaires comme les diodes et les transistors bipolaires et MOS par exemple. [11].

Les sources contrôlées (sources dépendantes) sont des éléments idéaux qui permettent d'exprimer des relations mathématiques entre les courants et les tensions. SPICE définit quatre types de sources contrôlées polynomiales [1] :

- Source de tension contrôlée par des tensions (VCVS), de la forme :

$$V = e (v1, \dots, vn)$$

- Source de tension contrôlée par des courants (CCVS), de la forme :

$$V = h (i1, \dots, in)$$

- Source de courant contrôlée par des tensions (VCCS), de la forme :

$$i = g (v1, \dots, vn)$$

- Source de courant contrôlée par des courants (CCCS), de la forme :

$$i = f (i1, \dots, in)$$

L'ordre des polynômes est paramétrable ainsi que les coefficients. Outre les fonctions algébriques d'addition, de soustraction et de multiplication, ces polynômes peuvent aussi

décrire une série de Taylor [8] et approximer ainsi de nombreuses autres fonctions mathématiques (sinusoïdales, exponentielles ou logarithmiques).

Les éléments passifs (capacités, inductances, etc.) sont utilisées pour réaliser des opérateurs de dérivation et d'intégration qui sont ensuite utilisés pour décrire des fonctions de transfert en s.

La caractéristique non linéaire des diodes est utilisée en tant qu'opérateur conditionnel dans des comparateurs, des limiteurs de tension, etc.

Cependant, les diodes introduisent un décalage de tension qui est exprimé par la relation:

$$V = N \cdot \frac{k \cdot T}{q} \cdot \ln\left(\frac{I}{I_s} - 1\right)$$

où N est le coefficient d'émission, I_s le courant de saturation et I le courant traversant la diode. Trois méthodes sont généralement employées pour réduire ce phénomène parasite:

- Le décalage de tension est compensé par une source de tension fixe en série avec la diode [11].
- les variables sont systématiquement multipliées par un facteur d'échelle (de l'ordre de 1000) de telle façon que la tension de seuil des diodes devienne négligeable,
- Le coefficient d'émission est diminué, de 1 à 0.001 par exemple, selon les facilités de convergence du simulateur [8].

4.2.2 Exemple de macromodélisation d'un amplificateur opérationnel (macromodèle de Boyle)

La majorité des fabricants d'amplificateurs opérationnels fournissent à leurs clients les macromodèles SPICE. Ces modèles donnent aux concepteurs le moyen d'effectuer une caractérisation initiale ainsi qu'un nombre limité d'expérimentation. Ainsi, à dessein de réduire aussi bien le temps de simulation que la mémoire CPU, des macrotopologies ont été développées pour simuler la majorité des caractéristiques de performance de l'amplificateur opérationnel. Les simulations de circuits gagnent de plus en plus d'importance au niveau conception systèmes. En utilisant les macros, le concepteur peut rapidement déterminer grossièrement les limitations de son système et corriger éventuellement ses défauts au niveau de l'ordinateur. Durant tout le cycle de conception il est en mesure d'identifier des problèmes qui peuvent rendre la réalisation très coûteuse.

L'une des plus intéressante approche de macromodélisation de l'amplificateur opérationnel est celle développée par Boyle *et al* [12]. Cette approche a pour objectif d'obtenir

un modèle de circuit intégré ou une portion dans le but de réduire le plus possible le temps de simulation et par suite le coût du processus de simulation [10].

L'approche a été effectuée sur un amplificateur opérationnel (Voir figure I.5) et consiste en un circuit plus simple que le circuit de départ. Le modèle résultant de ce processus est construit soit par réduction des éléments du circuit soit en remplaçant les éléments du circuit par ceux idéalisés. Son utilisation prévoit donc une approximation très proche de l'amplificateur opérationnel réel. Les éléments constituant le modèle sont réels tels que résistances, capacités, diodes et transistors et abstraits tels que sources de tension contrôlées et sources de courant indépendantes.

Deux techniques sont utilisées pour modéliser le circuit de la figure I.5, la technique de simplification et celle de construction (build up). La technique de simplification est employée comme moyen de simplification d'une portion du circuit. Un certain nombre d'éléments sont remplacés par leurs éléments idéalisés (voir l'étage d'entrée de l'amplificateur opérationnel figure I.5). Dans la technique de construction (built up technique) les éléments idéaux sont insérés pour composer une portion d'un circuit n'ayant aucune ressemblance avec la portion réelle du circuit mais ayant les mêmes spécifications de performance. L'étage de sortie de la figure I.5 illustre l'utilisation de cette technique.

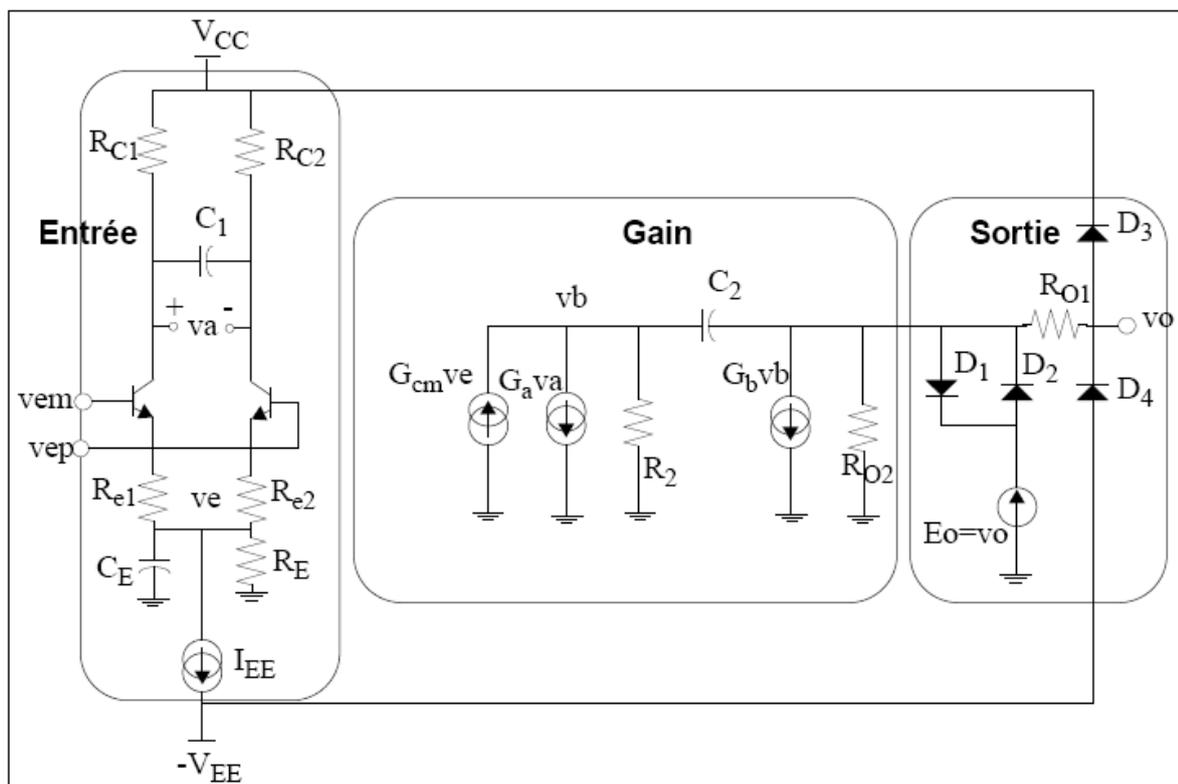


Figure I.5 Macromodèle d'un Amplificateur Opérationnel constitué de trois étages.

Le comportement non linéaire de ce circuit est accompli en utilisant des circuits plus simples composés de diodes parfaites (voir figure I.5) limitant le courant et la tension à la sortie. Les deux premières diodes, par leur comportement exponentiel, déterminent la limitation de courant de sortie. Les deux dernières diodes fonctionnent en mode complémentaire et limitent les tensions de sortie aux tensions d'alimentation V_{CC} et V_{EE} diminuées de la chute de tension à leurs bornes. Ainsi beaucoup de concepteurs d'amplificateur opérationnel ont choisi de bâtir leurs macromodèles autour de la topologie de Boyle, en ajoutant bien sur des améliorations pour insérer un peu plus de caractéristiques de performance de l'amplificateur opérationnel.[13]

4.2.3 Modélisation numérique des circuits analogiques [14]

Le modèle logique utilisé pour représenter un circuit analogique, s'intéresse seulement à son comportement non linéaire, ainsi la simulation de ces circuits utilise des '1' et '0'. Les niveaux logiques définissent les tensions de seuil d'entrée et de sortie, et à partir desquels une table de vérité est dressée afin de décrire la fonction des circuits analogiques. Une illustration de ce processus est présentée dans l'exemple d'un comparateur de la figure I.6

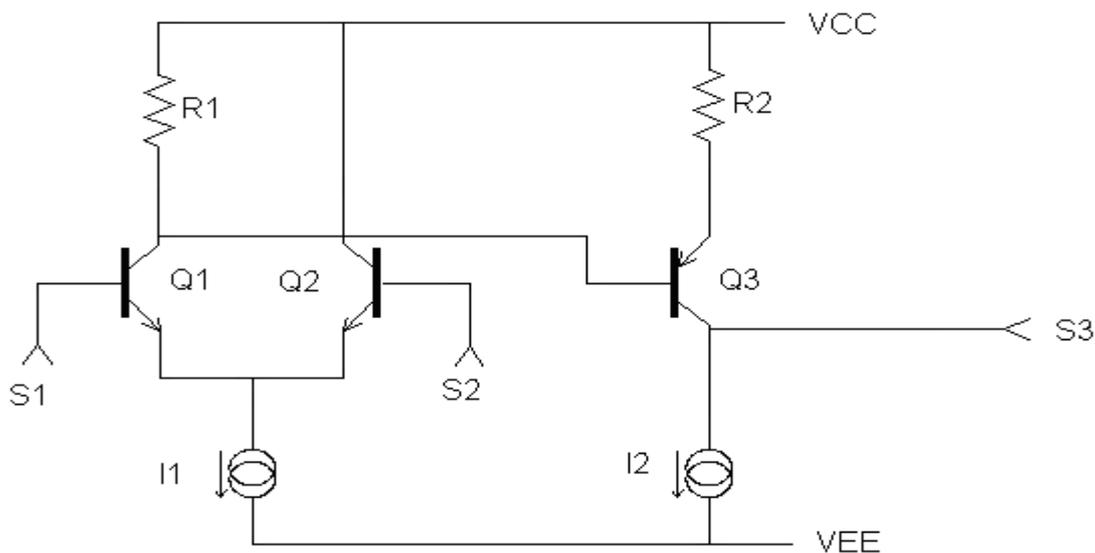


Figure I.6 Schéma du comparateur de tensions.

Les figures I.7 et I.8 montrent le comportement de la sortie S3 du comparateur vis-à-vis des entrées S1 et S2. Remarquons que la sortie S3 prend deux niveaux distincts selon les variations de S1 et S2 en passant par des transitions graduelles entre ces deux niveaux. Ceci est dû au comportement non linéaire des transistors. On peut donc utiliser des entrées comme une combinaison de « 1 » et « 0 » pour voir les changements de la sortie qui sera aussi logique (voir figure I.8). La sortie est indéterminée pour $S1=S2$. A partir des chronogrammes de la figure 1.8

une table de vérité a été dressée (Tableau I.1) pour représenter numériquement le comparateur. Les équations booléennes tirées de cette table conduisent au modèle logique représenté dans la figure 1.9.

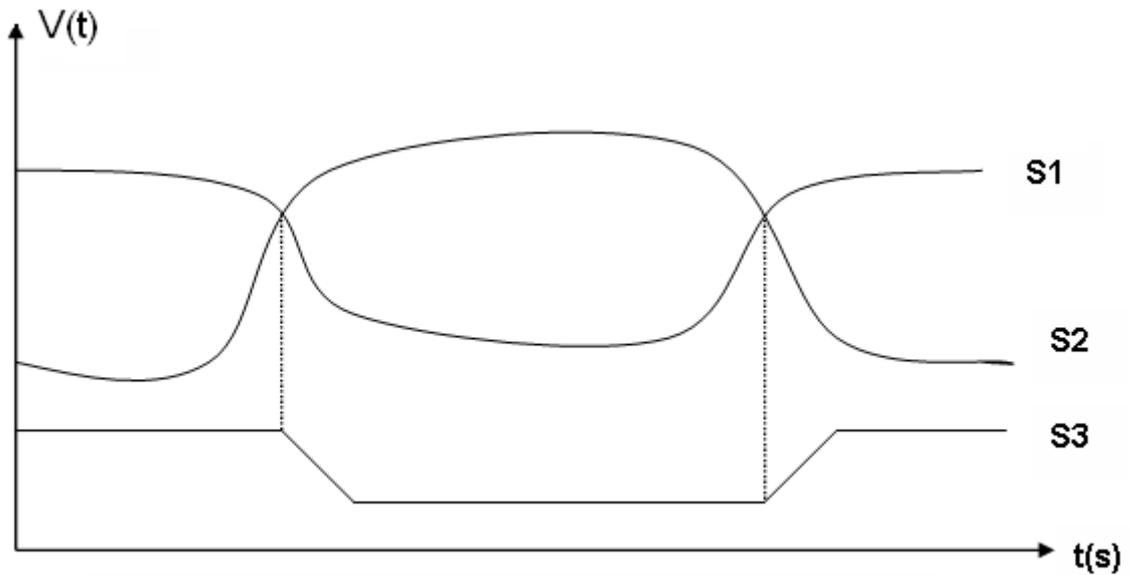


Figure 1.7 Signaux analogiques du comparateur

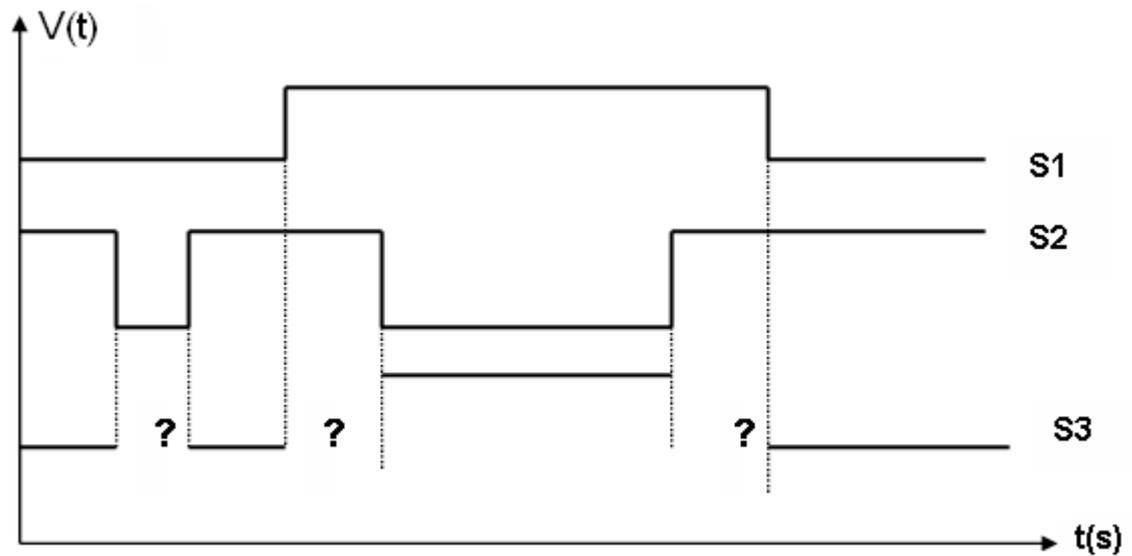


Figure 1.8 Chronogrammes logiques du comparateur.

Tableau I.1 Table de vérité

S1	S2	S3
1	1	X
1	0	1

0	1	0
0	0	X

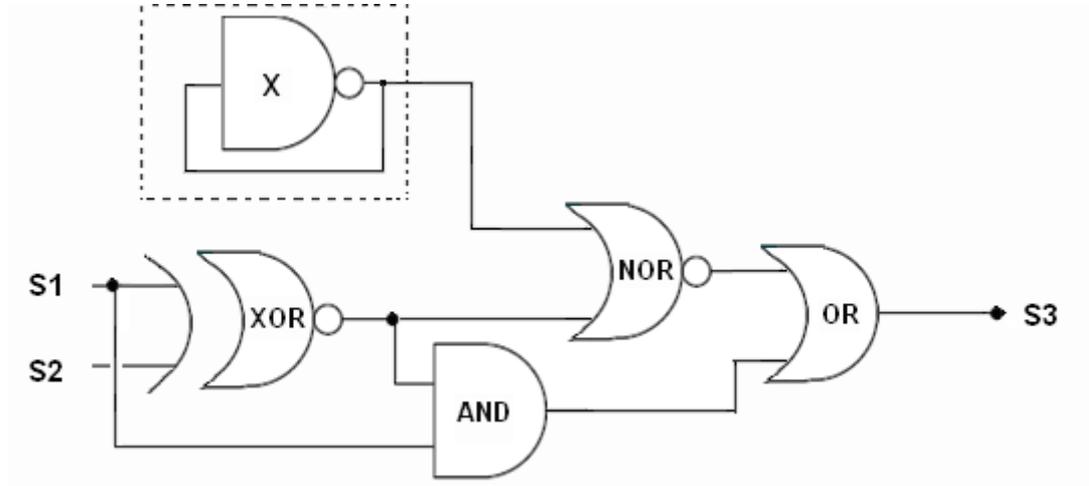


Figure I.9 Le modèle logique du comparateur.

4.2.4 Avantages et inconvénients

L'avantage de cette technique de macromodélisation c'est qu'elle ne nécessite pas l'apprentissage d'un langage de programmation mais requiert simplement une bonne connaissance d'un simulateur analogique et des primitives disponibles, ainsi que des techniques classiques de l'électronique (réalisation de filtres, boucles de rétroaction, schémas de diodes,...). Elle permet ainsi de réaliser un grand nombre de fonctions (fonctions mathématiques, filtres, détecteurs de pics, opérations sur les fréquences, détecteurs de phase, modulateurs d'amplitude et de largeur d'impulsions, oscillateur, convertisseur fréquence-tension, comparateurs, amplificateurs et boucle à verrouillage de phase, etc...) [8]. C'est une méthode populaire qui a donné lieu à un grand nombre d'études.

Cependant, malgré sa simplicité apparente, la macromodélisation pose un certain nombre de problèmes:

- Des parasites sont introduits par certains composants tels que les diodes, qui possèdent une tension de seuil non négligeable.
- Des problèmes de convergence sont parfois à résoudre lors de l'utilisation de boucles de rétroaction.
- La paramétrisation est difficile, du moins pour les premiers simulateurs SPICE. Par exemple, les coefficients des sources contrôlées polynomiales sont des constantes. Une solution consiste

alors à introduire les paramètres comme des tensions de contrôle. Une approche plus conviviale est de générer automatiquement la description structurelle des modèles par un programme de prétraitement qui calcule les valeurs des composants en fonction des paramètres définis par l'utilisateur [15]. Enfin, les nouveaux simulateurs offrent de plus grandes facilités de paramétrisation et de calcul d'expressions mathématiques.

- La plage de fonctionnement est généralement assez limitée du fait de la difficulté de paramétrisation.
- La macromodélisation est limitée aux circuits analogiques.

4.2.5 Les langages de description matérielle (HDL)

Ce sont des langages spécialement conçus pour la description de systèmes électroniques ou autres. L'utilisation des langages de description matérielle pour la conception et la synthèse des circuits électroniques réduit le temps de conception et contribue à faciliter la spécification et la documentation des circuits [12]. Nous pouvons citer quelques exemples des langages les plus connus comme VHDL (Very High Speed Integrated Circuit Hardware Description Language) et Verilog. Ces langages ont été développés initialement pour les circuits numériques mais par la suite, des extensions d'anciennes normes (IEEE1076 pour le VHDL par exemple) ont donné naissance à des nouvelles normes comme le VHDL-AMS (Very High Speed Integrated Circuit Hardware Description Language for Analog and Mixed System) norme IEEE 1076.1, et Verilog-AMS. Ces deux standards se sont partagés le champ des utilisateurs et coexisteront probablement pour longtemps. Ces nouveaux langages sont destinés à la modélisation analogiques et mixtes mais il existe des langages qui sont des sous ensembles des langages principaux, nous citons par exemple le VHDL-A et Verilog-A qui traitent uniquement la partie analogique.

5. Conclusion

Dans ce chapitre nous avons présenté l'utilité de la méthodologie de conception hiérarchique descendante (top-down) qui va de paire avec la validation ascendante (bottom-up), permettant d'améliorer la qualité de conception. En effet, basée sur la modélisation comportementale, elle permet de réduire un système complexe en une suite de sous systèmes plus simples et facile à appréhender.

En outre, nous avons introduit la notion de niveaux d'abstraction utilisés aussi bien dans le domaine digital qu'analogique et comment le nombre de niveaux d'abstraction peut varier en fonction de la complexité du système.

Pour réduire le temps de simulation en phase de conception, la macromodélisation est devenue un procédé utile. Ainsi, différents types de macromodélisation ont été présentés en citant à chaque fois leurs avantages et inconvénients.

CHAPITRE II

MODELISATION DE FAUTES ET STRATEGIES DE TEST

1. Introduction

Les modèles de fautes sont des circuits qui représentent le comportement d'un défaut réel durant une simulation. Les modèles de fautes simples représentatifs des défauts réels sont fondamentaux pour développer une stratégie de test efficace. En effet, la mesure de l'efficacité d'un ensemble de vecteurs de test en terme de capacité à détecter des défauts réels est basée sur le modèle de fautes utilisé. L'efficacité d'un ensemble de tests dépend aussi de la représentativité du modèle de fautes utilisé, plus le modèle de fautes est représentatif de la majorité des défauts physiques, plus il y aura de défauts détectés [16]. En général, comme pour les circuits numériques, les modèles de fautes analogiques supposent que si la faute existe alors elle est unique (faute simple). Cependant certaines techniques prennent en compte le cas des fautes multiples, mais elles sont rarement applicables aux circuits actuels car ces derniers sont trop complexes

2. Définition des termes utilisés [17]

Le mauvais fonctionnement d'un circuit peut provenir d'une erreur de conception, d'un problème lors de la fabrication ou d'un problème survenant pendant l'exécution de l'application, soit à cause du vieillissement du circuit, soit à cause de son environnement (radiation, particules, etc.).

Un problème lors de la fabrication ou résultant du vieillissement est appelé défaut. Il s'agit d'une imperfection physique pouvant :

- _ soit nuire immédiatement au bon fonctionnement du circuit (ligne de métal coupée à cause d'une poussière déposée sur la plaquette pendant une étape critique, court-circuit entre deux lignes, mauvais oxyde de grille d'un transistor MOS ,etc.) ;
- _ soit, dans certains cas réduire sa fiabilité et sa durée de vie (une ligne de métal de largeur réduite mais non coupée, par exemple).

Un défaut, suivant sa localisation dans le circuit, peut se traduire par une modification au niveau logique, cette modification de la structure ou du comportement nominal, correspondant à la représentation du défaut à un degré d'abstraction supérieur, est appelée **faute**. Les nombreux défauts pouvant survenir dans un circuit sont représentés, avec

plus ou moins de précision, par des « **modèles de fautes** » qui seront présentés au paragraphe 3.

_ Une faute liée par exemple à un défaut de fabrication ou au vieillissement du circuit est dite **permanente**.

Certaines fautes peuvent aussi être **transitoires**, par exemple une faute induite par l'impact d'une particule dans un circuit combinatoire, qui entraîne un pic de courant et la modification du niveau logique d'un signal (SEU)* ; au bout d'un certain temps, l'effet dû au passage de la particule va s'annuler et la faute disparaît. Certains types de fautes peuvent aussi être **intermittents** et n'apparaître que sous certaines conditions.

Si la fonction modifiée par une faute est activée dans le circuit, le résultat obtenu va être faux. Ceci se traduit par une valeur erronée dans un point mémoire du circuit ; cette partie de l'état de circuit qui diffère de l'état attendu est appelée **erreur**.

Une **défaillance** survient ensuite si cette erreur se propage à l'extérieur du circuit et induit un dysfonctionnement, c'est-à-dire un écart inacceptable par l'utilisateur entre la fonction spécifiée et celle actuellement délivrée par le circuit. La figure II.1 présente les différents niveaux d'abstraction du défaut.

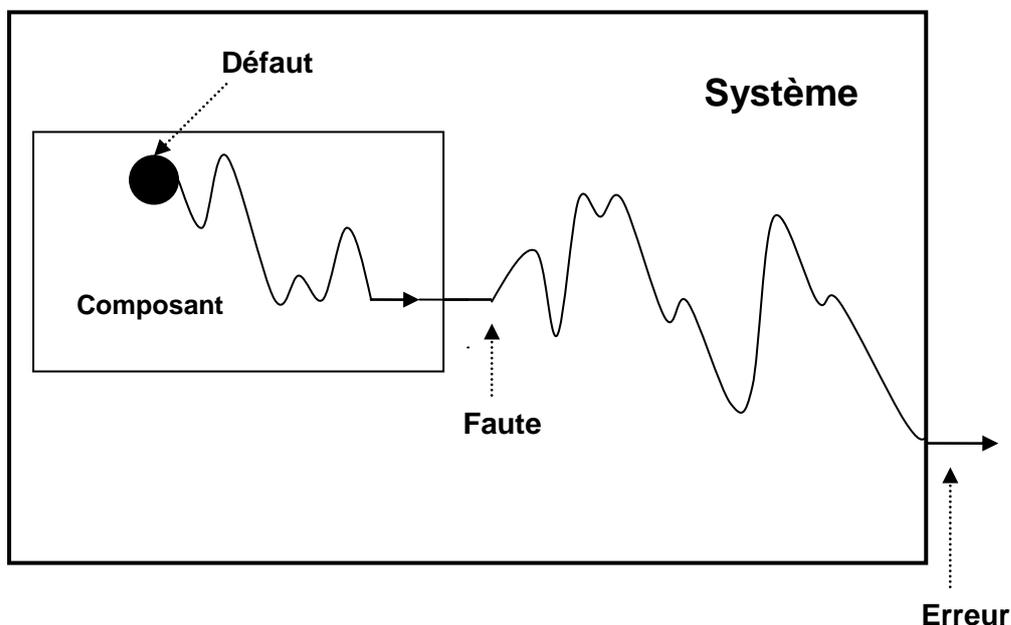


Figure II.1 Différents niveaux d'abstraction du défaut

* *Single Event Upset* : Type de faute généralement lié à un impact de particule dans un circuit et se traduisant par l'inversion logique d'un bit d'information.

Tout défaut n'induit pas immédiatement une faute. Une faute latente, c'est-à-dire non activée, n'induit pas d'erreur. Une erreur n'induit pas obligatoirement une défaillance. L'objectif lors d'un test, est de détecter un nombre maximum de défauts (et/ou de fautes) potentiels, en mettant le circuit dans des conditions qui vont induire une défaillance observable si un défaut (ou une faute) est présent [18].

3. Classification des fautes

Une autre définition peut être donnée à une **Faute** qui sera l'effet d'un défaut sur les caractéristiques électriques d'un circuit intégré s'éloignant du comportement spécifié a été effectuée [15].

Les sources de fautes dans les circuits analogiques (processus de perturbation) sont soit des défauts globaux soit des défauts locaux. Les défauts globaux incluent une imperfection dans les paramètres de contrôle durant la fabrication des circuits intégrés, instabilités des conditions du processus, instabilités du matériau, inhomogénéité du substrat et mauvais alignements des masques. Des défauts pareils affectent toutes les puces (chip) sur la plaquette (wafer) approximativement de la même manière, d'une autre part, les défauts locaux tels que souillures, trous dans l'oxyde, absence de contacts etc... (Voir figure II.2), proviennent habituellement des particules durant le processus de fabrication et modifient un système particulier ou bien une très petite partie d'une puce [19].

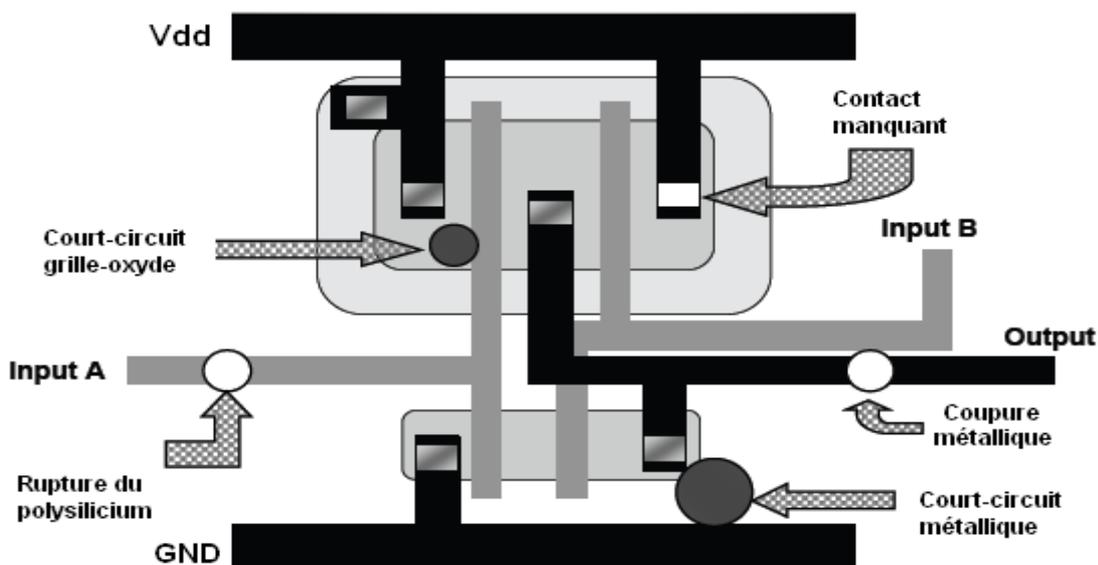


Figure II.2 mécanismes de défauts physiques

Les processus de perturbations aussi bien locaux que globaux peuvent donner lieu à des fautes structurales et paramétriques. Les fautes structurales comportent des nœuds coupés (open nodes), des courts-circuits entre les nœuds (shorted nodes) et d'autres changements topologiques dans un circuit. Les fautes structurales peuvent être rangée par catégories selon l'effet de la faute sur les spécifications du circuit. (Voir figure II.3) Une faute provoquant une défaillance complète des spécifications d'un circuit est appelée **faute catastrophique (catastrophic fault)**. Une faute conduisant à des spécifications d'un circuit fonctionnant en dehors de la région spécifiée conformément au cahier de charge (en dehors de la région d'acceptabilité) est appelée **faute non catastrophique (non catastrophic fault)**. Les fautes paramétriques indiquent celles qui n'influent pas sur la topologie du circuit, mais ont seulement un impact sur les valeurs des paramètres, par exemple en provoquant un écart de 20% d'une valeur d'une résistance ou d'une capacité. De telles fautes résultent des défauts locaux ou globaux. Les fautes paramétriques globales sont dues à un mauvais processus de contrôle dans la fabrication du circuit intégré, pouvant affecter par exemple tous les transistors ou capacités appartenant à un carré de la plaquette de silicium (portion ou carré d'un wafer).

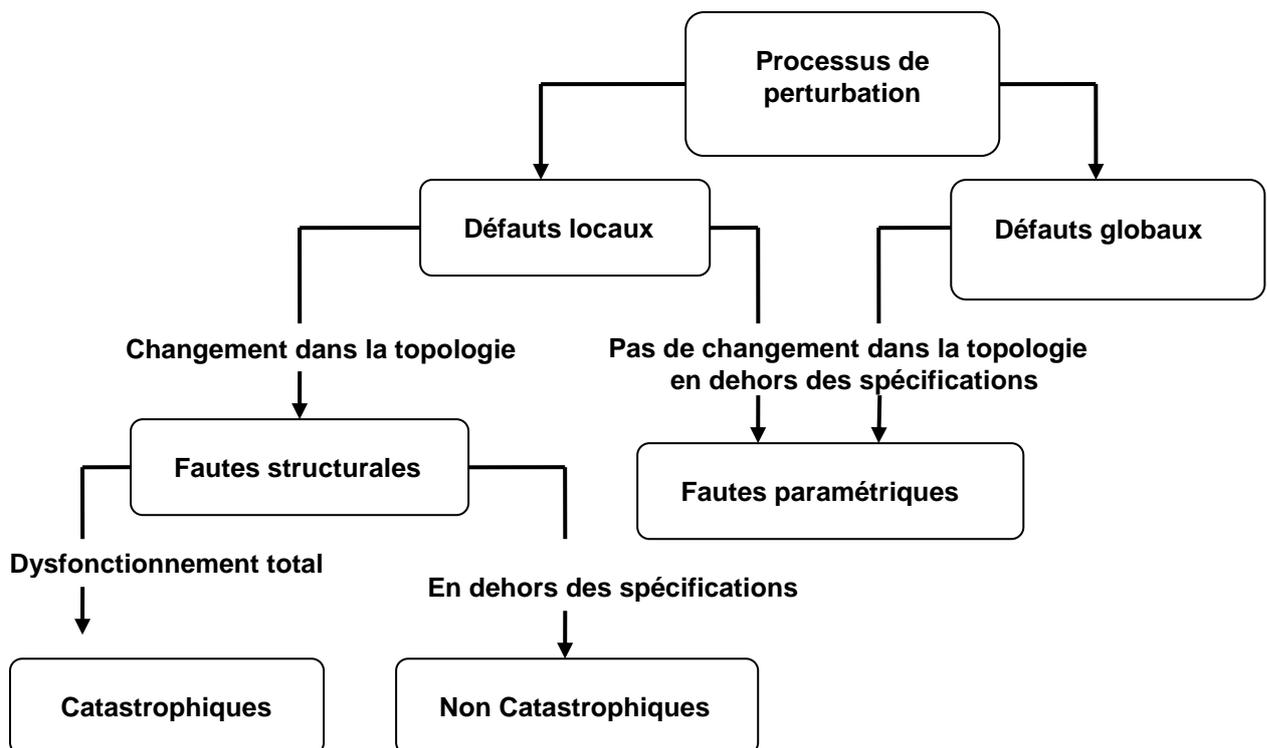


Figure II.3 Classification de fautes analogiques

Les fautes paramétriques locales sont dues à un mécanisme de défaut local, par exemple une particule provoquant l'extension de la longueur du canal d'un transistor MOS. Les fautes

paramétriques comme les fautes non catastrophiques conduisent à un fonctionnement du circuit intégré en dehors de la région des spécifications espérées.[20].

4. Principaux modèles de fautes

4.1 Collages simples au niveau portes

Le modèle de fautes de loin le plus utilisé est le modèle des **collages simples au niveau portes (Single Stuck-At : SSA)**, Il s'applique classiquement à toutes les parties de circuits réalisées en logique aléatoire avec une densité d'implantation moyenne en particulier, les assemblages de cellules standards).

Il consiste à supposer l'existence d'un signal quelconque figé sur l'une des deux valeurs logiques (collage à 0 « **s-a-0** » ou collage à 1 « **s-a-1** »). Toute entrée ou sortie de porte peut être ainsi collée à l'une des deux valeurs. Pour une *netlist*¹ niveau portes comportant N nœuds électriques, il peut donc y avoir N collages à 0 et N collages à 1, soit $2 \times N$ fautes possibles dans le modèle suppose qu'une seule de ces fautes peut exister dans un circuit donné (« collage simple »).

Comme illustré sur la figure II.4, un nœud collé à 1 (respectivement à 0) peut représenter un court circuit avec l'alimentation VDD (respectivement avec la masse). Toutefois, les collages peuvent modéliser d'autres défauts.[17]

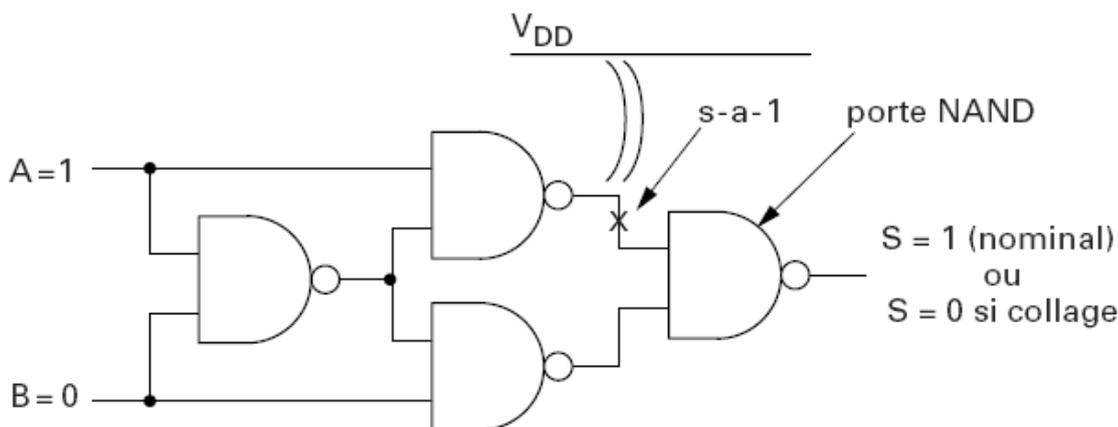


Figure II.4 Exemple de fautes de collage simple au niveau portes.

4.2 Extension du modèle des collages simples au niveau portes

Le modèle des collages simples au niveau portes peut être étendu de deux manières : en changeant le niveau d'abstraction de la description ou en considérant la possibilité d'occurrence

¹ Description textuelle des interconnexions entre les différents éléments définissant la structure d'un bloc ou d'un circuit.

de plusieurs fautes dans le même circuit. Les collages peuvent donc être considérés sur une netlist au **niveau transistors**. Ceci permet de modéliser davantage de défauts, dont certains cas de transistor toujours ouverts ou toujours fermés. Le nombre de fautes à prendre en compte est augmenté car un collage peut survenir à ce niveau sur les nœuds internes des réseaux de transistors réalisant les portes logiques. Dans certains cas, de tels collages peuvent induire un comportement séquentiel dans un circuit initialement combinatoire, ou peuvent induire des courts-circuits et des états indéterminés. Pour ces différentes raisons, le test des collages au niveau transistor est nettement plus délicat que le test des collages au niveau portes. Par ailleurs, si le circuit est conçu en utilisant une bibliothèque de cellules, le schéma au niveau transistor des cellules est souvent inconnu du concepteur du circuit ; le modèle des collages ne peut alors être appliqué qu'au niveau portes.

La prise en compte des **collages multiples** peut à priori permettre de mieux représenter l'effet des agrégats de défauts sur la plaquette. Cependant, le nombre de configurations de fautes croît extrêmement rapidement avec le nombre d'interconnexions dans le circuit. De plus il faut prendre en considération les possibilités de compensation de plusieurs fautes présentes simultanément, conduisant à des sorties justes alors que les fautes sont activées. Ceci rend très difficile en pratique la génération de vecteurs pour un tel modèle de fautes lorsque la taille du bloc à tester augmente.[18]

4.3 Transistors toujours ouverts ou toujours fermés

Le modèle des collages était considéré suffisant pour les circuits en filière TTL (*Transistor Transistor Logic*). Dans les circuits CMOS, les collages ne modélisent que très mal un pourcentage notable des défauts (environ 40% des défauts potentiels dans un circuit typique ne sont pas assimilables à des collages). Certains de ces défauts sont quand même détectés lors du test des collages (par effet de bord...) ; garantir la détection de tout défaut dans le circuit est en revanche impossible. Différents modèles de fautes ont donc été proposés pour permettre des tests plus complets pour les circuits CMOS.

Le premier type de modèles concerne le cas des **transistors toujours fermés** (conducteurs : **stuck-on**) ou **toujours ouverts** (bloqués : **stuck-open**). Les transistors toujours fermés peuvent, dans certains cas, être modélisés par un collage au niveau transistor. Cependant, ils peuvent aussi conduire à des niveaux indéterminés (dus à des courts-circuits).

Dans le cas des transistors toujours ouverts, la sortie d'une porte peut être mise en état haute impédance. Dans l'exemple de la porte NAND de la figure II.5, le transistor PMOS (p-

doped metal oxide semiconductor) commandé par l'entrée b est supposé toujours ouvert. Ceci peut être dû à un défaut de fabrication du transistor lui-même, ou encore à la rupture de l'interconnexion entre le drain du transistor et la sortie de la porte. Si on applique en entrée le vecteur $ab=10$, les deux réseaux NMOS (n-doped metal oxide semiconductor) et PMOS sont bloqués et la sortie est en haute impédance.[17]

La valeur en sortie de la porte est donc définie par la charge dans la capacité parasite de sortie ; il y a alors création d'un effet de mémorisation dynamique. Si le vecteur précédent valait $ab=01$, la capacité de sortie a été chargée et la valeur lue en sortie de la porte pour le vecteur $ab=10$ sera 1 ; la faute ne sera donc pas détectée bien qu'ayant été activée.

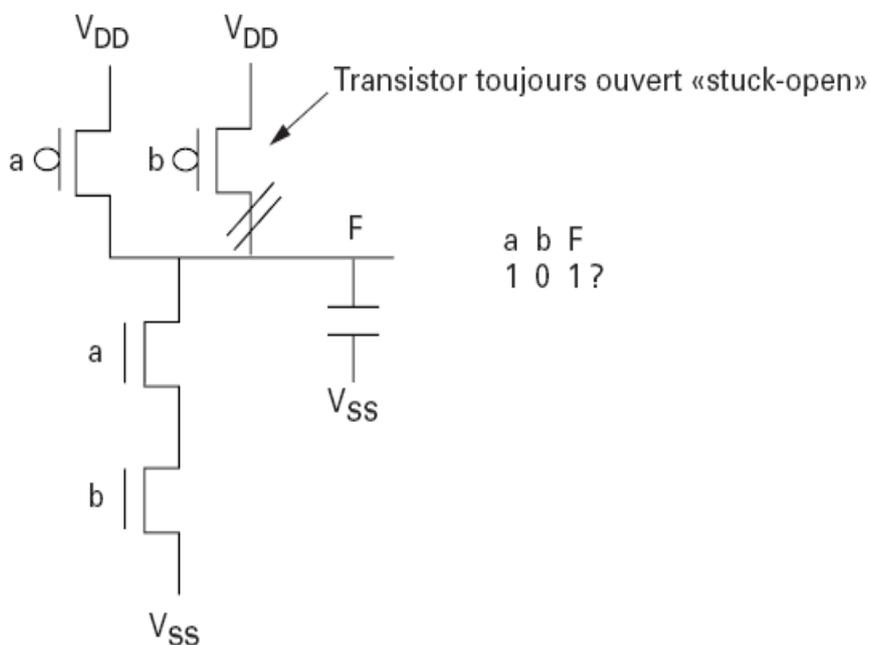


Figure II.5 Cas d'une faute de type transistor toujours ouvert (stuck-open) sur une porte NAND.

Pour la détecter, il faudrait attendre la décharge de la capacité parasite par les courants de fuite, ce qui correspondrait à une fréquence de test beaucoup trop faible.

Pour assurer à fréquence élevée la détection des transistors toujours ouverts il faut tenir compte de la transformation du circuit combinatoire en circuit séquentiel, et utiliser une paire de vecteurs de test, et non plus un seul vecteur, pour chaque faute à détecter. Par exemple, dans le circuit illustré en figure II.5, il faut appliquer un vecteur permettant tout d'abord de décharger la capacité de sortie, soit $ab=11$. L'application du vecteur $ab=10$ au cycle suivant permettra alors la détection de la faute.

4.4 Courts-circuits

Les courts-circuits (short ou bridge) sont un autre cas de défaut mal détecté par un test de collages. Un court-circuit franc entre deux lignes (donc entre deux sorties de portes) peut se traduire soit par un niveau indéterminé, soit par un niveau imposé par l'une des deux portes dans le cas où le dimensionnement des deux portes est très différent.

La détection de ce type de faute est très délicate et nécessite des vecteurs de test spécifique. Il faut aussi tenir compte du cas des courts-circuits résistifs, qui sont encore plus difficiles à détecter. Il peut donc être nécessaire de générer une séquence relativement longue pour détecter un seul cas de court-circuit.

4.5 Modèles spécifiques pour macrocellules

Dans le cas d'une densité d'implantation élevée, le modèle des collages est encore plus insuffisant. Il faut en effet prendre en compte d'autres phénomènes liés, en particulier, aux couplages possibles (via l'alimentation ou à cause des capacités entre cellules voisines).

Exemple : test des mémoires RAM (Random Access Memory). Le plan mémoire est très dense et la commutation d'une cellule mémoire peut entraîner dans certains cas la commutation parasite d'autres cellules. Des motifs d'erreurs, pouvant tenir compte du dessin des masques du plan mémoire (routage des alimentations et cellules physiquement juxtaposées dans le plan de masse) sont donc définis et les vecteurs de test sont générés de manière à détecter ces motifs potentiels en plus des fautes classiques comme les collages [17].

4.6 Fautes de retard

Certains défauts possibles dans un circuit ne changent pas le comportement logique ; ils vont agir uniquement sur la vitesse de calcul, c'est-à-dire le temps nécessaire pour obtenir une certaine transition sur un signal interne. Ces défauts ont conduit à proposer des modèles de fautes de retard (*Delay faults*) qui se décomposent en fautes de retard de portes et en fautes de retard de chemins.

_ **Les fautes de retard de portes** correspondent à un retard d'obtention d'une transition en sortie (porte « **lente à monter** » ou « **lente à descendre** »). A l'extrême, une porte « **lente à monter** » (respectivement « **lente à descendre** ») peut être assimilée à une porte avec un collage à 0 (respectivement à 1) sur la sortie.

_ **Les fautes de retard de chemins** correspondent à un retard similaire au précédent, mais sur un chemin donné traversant une succession de portes. Une faute de retard

de porte peut donc être vue comme une faute de retard sur un chemin traversant une seule porte. Le modèle des fautes de retard de chemin permet de mieux approcher, lors d'un test structurel, les résultats pouvant être obtenus par un test fonctionnel à fréquence nominale. L'inconvénient de ce modèle est le nombre énorme de chemins devant être pris en compte dans un circuit complexe, rendant la génération et l'application des vecteurs de test très longues.

Le test de toute faute de retard nécessite au moins deux vecteurs de test :

- _ Le premier permet de mettre le circuit dans un état tel que la transition souhaitée peut se propager sur le chemin (ou à travers la porte) testé(e).
- _ Le second vecteur permet ensuite d'activer la faute, si elle est présente, en créant la transition.

4.7 Courant statique [21]

L'une des caractéristiques de la logique CMOS statique est de permettre une consommation très faible lorsque le circuit est dans un état stable. La présence de défauts peut cependant modifier cette caractéristique en induisant des courants permanents sur certains états. C'est le cas par exemple lors de l'activation d'une faute de court-circuit ou d'un transistor toujours fermé. Ceci peut être mis à profit pour le test du circuit, en effectuant un test paramétrique par mesure du courant d'alimentation (test I_{ddq} : « **I_{dd}** » indiquant le courant d'alimentation, et « **q** » indiquant le courant de fuite statique ou *quiescent current*). Dans cette approche, toute valeur de courant au-delà d'un certain intervalle, et après un certain délai suivant les commutations d'horloge (pour un circuit synchrone), indique un problème dans le circuit. Une faute de retard, qui peut induire des transitions après la durée normale attribuée aux commutations, peut également être détectée par cette approche. La figure II.6 illustre un exemple de court circuit résistif au niveau de la grille du transistor PMOS constituant un inverseur.

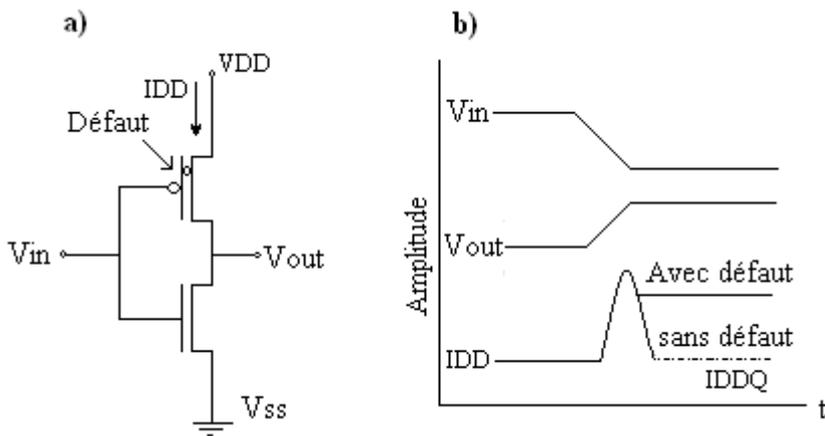


Figure II.6 Défaut typique et son effet sur le courant de polarisation

Ainsi lorsque l'entrée passe à l'état bas et ce transistor commence à conduire le courant I_{DQ} croît de façon substantielle lorsque le courant circule entre la source et la grille. Ce défaut ne peut pas être détecté par le test de collage (Stuck at fault) car la sortie de l'inverseur passe à l'état haut au bon moment. Bien que ce défaut n'affecte pas la fonction du circuit, la plus part des constructeurs, cependant, préfèrent le détecter car il pourrait induire une faute fonctionnelle après une certaine période de fonctionnement.

5. Notion de fautes équivalentes [6]

Deux fautes sont équivalentes si elles sont détectées par exactement le même vecteur de test. Ainsi, lors de la génération de vecteurs de test, certaines fautes peuvent être éliminées car équivalentes à d'autres fautes.

Exemple : Examinons le comportement logique d'une porte AND à deux entrées lorsque des fautes (collage à 1 ou à 0) sont injectées, une à la fois, sur toutes les lignes d'entrées et sortie. Ceci est illustré par la figure II.7.



Entrées AB	Réponse correcte	Réponse avec faute					
		A/0	B/0	Z/0	A/1	B/1	Z/1
00	0	0	0	0	0	0	1
01	0	0	0	0	1	0	1
10	0	0	0	0	0	1	1
11	1	0	0	0	1	1	1

Figure II.7 Fautes de type collage à (Stuck-at) sur une porte AND à deux entrées et leur détection.

Le collage de l'entrée A est représenté par A/0 pour le collage à 0 et A/1 pour le collage à 1. Les mêmes notations sont utilisées pour les autres variables. Avec A/0, quelles que soient les combinaisons d'entrée, la sortie sera toujours nulle. La sortie diffère seulement pour la combinaison AB=11. Cette combinaison est considérée comme vecteur de test détectant la faute A/0. De façon similaire, ce même vecteur de test détecte aussi B/0 et Z/0. Dans ce cas on dit que les trois fautes A/0, B/0 et Z/0 sont équivalentes.

Il est ainsi possible, pour chaque porte dans la *netlist*, d'identifier les fautes équivalentes et de générer une liste réduite de fautes. Le processus de génération des vecteurs de test est ensuite appliqué à la liste réduite. Le taux de couverture obtenu peut ensuite être calculé en considérant le nombre de fautes total dans le modèle choisi, ou bien le nombre de fautes dans la liste réduite. Il est donc possible, selon les outils, d'obtenir deux taux de couverture différents pour la même *netlist*, le même modèle de fautes et les mêmes vecteurs de test, d'où l'importance de vérifier la signification exacte du chiffre obtenu.

6. Taux de couvertures

Dans la majorité des cas, la qualité d'un test structurel est évaluée par une mesure appelée **taux de couverture** qui est quantifiable, classiquement obtenu par une simulation de fautes. Il est défini par la formule suivante : $Taux...de...couverture = \frac{Fautes...détectées}{Fautes...détectables}$

Le taux de couverture représente, pour un modèle de fautes donné, le pourcentage des fautes du modèle pouvant être détectées avec une séquence de test donnée. Pour un circuit combinatoire bien conçu et un modèle de fautes élémentaire comme le modèle de collages simples au niveau portes, un taux de couverture de 100% peut normalement être atteint. Dans le cas de certaines macrocellules, comme les mémoires RAM pour lesquelles des algorithmes spécifiques de génération de séquences de test sont développées, un taux de couverture de 100% peut être obtenu pour des modèles de fautes plus complexes (incluant par exemple les couplages entre cellules du plan mémoire). Dans la majorité des cas, cependant, le taux de couverture reste inférieur à 100%. Ceci peut être dû au degré de séquentialité du circuit, à sa conception, ou au temps consacré au développement des séquences de test. Le modèle de fautes choisi et les outils CAO disponibles ont naturellement aussi un impact considérable sur le taux de couverture atteint. [6]

Un exemple d'impact du processus de conception est illustré en figure II.8. Le collage à 1 indiqué sur la figure ne peut être détecté par aucun vecteur de test car la fonction logique n'est pas modifiée par la présence du collage.

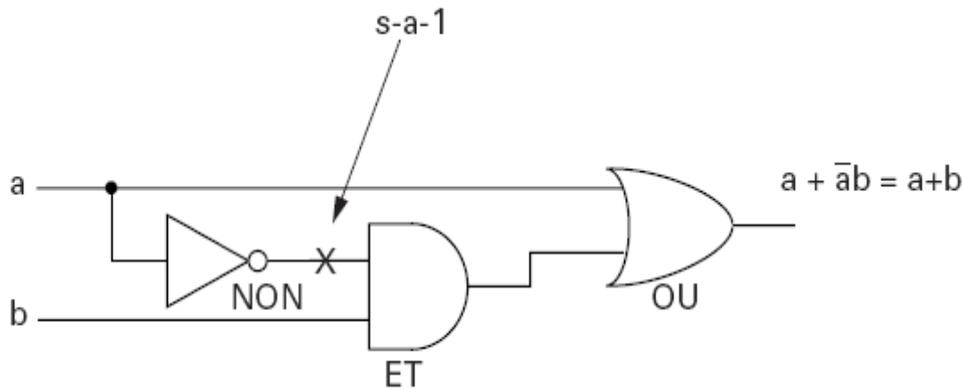


Figure II.8 Exemple de faute non détectable.

Même si l'impact sur le fonctionnement du circuit peut donc être jugé nul, la présence d'une faute indétectable a deux inconvénients :

- _ Tout d'abord, le défaut physique entraînant cette faute ne sera pas détecté, ce qui peut conduire à livrer un circuit ayant des problèmes de fiabilité.

- _ Ensuite, cette faute va faire perdre du temps lors du processus de génération des vecteurs de test et peut diminuer le taux de couverture fourni par les outils CAO.

Il est donc recommandé d'éviter de telles redondances. Le cas illustré en figure II.8 est normalement éliminé si des outils de synthèse efficaces sont employés pour générer la netlist du bloc. En revanche, de telles redondances peuvent se trouver par exemple lorsque plusieurs blocs sont synthétisés indépendamment puis interconnectés, l'outil de synthèse n'ayant alors pas toujours la possibilité de détecter toutes les redondances. Un autre cas classique est l'utilisation de cellules avec des entrées connectées directement à la masse ou à l'alimentation VDD. La redondance est alors implicite mais de telles connexions peuvent dégrader le taux de couverture indiqué pour le test.

Le taux de couverture est en général évalué en réalisant des simulations de fautes qui consistent à simuler la description du circuit en présence de chacune des fautes du modèle sélectionné (par exemple, les collages des interconnexions entre les portes). La simulation de la description du circuit sans insertion de fautes sert de référence pour évaluer la détection ou la non-détection de chaque faute (dans ce processus, il est implicitement supposé que les fautes de conception ont été préalablement éliminées). L'obtention du taux de couverture par simulation de fautes est très coûteuse en temps de calcul, même lorsqu'un accélérateur matériel est employé. Il est donc important de générer un ensemble efficace de vecteurs test dès le départ, afin d'éviter les itérations sur la simulation de fautes.[16].

7. Stratégies de test

La phase de test dans le processus de fabrication d'un circuit intégré (CI) consiste à vérifier si la présence de défauts ou des variations du procédé de fabrication ont causé des comportements erronés. Cette phase peut s'avérer longue et très onéreuse, par conséquent, trouver des moyens plus efficaces pour tester les circuits intégrés demeure une des préoccupations majeures chez les manufacturiers. Identifier et localiser la cause des comportements erronés est également primordial, puisque ceci permet d'améliorer le procédé de fabrication, et par conséquent une hausse du rendement du procédé.

Le test peut être défini comme "*Le processus de vérifier qu'un circuit intégré réponde aux spécifications pour lesquelles il a été conçu*" [22]. D'une autre manière, le processus de test tente de répondre aux trois questions suivantes :

- Est ce que le circuit fonctionne ?
- Est ce que le circuit cache un problème potentiel ?
- Le circuit a-t-il sa capacité complète ?

En se basant sur ces trois questions formulées ci-dessus, trois approches majeures de test sont considérées. Le *test fonctionnel*, le *test structurel* et le *test paramétrique*.

◆ L'approche fonctionnelle :

— L'approche fonctionnelle consiste à définir des vecteurs de test permettant de parcourir tous les modes de fonctionnement possibles du circuit, tels qu'ils sont spécifiés dans la fiche technique (ou le cahier des charges). Un tel test est très proche des simulations faites par un concepteur pour vérifier l'absence d'erreur de conception. Dans le cas d'un circuit très simple, purement combinatoire, cette approche revient à vérifier la table de vérité de la fonction globale réalisée par le circuit.

Une telle approche a deux inconvénients dans le cas d'un circuit complexe :

— tout d'abord, l'exhaustivité du test n'est généralement pas envisageable et la tentative de détecter le plus grand nombre de problèmes possibles conduit à des séquences de test excessivement longues ;

— peut-être encore plus important, aucune mesure fiable n'existe pour indiquer le niveau de qualité atteint par un jeu de vecteurs de test fonctionnels.

◆ L'approche structurelle :

L'approche structurelle consiste à partir de la structure interne du circuit à vérifier le bon fonctionnement des éléments de base. Le test structurel est destiné donc à vérifier s'il y a

présence d'une faute dans le circuit sous test. Ce type de test peut être facile comme il peut être difficile, car il dépend du but, si la faute doit être détectée ou bien localisée.

L'approche structurelle est aujourd'hui la plus utilisée pour le test de fin de fabrication, mais elle peut dans certains cas être couplée avec une séquence de vérification fonctionnelle, indépendante de tout modèle de fautes. Ceci peut permettre dans certains cas un gain de temps de développement et même une réduction du nombre total de vecteurs de test si les vecteurs fonctionnels utilisés comme base du programme de test sont bien choisis.

Enfin le test paramétrique est utilisé pour vérifier si certains paramètres du circuit sont dans la plage des valeurs requises.

Toutefois, Ceci ne représente pas l'unique façon de classifier les tests. Un test peut être effectué d'une manière *statique* (test en DC) où l'on s'intéresse seulement aux caractéristiques stationnaires, ou d'une manière *dynamique* (test en AC) où l'on s'intéresse à la réponse temporelle qui est d'une importance capitale pour évaluer une puce.

D'autres classifications peuvent être aussi basées sur la manière dont le vecteur de test est appliqué où nous distinguons le test *externe* et *interne* (ou *autotest*). Le test externe nécessite d'utiliser le circuit hors son environnement opérationnel et l'utilisation d'équipements de test externes. Contrairement au test externe, les techniques de l'autotest (BIST : **Built-In-Self-Test**) sont directement intégrées dans la puce même dans le but d'éviter l'utilisation des équipements de test externes[23].

8. Conclusion

Dans ce chapitre nous avons passé en revue les différents défauts et fautes analogiques et leur façon dont ils sont susceptibles d'affecter le fonctionnement d'un circuit. Une classification des fautes analogiques a été présentée sous forme d'un diagramme montrant le cheminement vers une faute catastrophique et non catastrophique. Les modèles spécifiques tels que celui du collage à un niveau donné (stuck at) ainsi que leur extension au niveau portes et transistors ont été cités.

En outre, nous avons vu aussi l'importance du test dans la chaîne de conception des circuits ainsi que les différentes approches adoptées selon la nature du test. Le choix des modèles de fautes considérés et les stratégies de test mises en œuvre influencent profondément la qualité du produit.

CHAPITRE III

TECHNIQUES DE SIMULATION

1. Introduction

L'objectif principal de la simulation est la modélisation ainsi que la prédiction du comportement des systèmes dynamiques, c'est-à-dire des systèmes qui évoluent en fonction du temps. La modélisation et l'analyse par simulation est un processus de création et d'expérimentation en utilisant des modèles mathématiques programmables de systèmes physiques.

Durant la phase de conception d'un circuit, la simulation est sollicitée pour vérifier sa fonctionnalité et obtenir des informations détaillées sur le facteur temps avant que le processus de fabrication, consommateur en terme de temps, ne soit exécuté. En fait, un simulateur est seulement un outil fournissant suffisamment de détails pour s'assurer qu'un circuit satisfait les spécifications pour une large gamme de paramètres et conditions de fonctionnement [24].

Dans ce chapitre nous présentons un aperçu sur les techniques utilisées pour la simulation électrique, les différents algorithmes impliqués dans la résolution des circuits analogiques.

2. Différents types de simulation [25]

La façon dont est modélisé l'évolution du temps, c'est-à-dire selon que les états du système changent de façons continue ou instantanée, permet de classer les méthodes de simulation en trois catégories:

- _ Simulation dirigée par événements (Event Driven Simulation).
- _ Simulation continue dans le temps (Time-Continuous Simulation).
- _ Simulation en mode mixte (Mixed-Mode Simulation).

2.1 Simulation dirigée par événement

Dans la simulation dirigée par événements, les signaux considérés consistent en événements qui changent instantanément à des instants séparés dans le temps. Les événements contiennent des informations d'ordre fonctionnel et temporel. La simulation dirigée par événements est largement employée dans la modélisation des systèmes numériques. Dans un système numérique, les variables d'état prennent des valeurs appelées niveaux logiques (haut, bas et indéterminé). Un événement est un changement des variables d'état de certains nœuds du circuit affectant à leur tour d'autres nœuds du circuit. L'effet d'un événement est de causer le

traitement de tous les nœuds et de procéder éventuellement à la mise à jour des signaux si un changement apparaît au niveau de ces nœuds.

Les signaux numériques changent leur valeur d'état de façon instantanée à des temps discrets. Ainsi, le simulateur numérique a besoin seulement de garder la trace chronologique de ces changements (appelés événements) et la valeur prise par le nœud entre ces événements.

2.2 Simulation continue dans le temps

Dans ce mode de simulation, les variables d'état représentant les modèles du système changent continuellement dans le temps. Le système peut être modélisé par des équations différentielles ordinaires (EDO). Ainsi, le simulateur est basé sur le processus de résolution d'équations différentielles. Normalement, une solution analytique des modèles représentés par le moyen d'équations différentielles non linéaires n'est pas possible dans la majorité des cas, c'est pourquoi l'utilisation des méthodes d'intégration numériques (Newton Raphson par exemple) devient indispensable. Les modèles continus dans le temps sont utilisés dans les circuits analogiques.

Enfin, un simulateur d'un système analogique continu est basé sur la résolution d'équations différentielles ordinaires et algébriques, tandis qu'un simulateur dirigé par événements est un "dirigeant" d'événements activant les parties sélectionnées d'un système de façon séquentielle.

2.3 Simulation en mode mixte

Dans ce mode mixte de simulation, la méthode dirigée par événements interagit avec celle à temps continu pour simuler les signaux mixtes des circuits. En pratique, l'implémentation de la méthode mixte peut se faire selon trois approches, la première est implémentée en étendant le simulateur analogique ou numérique pour contenir tous les niveaux manquants. Les simulateurs analogiques et numériques sont fusionnés suivant une architecture unique et fonctionnant sous un programme d'événement unique. La deuxième approche est implémentée en utilisant deux simulateurs séparés (analogique et numérique). Une telle approche nécessite une interface de protocole pour assurer une communication efficace entre les deux simulateurs. La troisième approche est implémentée en utilisant différents algorithmes de simulation qui sont connectés via un mécanisme de transfert de données et synchronisation appelé "backplane". Dans cette approche, une seule machine et une structure de données

unifiée aussi bien pour les composants analogiques que logiques sont utilisées. Le principal défaut de cette méthode est le temps de développement important [4].

3. Algorithmes utilisés dans la simulation des circuits analogiques

Les circuits analogiques sont construits autour de différents types de composants qui définissent les relations entre des grandeurs analogiques telles que tension et courant électriques. Parmi ces composants on peut citer ceux qui expriment une relation linéaire entre le courant et la tension par exemple une résistance; des éléments à mémoire faisant intervenir le paramètre temps pour une analyse transitoire ou la fréquence pour une analyse AC comme par exemple les bobines et les capacités; et enfin des éléments ayant un comportement non linéaire tels diodes et transistors.

3.1. Topologie d'un Circuit[26]

Un circuit analogique peut être décrit en utilisant la théorie des graphes où les éléments du circuit sont représentés par les branches du graphe et les nœuds du circuit sont représentés par les nœuds du graphe. La direction des courants circulant dans les branches est supposée du nœud positif vers le nœud négatif. Un exemple d'un circuit et son graphe est montré en figure III.1

La loi des nœuds permet d'écrire :

$$\text{Nœud 1: } I_1 - I_4 - I_6 = 0$$

$$\text{Nœud 2: } I_2 + I_4 - I_5 = 0$$

$$\text{Nœud 3: } I_3 + I_5 + I_6 = 0$$

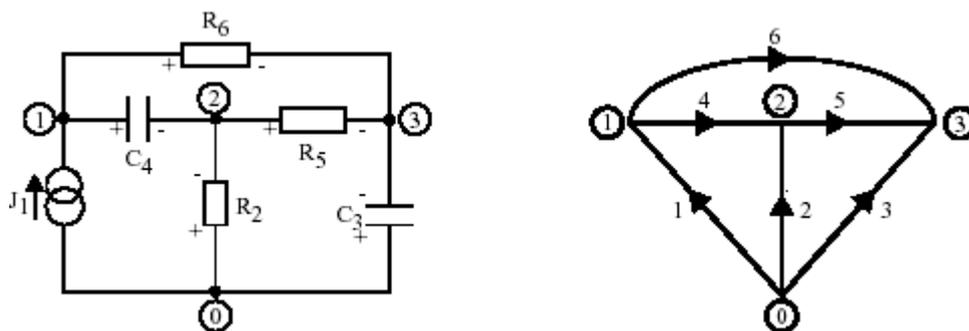


Figure III.1 Exemple d'un circuit analogique et son graphe associé.

On tire alors la matrice d'incidence en mettant le système d'équations précédent sous forme matricielle :

$$\begin{pmatrix} 1 & 0 & 0 & -1 & 0 & -1 \\ 0 & 1 & 0 & 1 & -1 & 0 \\ 0 & 0 & 1 & 0 & 1 & 1 \end{pmatrix} \begin{pmatrix} I_1 \\ I_2 \\ I_3 \\ I_4 \\ I_5 \\ I_6 \end{pmatrix} = [0]$$

Il est de la forme $A \cdot I_b = 0 \implies A = \begin{pmatrix} 1 & 0 & 0 & -1 & 0 & -1 \\ 0 & 1 & 0 & 1 & -1 & 0 \\ 0 & 0 & 1 & 0 & 1 & 1 \end{pmatrix}$

La matrice d'incidence A est une matrice d'ordre $n \times b$ où n est le nombre de nœuds non reliés à la masse et b le nombre de branches du graphe.

Les branches de tensions peuvent aussi être liées aux potentiels des nœuds à travers une matrice d'incidence. On note $V_{n,i}$ la tension du $i^{\text{ème}}$ nœud par rapport à la masse :

$$V_1 = V_{n,1}$$

$$V_2 = V_{n,2}$$

$$V_3 = V_{n,3}$$

$$V_4 = V_{n,1} - V_{n,2}$$

$$V_5 = V_{n,2} - V_{n,3}$$

$$V_6 = V_{n,1} - V_{n,3}$$

$$\begin{pmatrix} V_1 \\ V_2 \\ V_3 \\ V_4 \\ V_5 \\ V_6 \end{pmatrix} = \begin{pmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \\ 1 & -1 & 0 \\ 0 & 1 & -1 \\ 1 & 0 & -1 \end{pmatrix} \begin{pmatrix} V_{n,1} \\ V_{n,2} \\ V_{n,3} \end{pmatrix} \text{ qui peut s'écrire sous forme } V_b = B \cdot V_n$$

La représentation en graphe des circuits analogiques est employée dans beaucoup d'applications telles que formulation d'équations du circuits et formulation d'équations aux variables d'état [30]. Les formulations d'équations obtenues par l'analyse classique des nœuds basée sur les lois de Kirchhoff aboutissent à des équations ayant la forme suivante :

$$\begin{pmatrix} Y_n \end{pmatrix} = \begin{pmatrix} V \end{pmatrix} \begin{pmatrix} J \end{pmatrix}$$

Où Y_n est la matrice admittance, V est la matrice contenant les tensions aux différents nœuds et J matrice des sources de courant indépendantes. Les solutions des systèmes linéaires sont obtenues par utilisation des méthodes directes (méthode de Gauss). Par contre les systèmes non linéaires sont résolus par la méthode itérative de Newton Raphson. **La méthode nodale** conduit à un système très simple: les variables indépendantes du système sont les tensions de noeud, calculées par rapport à un noeud de référence. Quant au système, il est composé des équations de Kirchhoff des courants en chaque noeud, à l'exception du noeud de référence. Cette méthode est cependant restrictive car elle ne permet pas l'utilisation de sources de tension pour lesquelles le courant qui les traverse est une inconnue.

Il est donc nécessaire d'utiliser des méthodes hybrides, telles que l'**analyse nodale modifiée** (Modified Nodal Analysis ou MNA): cette méthode, utilisée dans SPICE, offre un bon compromis simplicité/généralité. Les variables indépendantes du système sont constituées des tensions de noeud et des courants circulant dans les sources de tension et, de façon générale, dans tous les composants dont les équations de branche ne peuvent être représentées sous la forme explicite $i = Y \cdot v$, où Y représente l'admittance de la branche. Les équations du système sont donc constituées des équations de Kirchhoff de courant (KCL) et des équations de branches pour lesquelles le courant est une inconnue. L'exemple de la figure III.2 d'une source de tension indépendante pour laquelle le courant la traversant ne peut être écrit sous forme de tensions nodales montre comment SPICE procède à la construction du système d'équations ainsi qu'à la formulation des matrices correspondantes. Dans ce cas les équations de Kirchhoff de courants aux nœuds j et k s'écrivent :

$$\begin{aligned} _ \text{ Nœud } j : \dots + I_E \dots &= 0 \\ _ \text{ Nœud } k : \dots - I_E \dots &= 0 \end{aligned}$$

Les points de suspension indiquent la contribution d'éventuels éléments liés au nœud. Nous ajoutons une équation qui s'appelle **équation additionnelle** et qui s'écrit : $V_j - V_k = E$

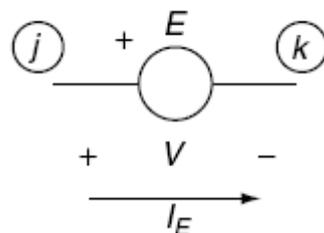
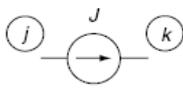
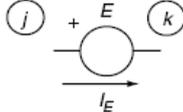
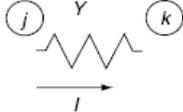
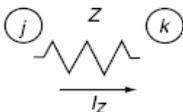
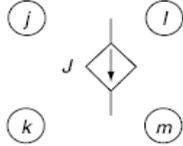
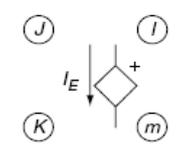
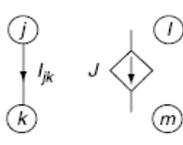
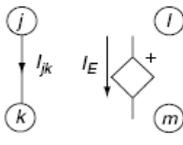


Figure III.2 Source de tension indépendante

La formulation appelée **tampon du circuit** (Circuit stamp) est donnée par :

	Col.	Col.	Col.	RHS
	V_j	V_k	I_E	
Row j :	$\left[\begin{array}{ccc} & & 1 \\ & & -1 \\ 1 & -1 & \end{array} \right]$			$\left[\begin{array}{c} \\ \\ E \end{array} \right]$
Row k :				
Row I_E :				

Row (ligne) I_E désigne l'équation additionnelle ajoutée à l'analyse nodale, et Col I_E est la colonne additionnelle de la matrice due au courant à travers la source de tension. Le vecteur RHS représente le membre de droite de l'égalité (**Right-Hand Side**). Le tableau ci-dessous représente toute une liste de tampons d'éléments courants.

Element	Symbol	Matrix entries
Current source		V_j V_k RHS Row j : $\left[\begin{array}{cc} & \end{array} \right]$ Row k : $\left[\begin{array}{cc} & \end{array} \right]$ $\left[\begin{array}{c} -J \\ J \end{array} \right]$
Voltage source		V_j V_k I_E RHS Row j : $\left[\begin{array}{ccc} & & 1 \end{array} \right]$ Row k : $\left[\begin{array}{ccc} & & -1 \end{array} \right]$ Row I_E : $\left[\begin{array}{ccc} 1 & -1 & \end{array} \right]$ $\left[\begin{array}{c} \\ \\ E \end{array} \right]$
Admittance $I = Y(V_j - V_k)$		V_j V_k Row j : $\left[\begin{array}{cc} Y & -Y \end{array} \right]$ Row k : $\left[\begin{array}{cc} -Y & Y \end{array} \right]$
Impedance $V_j - V_k = ZI_Z$		V_j V_k I_Z Row j : $\left[\begin{array}{ccc} & & 1 \end{array} \right]$ Row k : $\left[\begin{array}{ccc} & & -1 \end{array} \right]$ Row I_Z : $\left[\begin{array}{ccc} 1 & -1 & -Z \end{array} \right]$
Voltage-controlled current source (VCT) $J = g(V_j - V_k)$		V_j V_k V_l V_m Row j : $\left[\begin{array}{cccc} & & & \end{array} \right]$ Row k : $\left[\begin{array}{cccc} & & & \end{array} \right]$ Row l : $\left[\begin{array}{ccc} g & -g & \end{array} \right]$ Row m : $\left[\begin{array}{ccc} -g & g & \end{array} \right]$
Voltage-controlled voltage source (VVT) $V_l - V_m = \mu(V_j - V_k)$		V_j V_k V_l V_m I_E Row j : $\left[\begin{array}{ccccc} & & & & \end{array} \right]$ Row k : $\left[\begin{array}{ccccc} & & & & \end{array} \right]$ Row l : $\left[\begin{array}{cccc} & & & 1 \end{array} \right]$ Row m : $\left[\begin{array}{cccc} & & & -1 \end{array} \right]$ Row I_E : $\left[\begin{array}{cccc} -\mu & \mu & 1 & -1 \end{array} \right]$
Current-controlled current source (CCT) $J = \beta I_{jk}$		V_j V_k V_l V_m I_{jk} Row j : $\left[\begin{array}{ccccc} & & & & 1 \end{array} \right]$ Row k : $\left[\begin{array}{ccccc} & & & & -1 \end{array} \right]$ Row l : $\left[\begin{array}{cccc} & & & \beta \end{array} \right]$ Row m : $\left[\begin{array}{cccc} & & & -\beta \end{array} \right]$ Row I_{jk} : $\left[\begin{array}{ccc} 1 & -1 & \end{array} \right]$
Current-controlled voltage source (CVT) $V_l - V_m = rI_{jk}$		V_j V_k V_l V_m I_{jk} I_E Row j : $\left[\begin{array}{cccccc} & & & & & \end{array} \right]$ Row k : $\left[\begin{array}{cccccc} & & & & & \end{array} \right]$ Row l : $\left[\begin{array}{ccccc} & & & 1 & \end{array} \right]$ Row m : $\left[\begin{array}{ccccc} & & & -1 & \end{array} \right]$ Row I_{jk} : $\left[\begin{array}{ccc} 1 & -1 & \end{array} \right]$ Row I_E : $\left[\begin{array}{cccc} 1 & -1 & 1 & -1 \end{array} \right]$ $\left[\begin{array}{c} \\ \\ \\ \\ -r \end{array} \right]$

3.2. Analyses des Circuits Analogiques :

3.2.1. Analyse en continu (DC):

L'analyse DC d'un circuit linéaire est exécutée en court circuitant les bobines et en débranchant les condensateurs (circuit ouvert). Toutes les sources et paramètres variant en fonction du temps sont fixés à 0. L'objectif de l'analyse DC est de déterminer le point de fonctionnement du circuit. Le point de fonctionnement définit l'état stationnaire du circuit à $t=0$. L'analyse DC est systématiquement exécutée avant l'analyse transitoire pour déterminer les valeurs initiales des équations différentielles et avant l'analyse AC pour évaluer les paramètres des modèles petits signaux des éléments non linéaires à semi-conducteurs.

Pour les circuits non linéaires, les points de fonctionnement DC sont évalués en utilisant les méthodes itératives telles que l'algorithme de Newton Raphson. Les éléments non linéaires sont ainsi linéarisés autour d'un point de fonctionnement donné et sont remplacés par leur modèle linéaire [1]. L'exemple de la figure III.3 montre le modèle linéaire d'une diode autour du point de fonctionnement (I_p, V_p).

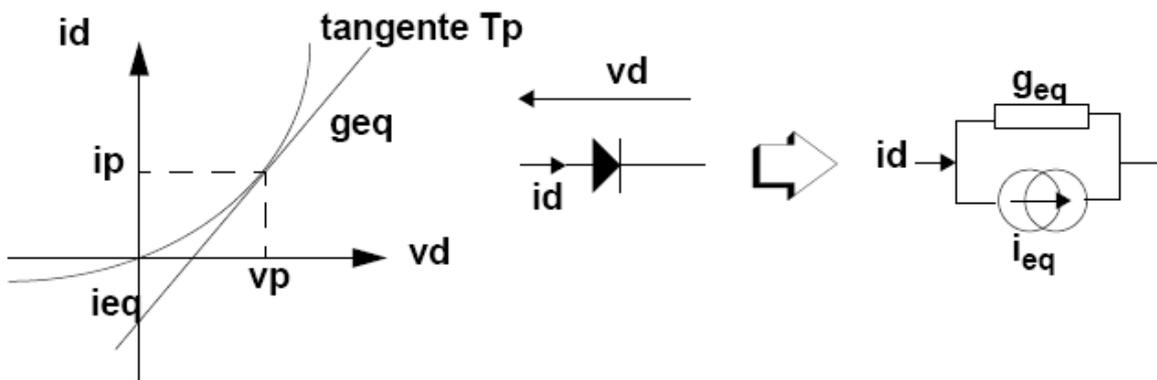


Figure III.3 Modèle linéaire de la diode.

Ensuite pour chaque itération, les paramètres du modèle linéarisé sont calculés. Après avoir fixé une valeur initiale, les équations sont résolues aux points présumés de fonctionnement. Finalement le critère de convergence permet la poursuite ou l'arrêt de l'algorithme. La figure III.4 montre un organigramme illustrant l'analyse non linéaire en DC.

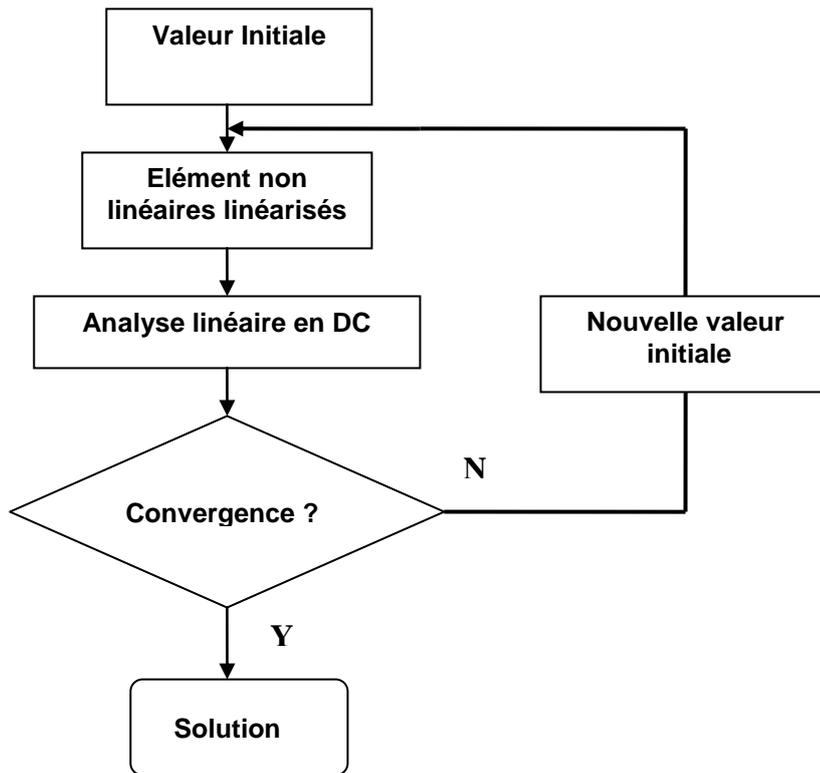


Figure III.4 Itération de Newton Raphson pour l'analyse non linéaire en DC.

3.2.2 Analyse en alternatif (AC)

Dans l'analyse AC des petits signaux, l'analyse DC est requise en premier lieu pour déterminer les paramètres des modèles petits signaux pour les éléments non linéaires. Les éléments de stockage d'énergie tels que bobines et condensateurs sont modélisés dans le domaine fréquentiel (ou domaine de Laplace) en terme d'admittance complexes Y :

$$Y_c = jC\omega \quad \text{ou} \quad C.p ; \quad Y_L = \frac{1}{jL\omega} \quad \text{ou} \quad \frac{1}{L.p}$$

Les variables de sortie en AC (tensions et courants) sont calculées en résolvant les équations linéaires dans une gamme de fréquences spécifiée par l'utilisateur.

L'analyse petits signaux en AC peut être utilisée pour déterminer la réponse fréquentielle du circuit en utilisant le tracé de Bode dans lequel l'amplitude et la phase des variables de sortie sont évaluées dans une gamme de fréquences donnée. L'illustration d'une telle analyse est montrée en figure III.5.

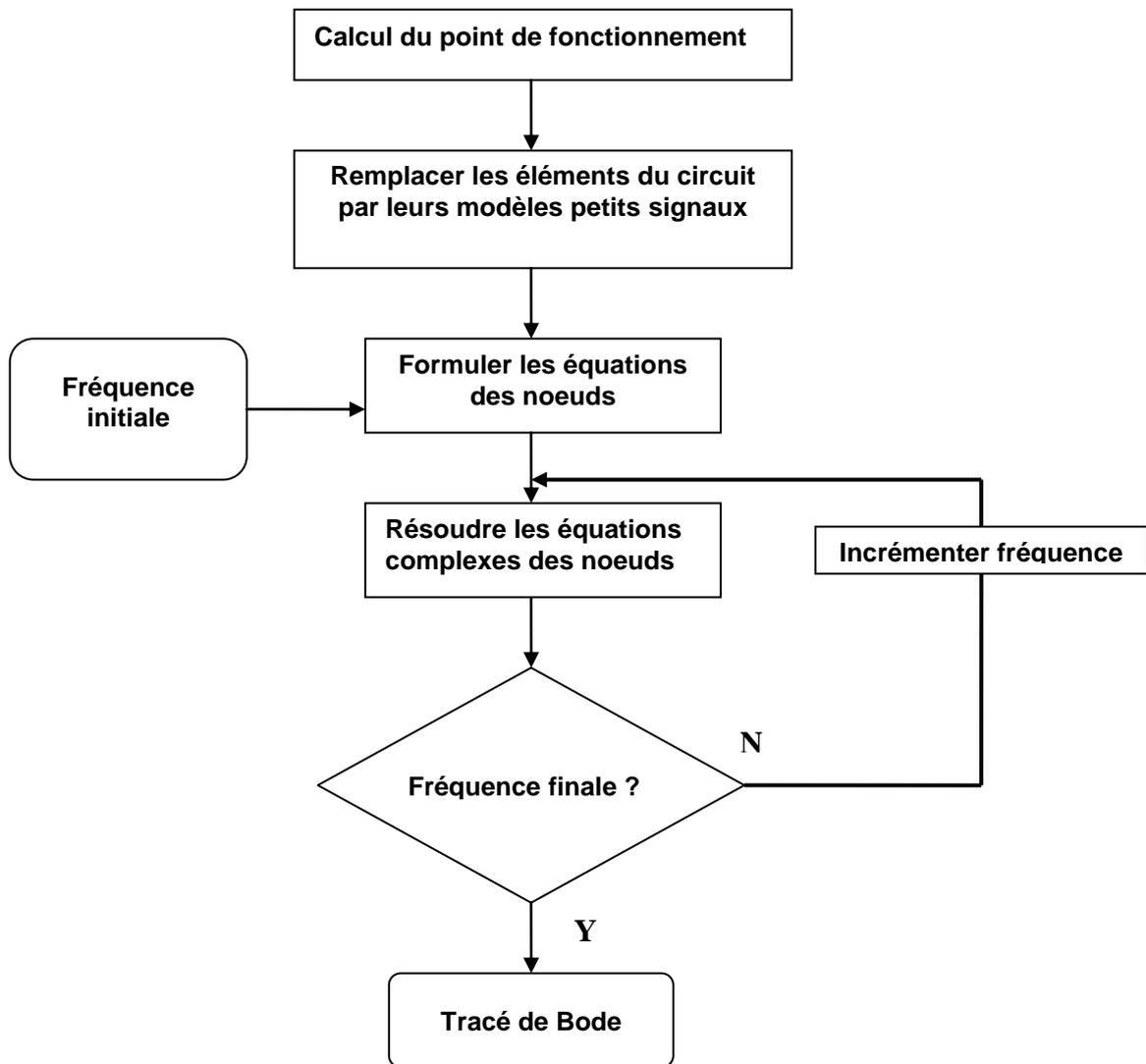


Figure III.5 Analyse petits signaux en AC.

3.2.3 Analyse Transitoire

L'analyse transitoire est utilisée pour décrire le comportement du circuit en fonction du temps. Les circuits électriques sont représentés par les équations différentielles obtenues en utilisant les lois de Kirchhoff ainsi que les équations constitutives. L'analyse en DC est aussi requise pour déterminer les conditions initiales des équations différentielles. Par intégration numérique les équations différentielles sont transformées en équations algébriques linéaires ou non linéaires. A ce niveau, le temps est discrétisé en pas de Δt et les éléments passifs sont remplacés par leur modèle équivalent dépendant du temps [4]. L'étape suivante dépend de la linéarité du circuit. Pour les circuits linéaires, la méthode d'intégration conduit à des équations algébriques dont les solutions sont obtenues par la méthode de résolution de Gauss ou factorisation de Jacobi à chaque instant. En revanche les circuits non linéaires sont résolus par la méthode de Newton-Raphson. Ce type d'analyse est montré en figure III.6.

La précision joue un rôle important dans l'analyse transitoire car les méthodes d'intégration sont une approximation qui dépend du choix du pas Δt . D'autres problèmes tels que vitesse de convergence, conditions initiales, rigidité et stabilité doivent être pris en compte. L'inconvénient de cette méthode est le temps machine considérable requis pour calculer la réponse dans un large intervalle de temps. En effet, deux processus consommant beaucoup de temps sont exécutés, l'itération de Newton-Raphson et la résolution des équations linéaires par la méthode de Jacobi.

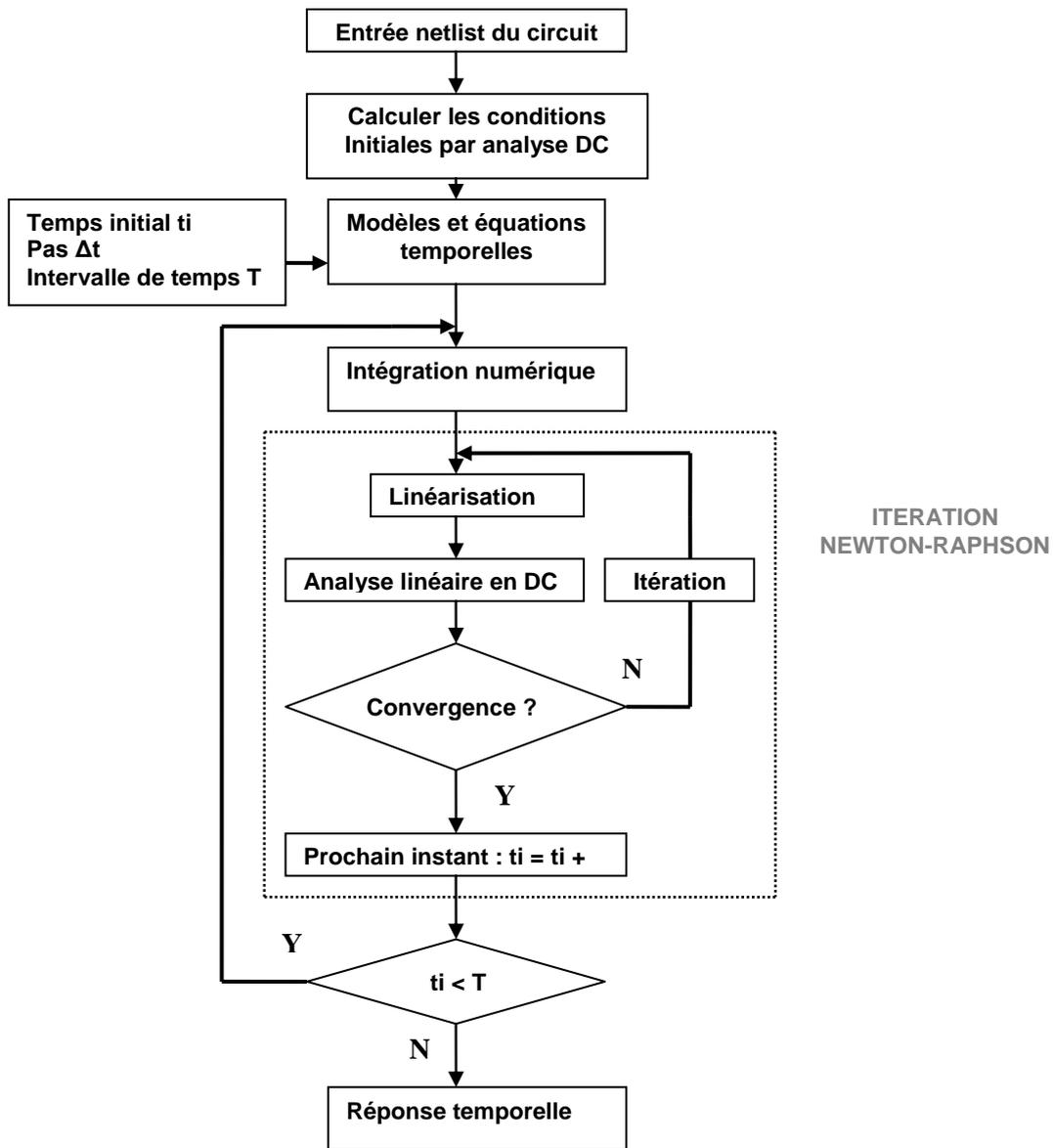


Figure III.6. Analyse Transitoire

4. Conclusion

Dans ce chapitre nous avons situé l'importance de la simulation dans la phase de conception qui implique nécessairement la modélisation et l'analyse des circuits permettant donc un gain énorme en temps et une réduction importante du coût de fabrication.

Différentes classes de simulation, selon l'évolution de chaque système ont été introduites. Les algorithmes employés dans les différentes analyses (DC,AC et transitoire), parmi lesquels on peut citer l'itération de Newton-Raphson trouvent aussi leur intérêt dans ce chapitre.

CHAPITRE IV

SIMULATION ET MODELISATION DE FAUTES

1. Introduction

La simulation de fautes est utilisée afin de déterminer la qualité des vecteurs de test et d'évaluer une technique de test. La simulation de fautes analogiques nécessite de modéliser un circuit avec fautes. Les modèles de fautes représentent les effets des défauts sur le comportement du circuit.

La réalisation d'une simulation de fautes analogiques est basée sur l'utilisation d'un simulateur de circuits analogiques comme celui dont nous disposons, il s'agit d'OrCadPspice9.2. Classiquement, les différentes étapes d'une simulation de fautes analogiques sont la simulation du circuit sans fautes (circuit fonctionnel), la sauvegarde des résultats obtenus, l'injection d'une faute dans ce circuit, la simulation du circuit avec la faute (le circuit défaillant) et enfin la comparaison des résultats des deux simulations.

Dans ce chapitre, la première partie sera consacrée à un bref historique du logiciel. Un aperçu sur la topologie ainsi qu'une description du simulateur seront présentés. La deuxième partie est consacrée à l'utilisation du simulateur pour l'injection de défauts dans un circuit analogique, dans notre cas il s'agit d'un trigger de Schmitt et d'un circuit numérique à base de portes logiques.

L'injection de fautes pour le circuit trigger de Schmitt s'est faite au niveau transistor. Les fautes de type court-circuit sont injectées en branchant en parallèle une résistance de valeur très petite ou proche de zéro ohm. Le circuit ouvert est réalisé en branchant en série une résistance de très grande valeur. Pour la modélisation de fautes des circuits numériques, nous avons utilisé un circuit numérique à base de transistor, l'insertion de faute se fait de la même façon que le trigger de Schmitt.

2. Historique de PSPICE

PSPICE est un logiciel de simulation de fonctionnement de circuits électriques initialement analogiques puis numériques ou mixtes. Il est issu du logiciel SPICE (Simulation Program with Integrated Circuit Emphasis) développé en FORTRAN en 1972 par D.OPEDERSON et L.W.NAGEL à l'université de Berkeley. Depuis cette époque si le cœur du logiciel a peu varié il n'en est pas de même de son environnement. Aujourd'hui on trouve plusieurs versions pouvant tourner sur station ou sur PC, telles que PSPICE de MICROSIM, HSPICE, ISPICE et SMASH qui ont tous le même moteur de base.

Pendant plus de 10 ans plusieurs versions de PSPICE se sont succédées fonctionnant d'abord sous DOS (jusqu'à la version 5) puis sous Windows. Depuis 1999 MICROSIM a été racheté par le groupe ORCAD grand spécialiste des logiciels de simulation sur PC. La version ORCAD PSPICE Version 9.2 a des performances semblable à la version 7.1 de MICROSIM mais un environnement différent concernant la saisie de schémas.[32]

3. Structure et fonctionnement du simulateur OrCad PSPICE9.2[33]

Le diagramme présentant les interactions entre différents programmes constituant le logiciel est présenté à la figure IV.1.

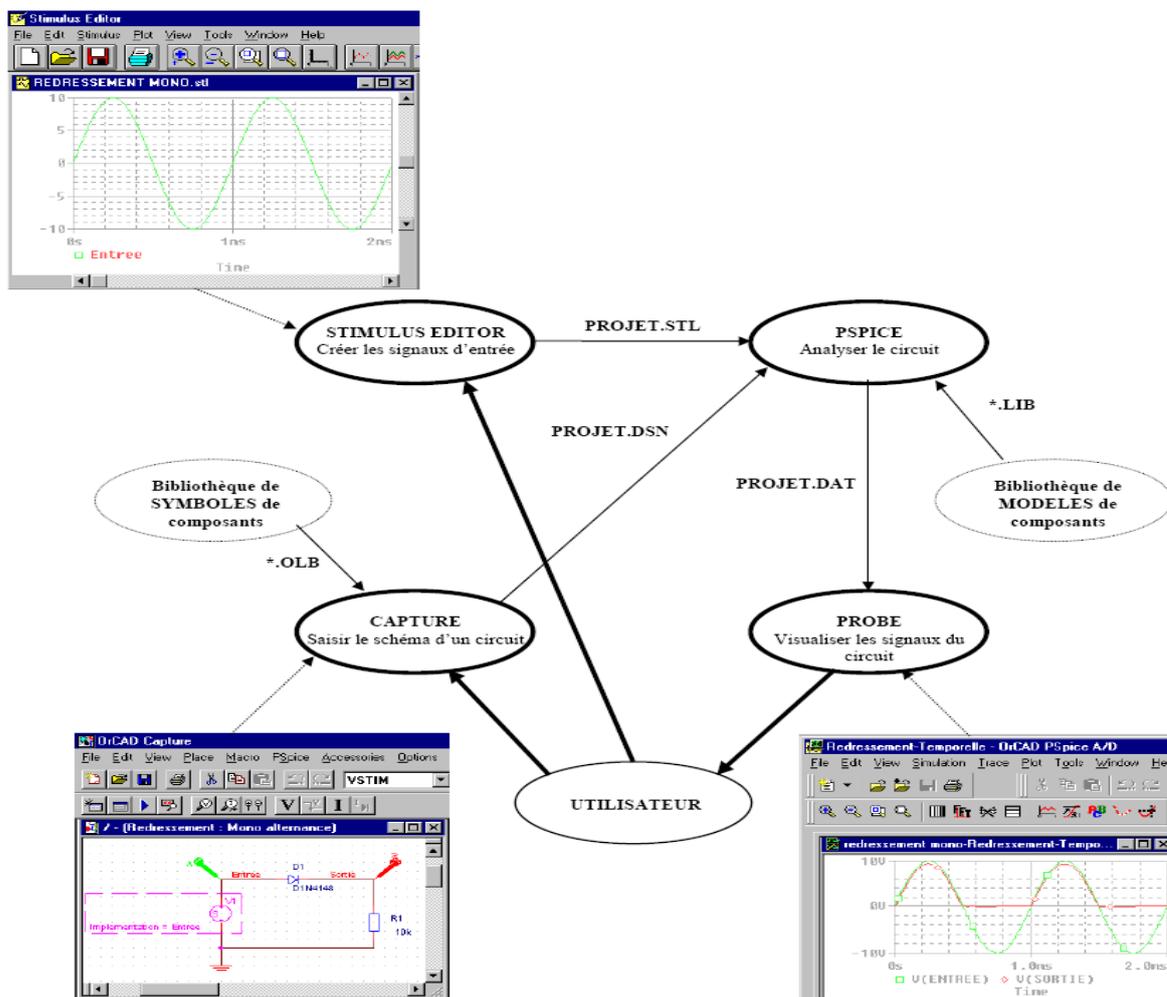


Figure IV.1 Organisation générale de OrCad PSPICE9.2.

Pour simuler le fonctionnement d'un circuit électrique plusieurs étapes sont nécessaires :

- Une description du circuit, les composants qui le constituent et leurs interconnexions sous forme de fichier « **Circuit** ».

- Une description des sources de tensions et courant qui sont reliées au circuit, alimentation et signaux d'excitation sous forme de fichier « **Stimulus** ».
- une description des modèles de simulation des composants sous forme de fichiers « **modèles** ».
- Le calcul de réponse du circuit du circuit par le logiciel **PSPICE**.
- La visualisation des résultats de simulation s'effectue dans une partie du logiciel appelée « **Probe** ».

3.1 Fichiers générés par le programme SCHEMATICS

Lorsque la simulation est lancée, SCHEMATICS génère d'abord des fichiers décrivant les composants et les connections du circuit. Ces fichiers sont, le fichier netlist et le fichier circuit avec les extensions respectivement XX.NET et XX.CIR que PSPICE doit lire avant de procéder à toute autre action. Le fichier XX.NET contient une liste des noms des composants, leur valeur et la façon dont ils sont connectés. Le fichier XX.CIR contient les commandes décrivant l'exécution de la simulation, ce fichier est lié aussi aux autres fichiers NETLIST, MODEL, STIMULUS ou n'importe quel information introduite par l'utilisateur concernant la simulation.

3.2 Fichiers lus par PSPICE

Avant de commencer la simulation PSPICE doit lire d'autres fichiers contenant des informations de simulation du circuit parmi lesquels on peut citer, fichier MODEL, fichier STIMULI et fichier INCLUDE. La figure 4.2 illustre les liens entre ces fichiers et PSPICE A/D. Ces fichiers peuvent être créés en utilisant les programmes Stimulus Editor et Model Editor. Ces programmes génèrent automatiquement les fichiers et permettent la vérification de données graphiquement. La librairie de modèles (Model Library) contient la définition électrique de chaque composant. PSPICE utilise cette information pour déterminer comment un composant réagira aux entrées électriques. Le fichier Stimulus contient les définitions temporelles pour les signaux d'entrées aussi bien analogiques que numériques. Ce fichier peut être créé manuellement par un éditeur de texte quelconque il aura comme extension XX.STM ou bien automatiquement en utilisant Stimulus Editor qui génère un fichier dont l'extension est XX.STL.

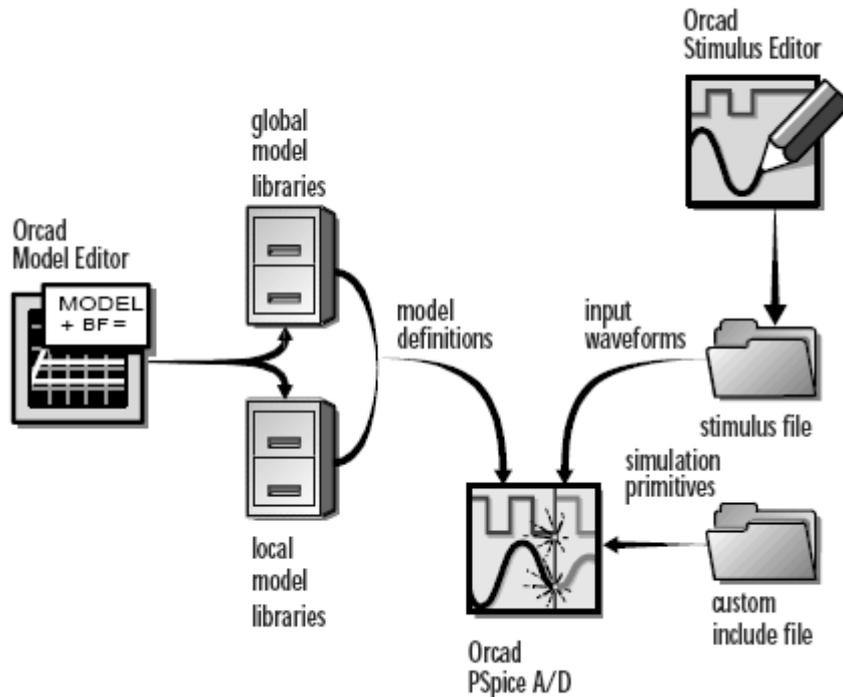


Figure IV.2 Fichiers configurables par l'utilisateur et lus par PSPICE A/D.

Le fichier Include (Include file) avec l'extension XX.INC est défini par l'utilisateur et contient soit des commandes PSpice ou bien un texte commentaire qu'on veut afficher en sortie.

3.3 Fichiers générés par PSPICE après simulation

Après la lecture des fichier XX.CIR, XX.NET, la librairie des modèles et toutes les entrées requises, PSpice commence la simulation. Durant la simulation, PSpice sauvegarde les résultats dans deux fichiers, un fichier données (data file) et un fichier de sortie (output file) PSpice. Le fichier données (data) contient les résultats de la simulation pouvant être affichés graphiquement. PSpice lit automatiquement ce fichier et affiche les signaux aux différents points du circuit. Le fichier de sortie est un fichier texte contenant tous les détails de la simulation (interconnexions, syntaxes de commandes et options), résultats de simulation, avertissements et messages d'erreurs etc.

4. Les modes d'analyse de PSPICE

A son lancement PSPICE effectue d'abord une recherche des points de polarisation c'est-à-dire calcule les courants et tensions moyennes en chaque point. L'utilisateur peut alors effectuer plusieurs types d'analyse.

4.1 Analyse DC

C'est l'étude de l'évolution d'une tension ou d'un courant continu en fonction d'une grandeur qui peut être une tension, un courant, la valeur d'un composant ou le paramètre d'un modèle. On doit définir le stimulus qui varie et son domaine de variation.

C'est le seul type d'analyse pour laquelle l'axe des abscisses porte autre chose qu'une fréquence (Analyse DC) ou un temps (analyse transitoire TRANS). Ce type d'analyse est précieux pour rechercher par exemple l'optimal d'un point de polarisation. La syntaxe d'une telle analyse est la suivante :

.DC *<source name>* *<start value>* *<stop value>* *<incr. value>*

- _ *source name* est le nom de la source de courant ou tension qui doit varier.
- _ *start value* est la valeur de début de variation de la source.
- _ *stop value* est la valeur finale de variation de la source.
- _ *inc. value* est la valeur de l'incrément de la source.

Une analyse continue (DC Sweep ou DC) permet d'effectuer une simulation en fonction d'une grandeur pouvant être :

- Une tension.
- Un courant.
- Un paramètre global.
- Un paramètre de modèle de simulation.
- La température.

Toutes les sources sont utilisables pour effectuer une telle simulation, cependant, les sources VDC (tension continue) et IDC (courant continu) sont les plus adaptées. La fenêtre contextuelle d'une telle analyse est illustrée en figure IV.3

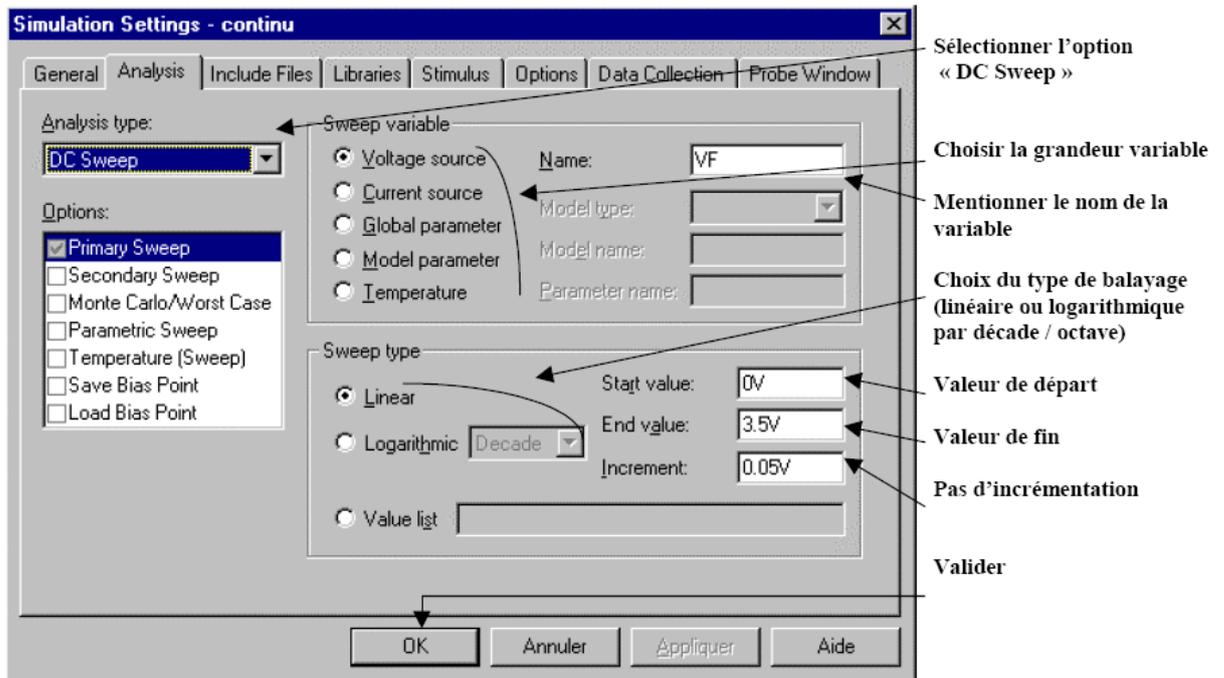


Figure IV.3 Fenêtre contextuelle de l'analyse en DC.

4.2 Analyse AC

Une analyse fréquentielle (AC Sweep/Noise ou AC) permet d'effectuer une simulation en fonction de la fréquence. Les différentes sources utilisables pour effectuer une telle simulation sont :

VDC (alimentation continue des circuits) VAC (tension sinusoïdale)

VSIN (tension sinusoïdale) à **condition de lui affecter la propriété AC** ainsi que toutes les sources de courant correspondantes.

La syntaxe d'une telle analyse est la suivante :

.AC <points value> <begin value> <end value>

_ **points value** est le nombre de points de balayage

_ **begin value** est la valeur de début de balayage de fréquence.

_ **end value** est la valeur de fin de balayage de la fréquence.

L'analyse peut se faire en linéaire ou en logarithmique. La fenêtre contextuelle de l'analyse en AC de la figure IV.4 montre les différents paramètres de simulation.

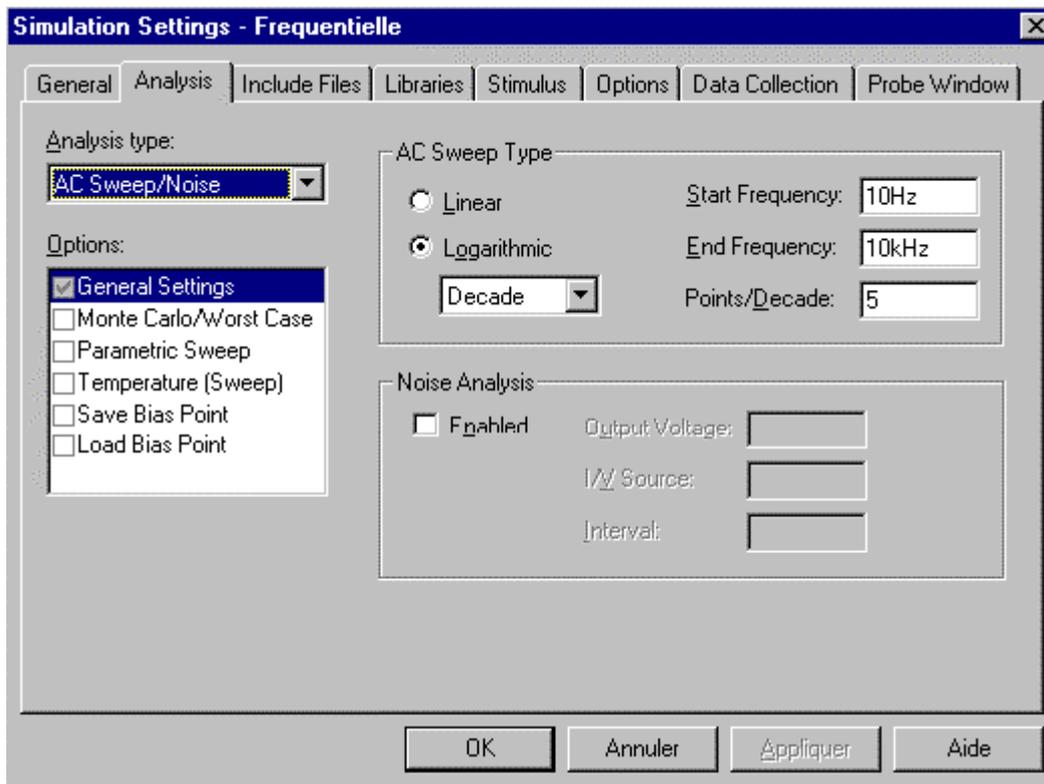


Figure IV.4 Fenêtre contextuelle de l'analyse en AC.

4.3 Analyse transitoire TRAN

Une analyse temporelle (transient TRAN) correspond à une simulation en fonction du temps. Cette fois le logiciel calcule l'évolution temporelle des tensions et courants en résolvant pas à pas les équations différentielles non linéaires du circuit. Toutes les non linéarités sont prises en compte et la forme exacte des signaux est obtenue.

L'intervalle de temps d'analyse doit être précisé, le pas de calcul est défini automatiquement par le logiciel, pour obtenir un plus grand nombre de points dans le fichier de résultats, donc pour tracer la courbe à l'écran, une valeur maximale de ce pas de calcul peut être imposée.

Ce type d'analyse est le seul possible pour l'étude des circuits multifréquences, mais le calcul peut être long. La syntaxe est la suivante :

.TRAN <print step> <final time>

_ *print step* est le pas d'impression

_ *final time* est la valeur finale du temps.

Les différentes sources utilisables pour effectuer une telle simulation sont :

VDC (alimentation continue) ; VSIN (tension sinusoïdale) ; VPULSE (tension « rectangulaire ») ; VEXP (tension « exponentielle ») VSFFM (tension modulée en fréquence) ; VPWL

(tension définie par segments) ;VSTIM (source définie par un stimulus) ainsi que toutes les sources de courant correspondantes.

La fenêtre contextuelle de l'analyse temporelle est représentée en figure IV.5

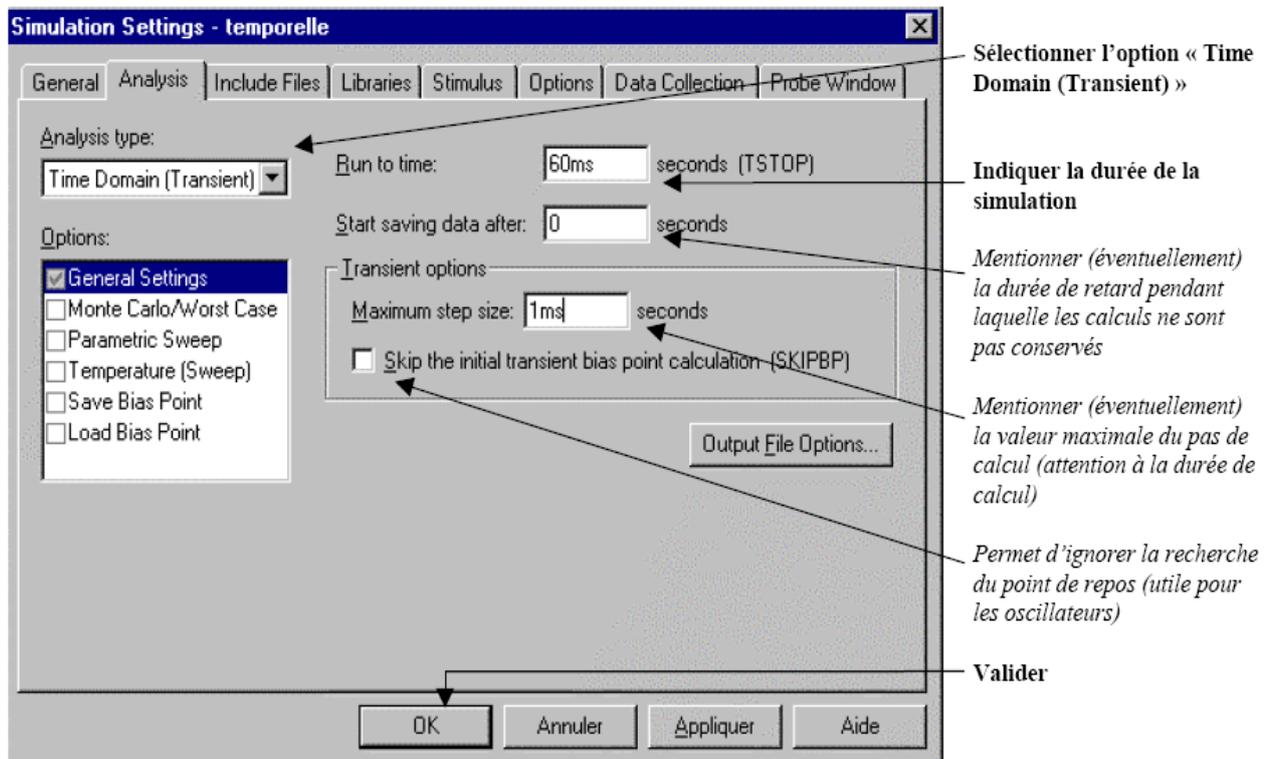


Figure IV.5 Fenêtre contextuelle de l'analyse en transitoire TRAN.

PSPICE propose d'autres modes d'analyse :

- _ Une analyse **MONTE CARLO** pour étudier l'influence des dispersions des caractéristiques des composants (il s'agit de multiples analyses effectuées avec les valeurs tirées au sort des caractéristiques des composants), ou des analyses en température.

- _ une analyse de bruit **NOISE**, chaque composant possède un modèle de bruit qui est exploité pour calculer la tension de bruit en chaque point du réseau.

5. Construction du macromodèle du circuit trigger de Schmitt

Le trigger de Schmitt est un bon exemple de construction de modèle à plusieurs ports (c'est-à-dire plus de deux ports). Il comporte deux entrées et deux sorties complémentaires. Une des entrées est utilisée pour fixer le seuil de déclenchement du circuit. Elle est connectée à une tension de référence V_{ref} . La deuxième entrée est réservée aux signaux de déclenchement du trigger de Schmitt.

Le circuit utilise une rétroaction positive afin d'améliorer la transition entre les deux niveaux du circuit c'est-à-dire les niveaux bas et haut. Ceci augmente le gain et par suite rend la région linéaire plus raide.

Le macromodèle du circuit trigger de Schmitt en l'absence et présence de fautes constitue la tâche la plus importante. Le circuit est traité comme une boîte noire, c'est-à-dire, seulement le comportement externe du circuit présente un intérêt. Dans ce cas, nous aurons besoin d'un ensemble de caractéristiques d'entrée et de sortie à exploiter.

L'approche de l'approximation linéaire par segments ou par morceau connue sous le nom de PWL (Piece Wise Linear) est donc appliquée. Elle permet de représenter le comportement non linéaire du circuit en régions linéaires de fonctionnement, chacune décrite par un circuit équivalent à trois bornes. Ainsi, un modèle aussi simple du circuit complexe est obtenu en appliquant les théorèmes de base des réseaux électriques, tels que, le théorème de Thévenin ou Norton, ou bien les lois de Kirchhoff relatives aux tensions et courants. Des équations linéaires sont associées à ces modèles pour décrire chaque région de fonctionnement du circuit. Les éléments des modèles seront donc des impédances d'entrée et de sortie, des sources de tensions contrôlées et indépendantes.

5.1 Approche de la Piece Wise Linear (PWL)

5.1.1 Description de la technique PWL

Dans cette approche on considère que la caractéristique peut être vue comme la succession de plusieurs régions distinctes pour lesquelles les paramètres du circuit non linéaire sont essentiellement constants.

En effectuant une analyse par le biais de la PWL, les extrémités de ces régions (breakpoints : points de cassures) sont déterminées graphiquement à partir des caractéristiques du circuit. Ces points peuvent être une bonne approximation pour ces caractéristiques s'ils sont correctement choisis.

Une fois ces points, définissant les régions où les caractéristiques subissent des variations significatives, ont été localisés, des équations approximatives peuvent alors traduire l'effet du moindre changement des paramètres sur le fonctionnement du circuit, un modèle linéaire associé est enfin construit.

L'analyse par la méthode PWL nécessite trois étapes :

- _ Déterminer les points de cassures significatifs.
- _ Effectuer toute approximation garantissant une meilleure précision.

_ Utiliser ces approximations pour déterminer les paramètres et définir les équations entre les points de cassure.

5.2 Description du circuit Trigger de Schmitt

Le circuit de la figure IV.6 est constitué simplement d'un amplificateur différentiel construit autour des deux transistors Q1 et Q2. L'émetteur des deux transistors est relié à une source de courant constant formée par Q3 et Q4.

La réaction positive est fournie à travers R1 et R2 ramenant une partie de la tension de sortie Vs2 du collecteur de Q2 à la base du transistor Q1. La deuxième sortie Vs1, complémentaire de Vs2, est prise au niveau du collecteur de Q1.

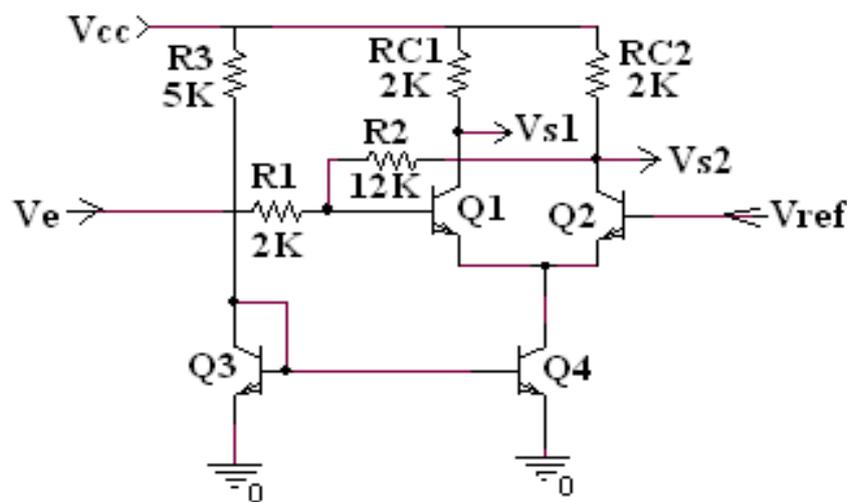


Figure IV.6 Circuit électrique du trigger de Schmitt.

Les niveaux des sorties Vs1 et Vs2 sont les niveaux de commutation des transistors Q1 et Q2 et sont fixés par la tension de référence appliquée à la base du transistor Q2. Lorsque la tension à l'entrée non inverseuse (base de Q1) dépasse le niveau de référence Vref, ce transistor commute en passant de l'état bloqué à l'état passant. Ainsi, la sortie Vs1 passe du niveau de tension " haut " à celui " bas ". Le transistor Q2 a un comportement opposé à celui de Q1.

5.3 Le modèle PWL du trigger de Schmitt

Le modèle construit du trigger de Schmitt est simplement une représentation des régions de saturation. La région linéaire n'a pas été considérée pour les raisons suivantes :

1. Les résultats obtenus par le simulateur PSPICE, montrent que le circuit a une région active très étroite. La variation de la tension d'entrée provoquant le passage de la

tension de sortie du niveau haut vers le niveau bas est relativement faible, elle est de l'ordre de 56mv, c'est-à-dire de 2.294V à 2.350V.

2. Les tensions de test d'entrée, se situant en dehors de la région linéaire, sont suffisantes pour assurer une bonne couverture de fautes.

5.4 La caractéristique d'entrée du trigger de Schmitt

Le tracé de la caractéristique courant d'entrée I_e en fonction de la tension d'entrée V_e présente trois segments de droite caractérisant chacun les différents états de fonctionnement du circuit : blocage, saturation et forte saturation (deep saturation). Cependant, la région active (linéaire) présente un saut brusque du point P_1 au point P_2 comme le montre le graphe de la figure IV.7.

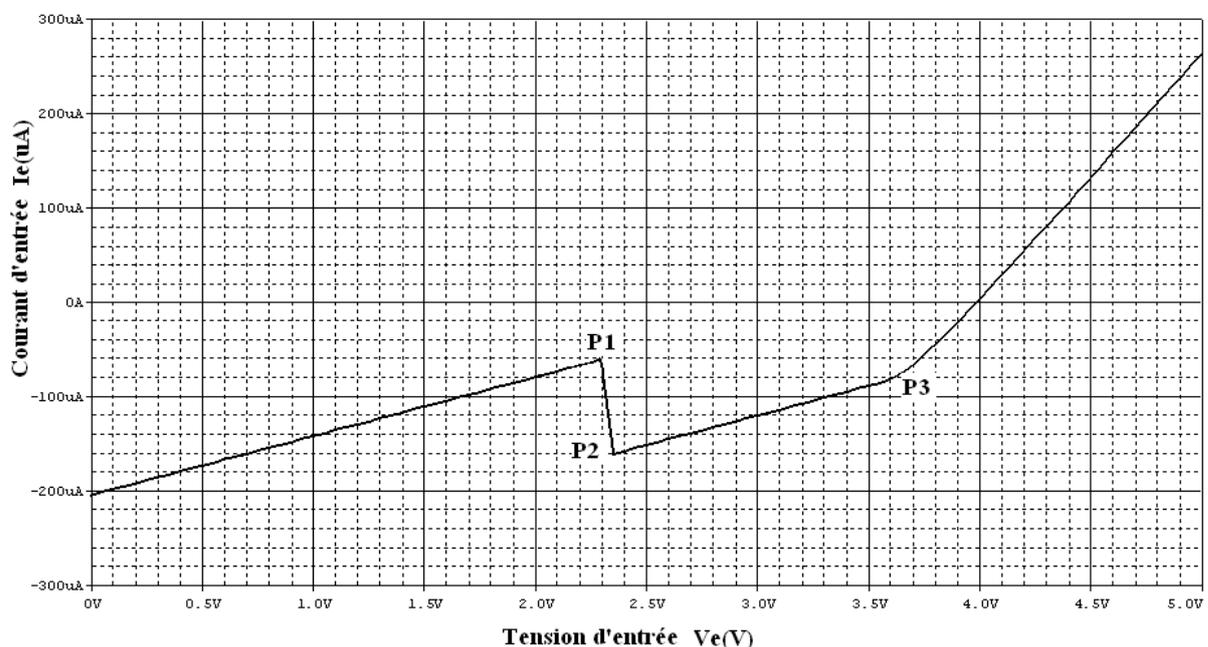


Figure IV. 7 Caractéristique d'entrée I_e (V_e)

Au point de cassure P_1 , la tension d'entrée est égale à 2.294V. En diminuant cette tension jusqu'à 0V, la base du transistor Q_1 est ramenée à une tension inférieure à la tension de référence (c'est-à-dire inférieure à 2.5V) ce qui provoque son blocage. Le courant d'entrée mesuré est donc celui fourni par l'alimentation à travers les résistances de réaction R_1 et R_2 . Le calcul de l'impédance d'entrée, comme pente du premier segment de la caractéristique, donne une valeur égale à la résistance équivalente de R_1 , R_2 et RC_2 en série : $R_e = R_1 + R_2 + RC_2$

Entre les points de cassure P_2 et P_3 ($2.350V < V_e < 3.660V$), le transistor Q_1 devient passant et provoque le blocage de Q_2 . Le courant d'entrée augmente quand la tension d'entrée passe de 2.294V à 2.350V. Ceci est illustré dans la caractéristique par le saut du point de cassure P_1 au point P_2 . Si la tension d'entrée augmente jusqu'à la valeur 3.660V (jusqu'au point P_3), le courant d'entrée décroît lentement et s'approche de zéro. Cela veut dire que le

courant fourni par la tension d'alimentation circule à travers la jonction base-emetteur du transistor conducteur Q_1 plutôt qu'à travers le circuit d'entrée. L'entrée se comporte en haute impédance. En tenant compte des valeurs des résistances R_1 , R_2 et RC_2 l'impédance d'entrée est égale à $16k\Omega$. Cette valeur peut être calculée graphiquement à partir de la caractéristique d'entrée de la figure IV.7. Les coordonnées des points de cassures P1, P2 et P3 sont respectivement : P1(2.294V ; -60.086uA), P2(2.350V ; -159.31uA), P3(3.660V ; -78.282uA), le courant correspondant à $V_e = 0$ est égale à $-204.000uA$. On trouve aisément la valeur de l'impédance d'entrée en calculant l'inverse de la pente de chaque segment de droite :

Pour $0V < V_e < 2.294V$ la pente est de $\frac{204.000uA - 60.086uA}{2.294V} = 62.734.10^{-6}\Omega^{-1}$, l'inverse de cette pente donne une valeur de $15.940k\Omega$.

Pour $2.350V < V_e < 3.660V$ la pente est de $\frac{159.310uA - 79.000uA}{3.660V - 2.350V} = 61.305.10^{-6}\Omega^{-1}$.

L'inverse de cette pente donne une valeur de $16.311k\Omega$.

Le circuit passe à l'état de saturation forte lorsque la tension d'entrée V_e dépasse $3.660V$. Ceci est illustré par l'augmentation rapide du courant d'entrée provoquant une forte saturation du transistor Q_1 . Une telle augmentation de courant provient du comportement de l'entrée en basse impédance. En prenant un point sur le troisième tronçon de la caractéristique par exemple $V_e = 4.000V$ qui lui correspond un courant d'entrée de $3.897uA$, la résistance est égale à :

$$R_e = \frac{4.000V - 3.660V}{3.897uA + 79.000uA} = 4.101k\Omega$$

Le deuxième paramètre, V_1 , du circuit d'entrée (voir figure IV.8) est évalué comme la tension correspondant au courant pour $V_e = 0$ que l'on peut calculer en prolongeant chaque segment jusqu'à l'axe des courant I_e . Elle est équivalente à la tension de référence excédée d'une tension constante ΔV . La courbe de la figure IV.21 montre clairement les 3 points d'intersection qui donnent les valeurs suivantes :

- $I_{11} = -204.000uA$ pour le premier segment de droite.
- $I_{12} = -333.000uA$ pour le deuxième tronçon.
- $I_{13} = -883.330uA$ pour le troisième tronçon.

On peut donc à partir de l'équation de chaque segment qui est donnée par $I_e = \frac{V_e}{R_e} + I_1$ déduire

l'équation de la tension d'entrée qui sera $V_e = R_e.I_e - R_e.I_1$. D'une autre part on sait que $V_e = R_e.I_e + V_1$. Ce qui permet de trouver les trois valeurs de V_1 pour chaque intervalle :

Pour $0V < V_e < 2.294V$, $V_{11} = -R_e \cdot I_{11} = -(15.940 \text{ k}\Omega)(-204.000\mu\text{A}) = 3.251V$.

Pour $2.350V < V_e < 3.660V$, $V_{12} = -R_e \cdot I_{12} = -(16.311\text{k}\Omega)(-333.000\mu\text{A}) = 5.431V$.

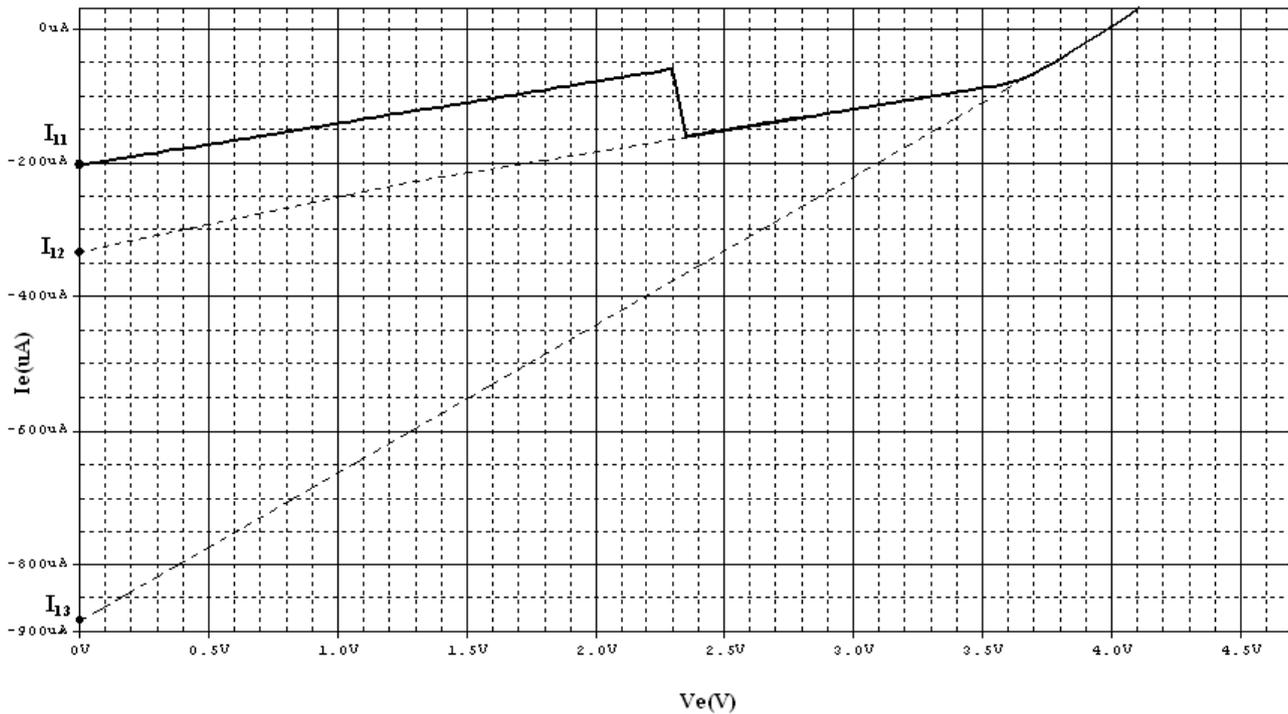


Figure IV. 8

Pour $V_e > 3.660V$, $V_{13} = -R_e \cdot I_{13} = -(4.101 \text{ k}\Omega)(-833.330\mu\text{A}) = 3.417V$.

On déduit les trois valeurs de ΔV :

Pour $0V < V_e < 2.294V$, $\Delta V = V_{11} - V_{\text{ref}} = 3.251 - 2.5 = 0.751V$.

Pour $2.350V < V_e < 3.660V$, $\Delta V = V_{12} - V_{\text{ref}} = 5.431 - 2.5 = 2.931V$.

Pour $V_e > 3.660V$, $\Delta V = V_{13} - V_{\text{ref}} = 3.417 - 2.5 = 0.917V$.

5.5 La première sortie du circuit trigger de Schmitt

Comme on le voit dans la figure IV.12, les sorties complémentaires sont représentées par deux ports de sortie équivalents. Chaque port est vu comme un circuit de Thevenin équivalent (V_{th} , R_{th}).

Le tracé de la tension de sortie V_{s1} en fonction de la tension d'entrée V_e montré en figure IV.9, permet d'évaluer la valeur de V_{th1} . Si la tension d'entrée V_e varie de 0 à 2.294V, la tension de sortie est fixée à un niveau de tension haut tel que :

$$V_{s1,H} = V_{\text{th1}} = V_{\text{cc}} = 5V$$

Le premier point de commutation est défini par le point P_1 , pour lequel la sortie passe du niveau haut à la région linéaire, la valeur approximative de la tension d'entrée est estimée à $V_{eH} = 2.294V$. En augmentant cette tension de 56mv ($V_{eL} = 2.350V$) provoque le passage de la sortie V_{s1} au niveau bas ;

$$V_{S1,L} = V_{th1} = 3.249V.$$

Ces deux tensions (V_{eL} et $V_{S1,L}$) définissent le second point de commutation P_2 .

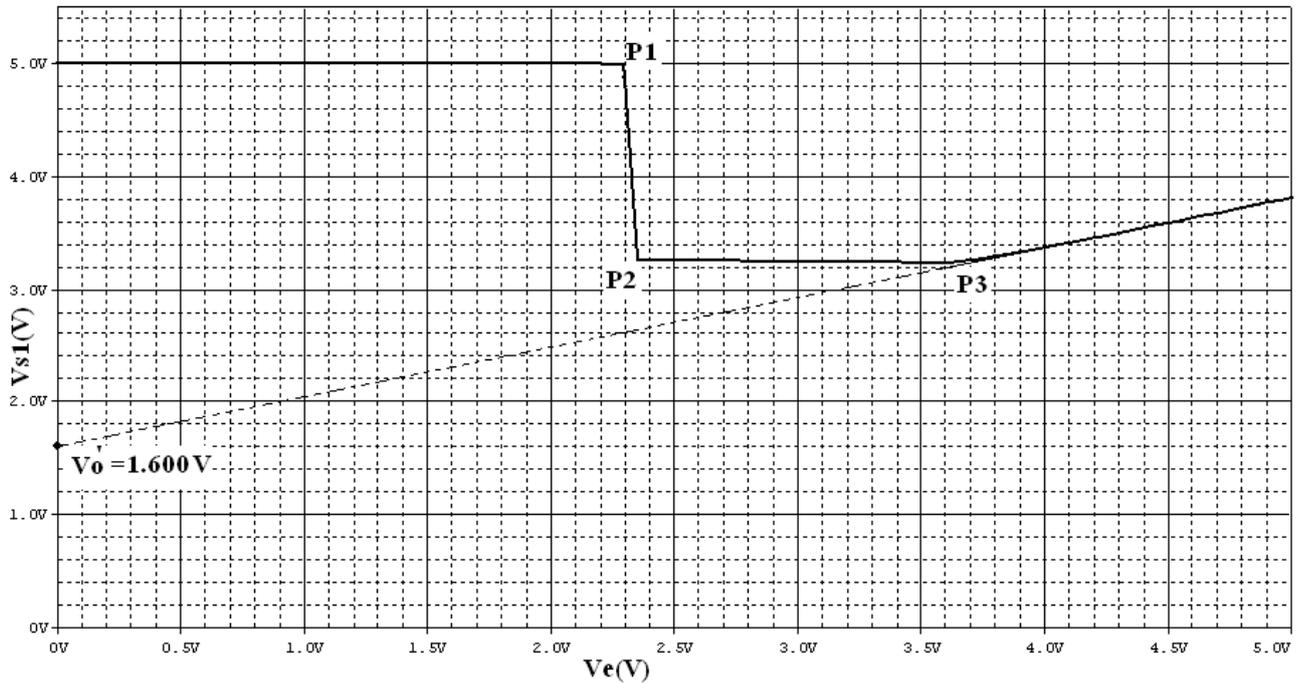


Figure IV.9 Caractéristique de transfert $V_{s1}=f(V_e)$

A partir du point P_3 , pour lequel la tension d'entrée atteint $3.660V$, la tension de sortie V_{s1} commence à augmenter à partir de son niveau bas. Ceci est dû à la forte saturation du transistor Q_1 qui provoque la décroissance du courant collecteur et par suite l'augmentation de la tension au collecteur de Q_1 . Dans cette région de fonctionnement, la tension de sortie est exprimée comme fonction linéaire de V_e par l'équation suivante : $V_{s1} = G_v \cdot V_e + V_0'$, G_v et V_0' sont déterminés graphiquement. La valeur de V_0' correspond au point d'intersection du prolongement du segment de droite jusqu'à l'axe V_s , on obtient une valeur de $1.600V$. Le paramètre G_v est calculé à partir de la pente du segment de droite. Une échelle convenable de la partie linéaire de la courbe précédente permet d'avoir la courbe représentée en figure IV.10 et de calculer aisément la valeur de la pente. Dans ce cas la valeur de G_v est de 0.434 .

La deuxième sortie du modèle du trigger de Schmitt est construite de la même façon que la première. Seulement la deuxième caractéristique de transfert $V_{s2}=f(V_e)$ de la figure IV.11 montre que la tension de sortie V_{s2} n'est pas constante le long de chaque région de saturation du circuit. Ainsi, cette courbe est représentée approximativement par deux segments linéaires chacun exprimé par les équations suivantes :

$$V_{th2} = V_{s2} = G_v \cdot V_e + V_0 \quad (1)$$

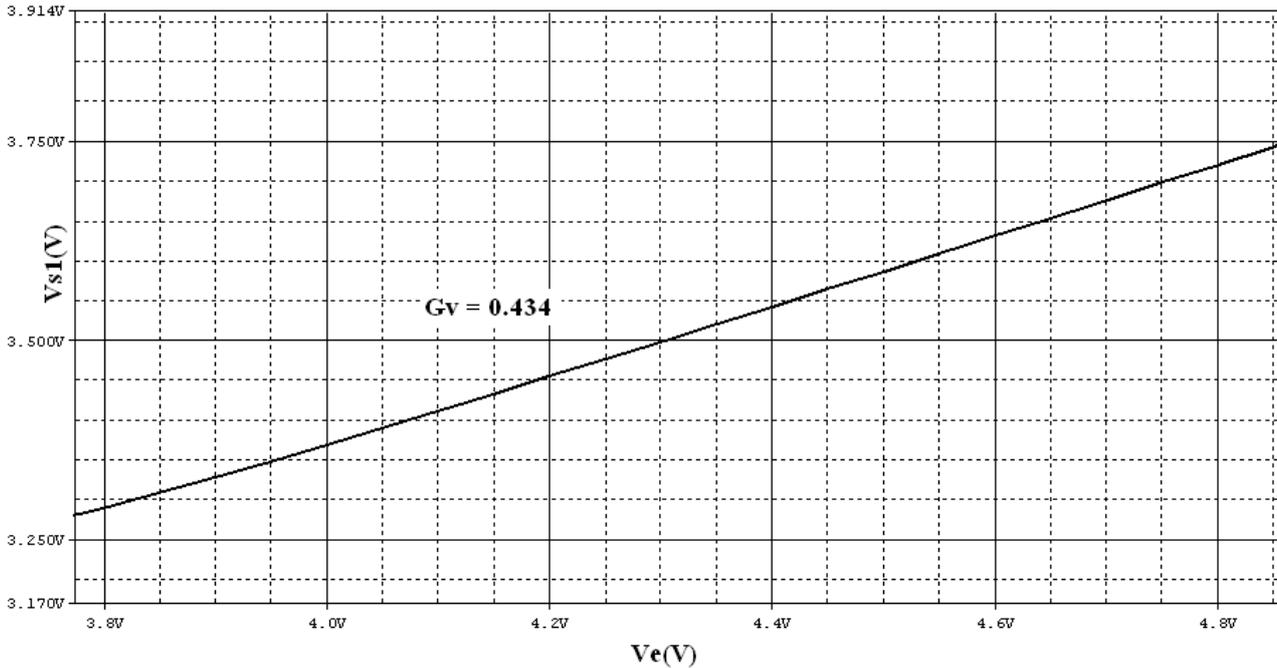


Figure IV.10 Caractéristique de transfert $V_{s1} = f(V_e)$ dans sa partie linéaire.

Les valeurs de G_v et V_0 pour chaque intervalle sont calculées à partir des pentes des deux segments de droite de la caractéristique de transfert $V_{s2} = f(V_e)$ ainsi que des points d'intersection du premier segment et le prolongement du deuxième tronçon avec l'axe V_{s2} .

Les niveaux de commutation de la deuxième sortie V_{s2} ont lieu pour des valeurs de tension similaires à celles de la sortie V_{s1} ($V_{eH} = 2.350V$, $V_{eL} = 2.294V$).

Ces niveaux sont obtenus en remplaçant V_e dans l'équation (1) et sont :

$$\text{Au point de cassure } P_1 : V_{s_{2,L}} = G_v \cdot V_{eL} + V_0$$

$$\text{Au point de cassure } P_2 : V_{s_{2,H}} = G_v \cdot V_{eH} + V_0$$

La courbe de la figure IV.11 permet d'extraire les valeurs de V_0 pour les deux tronçons de la caractéristique qui sont : $V_0' = 2.856V$ pour le premier tronçon et $V_0 = 4.380V$ pour le deuxième tronçon. Les valeurs du paramètre G_v' de la première partie linéaire de la caractéristique de transfert avant le point P_1 est de 0.125, par contre dans le deuxième tronçon $G_v = 0.129$.

Les impédances de sortie R_{s1} et R_{s2} vues aux ports de sortie sont obtenues à partir du

théorème de Thévenin et sont exprimées par :
$$R_s = \frac{V_{th} - V_{ch}}{I_{ch}}$$

V_{ch} et I_{ch} sont respectivement la tension et le courant mesurés pour une forte charge ($R_{ch} > 10k\Omega$). Les valeurs des résistances de sortie calculées, sont constantes le long de toutes les régions de fonctionnement du circuit.

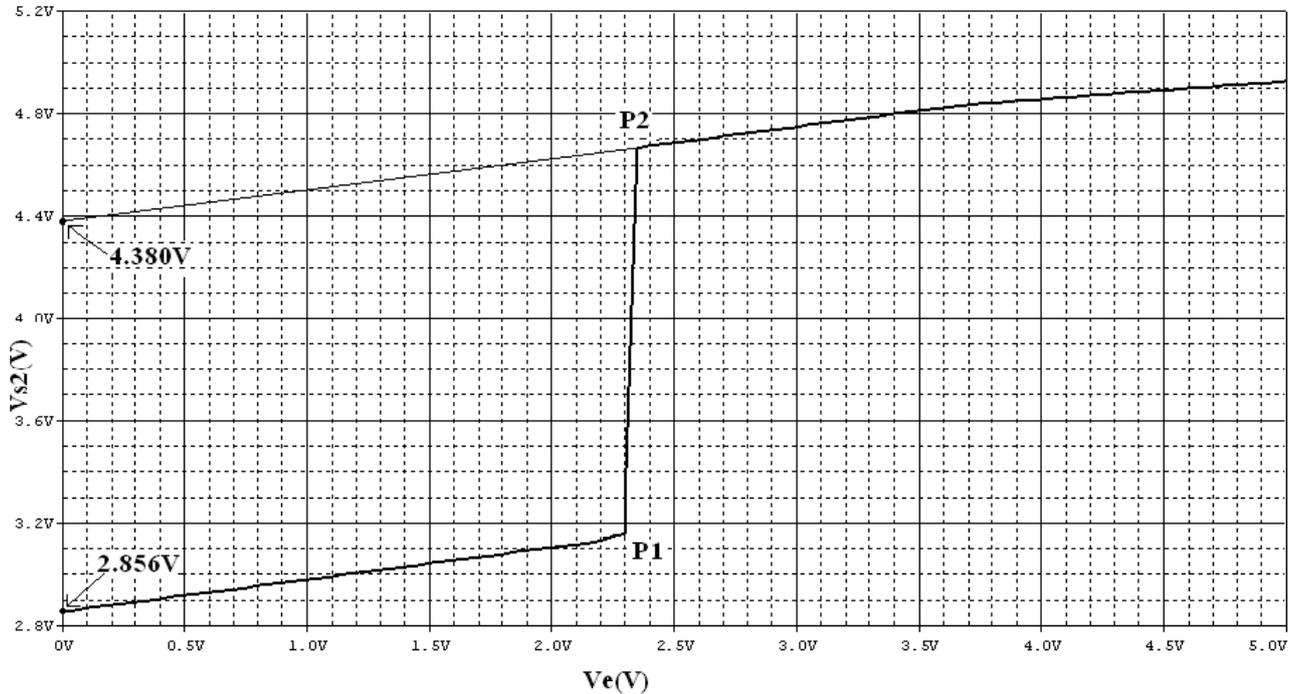


Figure IV.11 Caractéristique de transfert $V_{s2}=f(V_e)$

A partir de leurs valeurs, on peut admettre que la résistance de sortie R_{s1} n'est autre que la résistance de collecteur $R_{c1}=2k\Omega$, par contre la résistance de sortie R_{s2} est équivalente à R_{c2}

$$// (R_1+R_2) \text{ c'est-à-dire } \frac{R_{C_2}(R_1 + R_2)}{R_{C_2} + R_1 + R_2} = \frac{2k \cdot 14K}{16k} = 1.75k\Omega$$

On peut finalement dresser un modèle linéaire du trigger de Schmitt en l'absence de fautes représenté par le schéma de la figure IV.25.

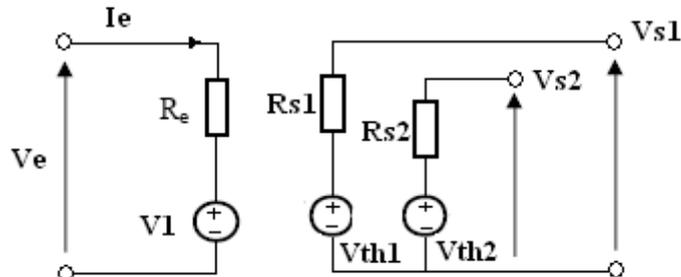


Figure IV.12 Modèle à trois ports du circuit trigger de Schmitt.

5.6 L'effet hystérésis du trigger de Schmitt

La courbe caractéristique de la figure IV.13 est une forme d'hystérésis. Deux autres points de commutation possibles P_1' et P_2' sont obtenus lorsque la tension d'entrée V_e varie de la tension supérieure 5V à 0V. Ces deux nouveaux points de cassure sont :

$$P_1' (V_e = 2.230V, V_s = 5.000V) ; P_2' (V_e = 2.255V, V_s = 3.342V).$$

La largeur de l'hystérésis est estimée à :

$$V_{hy1} = V_e|_{P_1} - V_e|_{P_1'} = 2.350V - 2.230V = 0.12V.$$

L'effet d'hystérésis apparaît aussi pour la deuxième sortie comme on peut le constater sur la figure IV.14 et sa valeur est la même que V_{hy1} obtenue dans la première caractéristique : $V_{hy1} = V_{hy2} = 0.12V$.

Le tableau IV.1 résume toutes les équations reliant les différents paramètres ainsi que leurs valeurs dans les différentes régions de fonctionnement.

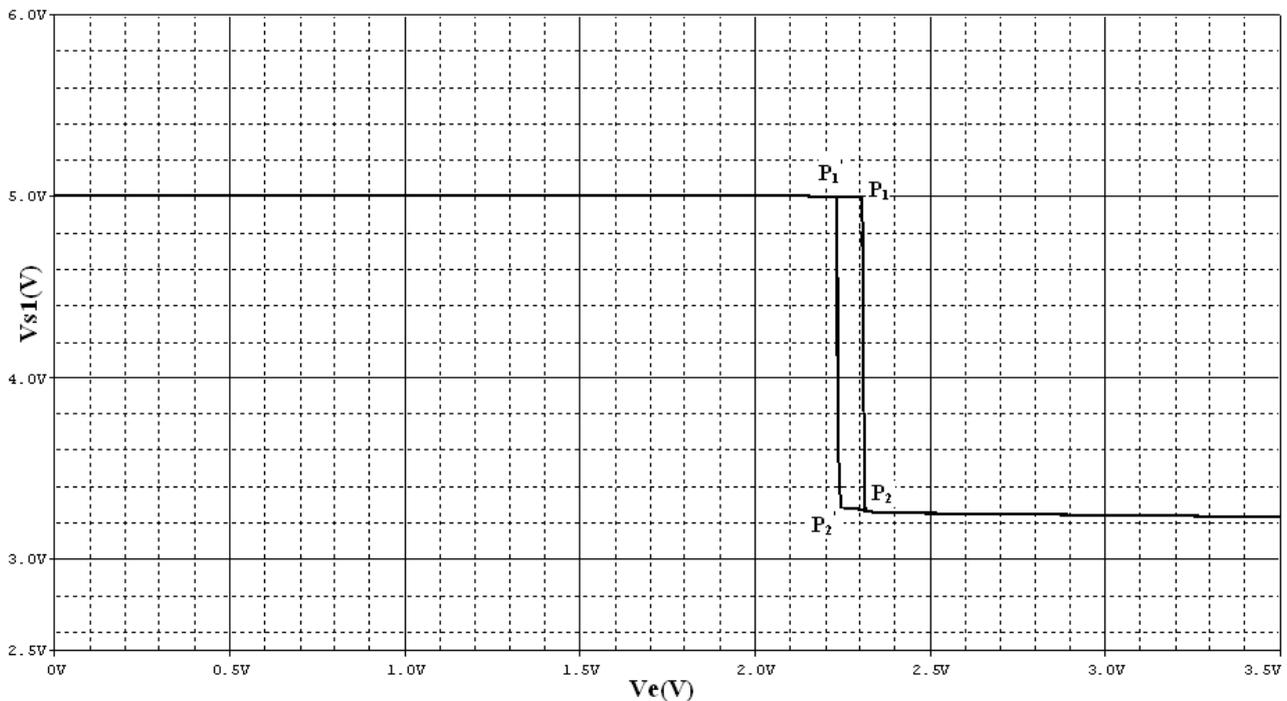


Figure IV.13 Caractéristique de transfert $V_{s1}=f(V_e)$ et l'effet hystérésis.

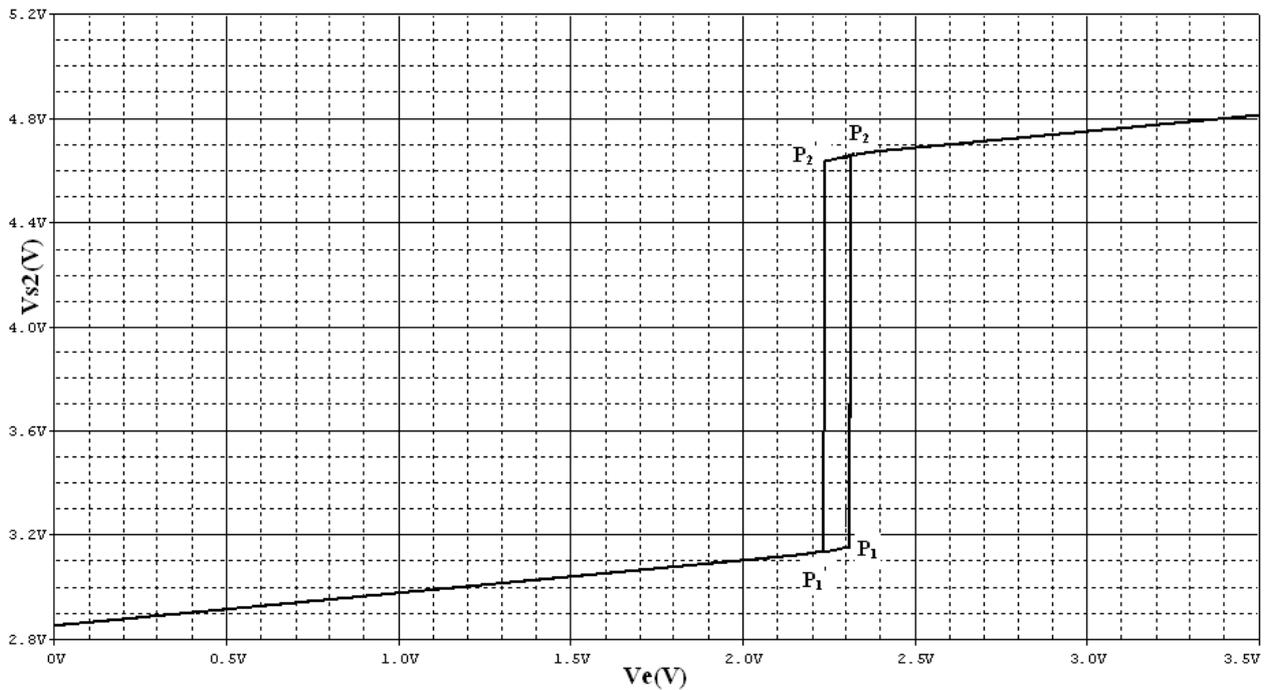


Figure IV.14 Caractéristique de transfert $V_{s2}=f(V_e)$ et l'effet hystérésis.

Tableau IV.1 Le modèle du circuit trigger de Schmitt en l'absence de fautes

Régions de fonctionnement	Equations		Valeurs des paramètres
$0V < V_e < 2.294V$	<ul style="list-style-type: none"> _ $V_e = I_e \cdot R_e + V_1$ _ $V_1 = V_{ref} + \Delta V$ <li style="padding-left: 20px;">$V_{ref} = 2.5V$ _ Niveau de commutation : $V_e(P1) = 2.294V$ 	<ul style="list-style-type: none"> _ $V_{th1} = V_{cc} = +5V$ $V_{s1} = V_{th1}$. _ $V_{th2} = G_v \cdot V_e + V_o$ $V_{s2} = V_{th2}$ 	<ul style="list-style-type: none"> $R_e = 15.940k\Omega$ $\Delta V = 0.751V$ $G_v = 0.125$ $V_o = 2.856V$ $R_{s1} = R_{c1} = 2k\Omega$ $R_{s2} = 1.75k\Omega$
$2.350V < V_e < 3.660V$	<ul style="list-style-type: none"> $V_e(P2) = 2.350V$ _ Valeur de l'hystérésis $V_{hys} = 0.12V$ _ $R_s = R_{th}$ 	<ul style="list-style-type: none"> _ $V_{th1} = 3.249V$ $V_{s1} = V_{th1}$ _ $V_{th2} = G_v \cdot V_e + V_o$ $V_{s2} = V_{th2}$ 	<ul style="list-style-type: none"> $R_e = 16.311k\Omega$ $\Delta V = 2.931V$ $G_v = 0.129$ $V_o = 4.380V$ $R_{s1} = R_{c1} = 2k\Omega$ $R_{s2} = 1.75k\Omega$
$3.660V < V_e < 5V$		<ul style="list-style-type: none"> _ $V_{th1} = G_v \cdot V_e + V_o$ _ $V_{th2} = G_v \cdot V_e + V_o$ $V_{s2} = V_{th2}$ 	<ul style="list-style-type: none"> $R_e = 4.101k\Omega$ $\Delta V = 0.917V$ $G_v = 0.129$ $V_o = 4.380V$ $R_{s1} = R_{c1} = 2k\Omega$ $R_{s2} = 1.75k\Omega$
$3.660V < V_e < 5V$			<ul style="list-style-type: none"> $R_{s2} = 1.75k\Omega$

6. Les macromodèles de fautes du trigger de Schmitt

La plus part des effets de fautes observées à la sortie du trigger de Schmitt étaient similaires à celles rencontrées dans les circuits logiques. Cela veut dire que les sorties du circuit étaient collées soit à un niveau de tension bas ou haut. Cependant, il existe des fautes pour lesquelles le circuit se comporte comme un circuit sans fautes mais avec des niveaux de commutation altérés aux sorties.

Etant un circuit à deux sorties, l'effet des fautes pourrait se propager soit dans l'une des sorties ou bien les deux. Pour le premier cas de propagation de l'effet de faute, la construction du modèle se résumera en un circuit équivalent à deux ports. L'autre sortie peut être remplacée par celle d'un circuit sans faute. Pour le deuxième cas, où la faute affecte les deux sorties, un circuit équivalent à trois ports est requis. L'objectif donc est de développer des macromodèles de fautes représentant simplement le comportement du circuit aux niveaux blocs fonctionnels.

Les points suivants traiteront 3 types de fautes appartenant à des groupes de fautes fonctionnelles différents, il s'agit de la faute F1 appartenant au groupe G1, la faute F17 du groupe G6 et enfin la faute F12 du groupe G4.

6.1 La propagation de l'effet de la faute F1

L'étude de l'effet de cette faute est intéressante à cause de sa propagation vers les deux sorties. Cet effet, produit aussi par d'autres fautes du même groupe G1, est vu comme une sortie collée à un niveau de tension haut ($V_s=5V$), tandis que la deuxième sortie reste à un niveau de tension bas (voir figure IV.15).

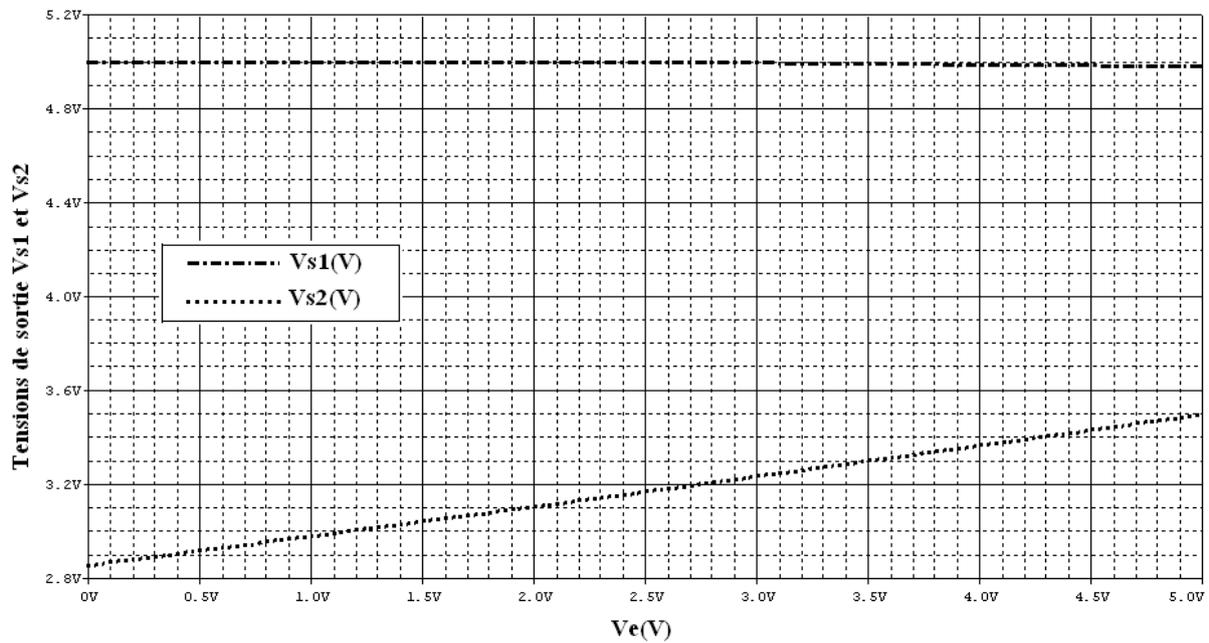


Figure IV.15 Caractéristique de transfert des deux sorties du trigger de Schmitt en présence de la faute F1.

La faute est en réalité un circuit ouvert appliqué à la base du transistor Q1 de l'amplificateur différentiel. Ainsi, ce transistor est ramené à sa région de blocage, et le courant collecteur fourni par l'alimentation est négligeable sinon nul. Ceci provoque le passage de la tension de sortie V_{out1} du collecteur de Q1 à la valeur de la tension d'alimentation : $V_{s1} = V_{cc}$

Le deuxième transistor, Q2, fonctionne dans sa zone de saturation à partir du moment où il draine un fort courant collecteur. Ainsi, la tension collecteur-emetteur décroît et peut même atteindre zéro. La tension de sortie V_{s2} , prise au collecteur de Q2, baisse à une tension qu'on peut exprimer par : $V_{s2} = V_{ref} + V_{be}$ (2), Où V_{ref} est la tension de référence fixée à 2.5V.

V_{be} est la chute de tension base-emetteur de Q2 et dont la valeur peut varier entre 0 et 0.7V. En remplaçant ces valeurs dans l'équation (2), le basculement de la sortie se fait entre 2.5V et 3.2V.

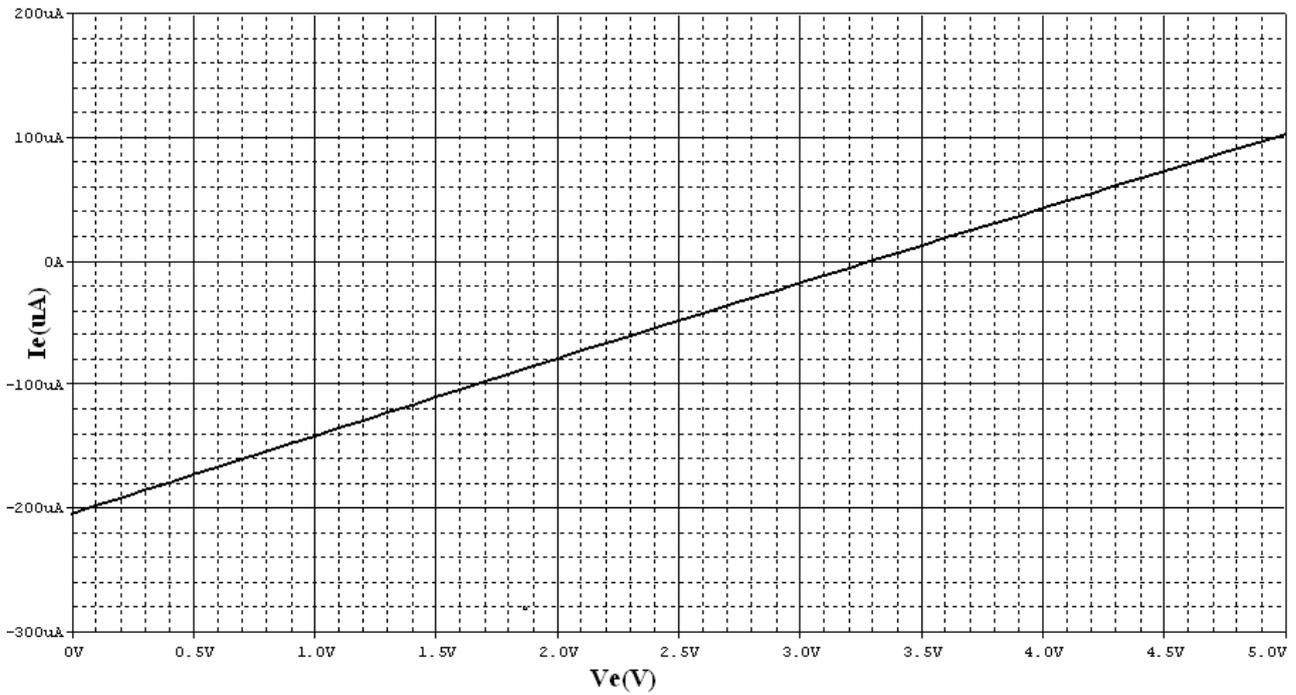


Figure IV.16 Caractéristique d’entrée du trigger de Schmitt en présence de la faute F1.

6.1.1 Le macromodèle du trigger de Schmitt sous la faute F1

Le modèle construit pour ce nouveau circuit affecté par la faute 1 est un circuit équivalent à trois bornes : une borne d’entrée et deux bornes de sortie. La représentation de chaque borne en terme d’éléments linéaires requiert l’utilisation des caractéristiques externes telles que, la caractéristique d’entrée ainsi que les deux caractéristiques de transfert de tension (voir figure IV.15 et IV.16).

Comme on le voit en figure IV.16, la caractéristique d’entrée courant-tension est une ligne droite. La tension d’entrée varie linéairement avec le courant d’entrée. Le tracé de cette caractéristique indique que pour une tension d’entrée $V_e = 0V$, le courant d’entrée est fourni par l’alimentation à travers les résistances R_{c2} , R_2 et R_1 et correspond au courant $I_e = -204.002\mu A$. Ce courant décroît et devient nul lorsque la tension d’entrée atteint $V_e = V_1 = 3.2697V$.

Si on augmente davantage la tension d’entrée V_e , cela provoque le changement du sens de circulation du courant d’entrée, c’est-à-dire de la source de tension V_e vers le collecteur du transistor Q2. La résistance d’entrée peut aisément se calculer en exploitant la pente de la caractéristique et est exprimée par la relation suivante :

$$R_e = \left[\frac{V_1}{I_e} \right]_{V_e=0}$$

A partir de ses valeurs données en tableau 1, cette résistance d'entrée peut être considérée comme une combinaison série des résistances R_{c2} , R_2 et R_1 . La borne d'entrée correspond à cette résistance connectée en série avec la source de tension V_1 .

Les bornes de sortie sont représentées par l'équivalence Thévenin. Les éléments de ces bornes sont déduits à partir de la caractéristique de transfert du circuit avec et sans charge.

La caractéristique de transfert $V_{s1}(V_e)$ de la figure IV.15 présente une tension de sortie constante pour toutes les valeurs de tension d'entrée ($0V < V_e < 5V$). Par conséquent, la première borne de sortie peut être représentée par une source de tension constante V_{th1} reliée en série à une résistance de sortie R_{s1} . Ce paramètre a été calculé en utilisant le théorème de Thévenin pour différentes charges et sa valeur est égale à celle du collecteur en l'occurrence R_{c1} .

La deuxième caractéristique de transfert $V_{s2}(V_e)$, montre que la deuxième tension de sortie, V_{s2} , est maintenue à un niveau de tension bas. Seulement, ce niveau de tension varie lentement avec la tension d'entrée. La deuxième borne de sortie peut être considérée comme une source de tension contrôlée V_{th2} dont la valeur est exprimée comme fonction linéaire de la tension d'entrée :

$$V_{th2} = G_v \cdot V_e + V_o$$

Où G_v est le gain basse tension et V_o correspond à la valeur de sortie pour une entrée nulle. Cette source de tension est connectée en série avec une résistance R_{s2} calculée de la même façon que R_{s1} . Sur la caractéristique on tire la valeur de G_v qui est égale à 0.124 ainsi que celle de V_o qui est égale à 2.856V.

6.2 Macromodèle du trigger de Schmitt en présence de la faute F17

Cette faute est représentée par un court circuit entre la base et le collecteur du transistor Q_2 de l'amplificateur différentiel. Sur les caractéristiques de transfert représentées en figure IV.17, on remarque que l'effet de cette faute n'est observé que sur une seule sortie. Ce court circuit ramène le potentiel de la sortie V_{s2} vers celui de la base de ce transistor. Comme une tension de référence constante est appliquée à cette base, la sortie est fixée à ce niveau de tension pour toute la gamme de tension variant de 0V à 5V.

Tableau IV.2 Macromodèle du trigger de Schmitt en présence de la faute F1

Régions de fonctionnement	Equations	Valeurs des paramètres	Modèle linéaire
<p>0V < Ve < 5V</p>	<p> $- V_e = I_e \cdot R_e + V_1$ $- V_1 = V_{ref} + \Delta V$ $V_{ref} = 2.5V$ $- V_{th1} = V_{cc} = 5V$ $- V_{s1} = V_{th1}$ $- V_{th2} = G_v \cdot V_e + V_o$ $- V_{s2} = V_{th2}$ $- R_s = R_{th}$ </p>	<p> $R_e = 15.940k\Omega$ $\Delta V = 0.751V$ $G_v = 0.125$ $V_o = 2.856V$ $R_{s1} = 2k\Omega$ $R_{s2} = 1.75k\Omega$ </p>	

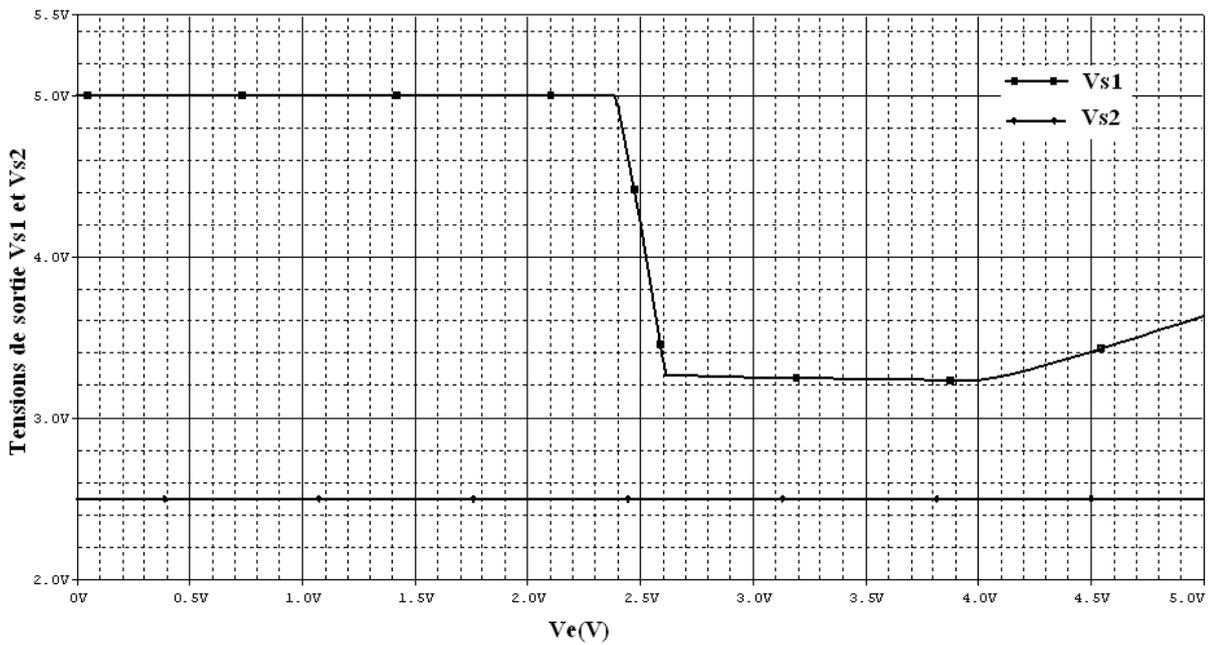


Figure IV.17 Caractéristiques de transfert entrée-sortie du trigger de Schmitt en présence de la faute F17.

Cependant, on ne note aucun effet de cette faute sur la première sortie. La caractéristique de transfert $V_{s1}(V_e)$ ne montre aucun changement des niveaux de tensions de commutation. Ainsi, le modèle de sortie de cette sortie sera le même que celui du circuit sans fautes. Le circuit équivalent de la deuxième sortie sera représenté par une source de tension constante équivalente à la tension de référence V_{ref} . Cette tension est mise en série avec une résistance $R_{s2}=1.42k\Omega$.

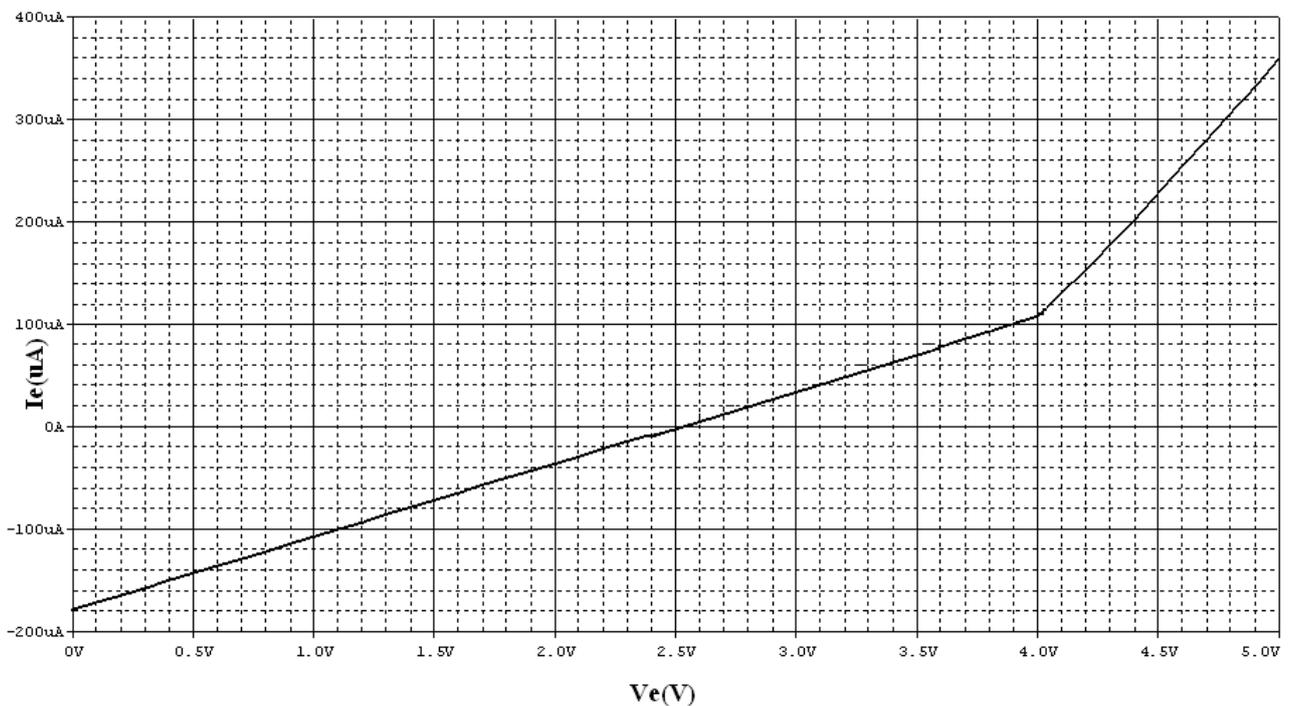
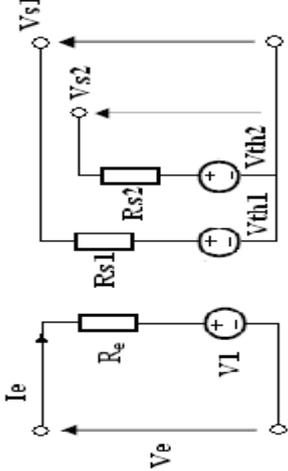


Figure IV.18 Caractéristiques d'entrée du trigger en présence de la faute F17.

La caractéristique d'entrée de la figure IV.18 est formée de deux segments de droite. Ainsi, le modèle du comportement de l'entrée par rapport à la faute est représenté par deux circuits équivalents. Les éléments de chaque circuit équivalent sont donnés au tableau IV.3.

Régions de fonctionnement	Equations	Valeurs des paramètres	Modèle linéaire
0V < Ve < 2.294	<ul style="list-style-type: none"> - $V_e = I_e \cdot R_e + V_1$ - $V_1 = V_{ref} + \Delta V$ - $V_{ref} = 2.5V$ - $V_{th1} = 5V$ - $V_{th2} = V_{ref} = 2.5V$ 	<ul style="list-style-type: none"> $R_e = 14.00k\Omega$ $\Delta V = -0.001V$ $R_{s1} = 2k\Omega$ $R_{s2} = 1.42k\Omega$ 	
2.350 < Ve < 3.660V	<ul style="list-style-type: none"> - $V_{th1} = 3.24V$ - $V_{s1} = V_{th1}$ - $V_{th2} = V_{ref} = 2.5V$ - $V_{s2} = V_{th2}$ 	<ul style="list-style-type: none"> $R_e = 14.00k\Omega$ $\Delta V = -0.001V$ $R_{s1} = 2k\Omega$ $R_{s2} = 1.42k\Omega$ 	
3.660V < Ve < 4V	<ul style="list-style-type: none"> - $V_{th1} = G_v \cdot V_e + V_o$ - $V_{th2} = V_{ref} = 2.5V$ - $V_{s2} = V_{th2}$ 	<ul style="list-style-type: none"> $R_e = 14.00k\Omega$ $G_v = 0.098$ $V_o = 1.65V$ $R_{s1} = 2k\Omega$ $R_{s2} = 1.42k\Omega$ 	
4V < Ve < 5V		<ul style="list-style-type: none"> $R_e = 3.99k\Omega$ $\Delta V = 0.997V$ 	

6.3 Macromodèle du trigger de Schmitt en présence de la faute F12

Cette faute est représentée par un circuit ouvert au niveau de la base du transistor de Q4 faisant partie de la source de courant du trigger de Schmitt. Cette source ne laisse donc plus passer de courant fourni par l'amplificateur différentiel à travers les émetteurs de Q1 et Q2. En conséquence, ces deux éléments (Amplificateur différentiel et la source de courant) sont à l'état de blocage et fixent les tensions de sortie Vs1 et Vs2 à un haut potentiel.

Au niveau comportemental, l'effet de cette faute est vu comme une saturation des deux sorties à un niveau haut. Ceci est clairement visible sur les caractéristiques de transfert de la figure IV.19.

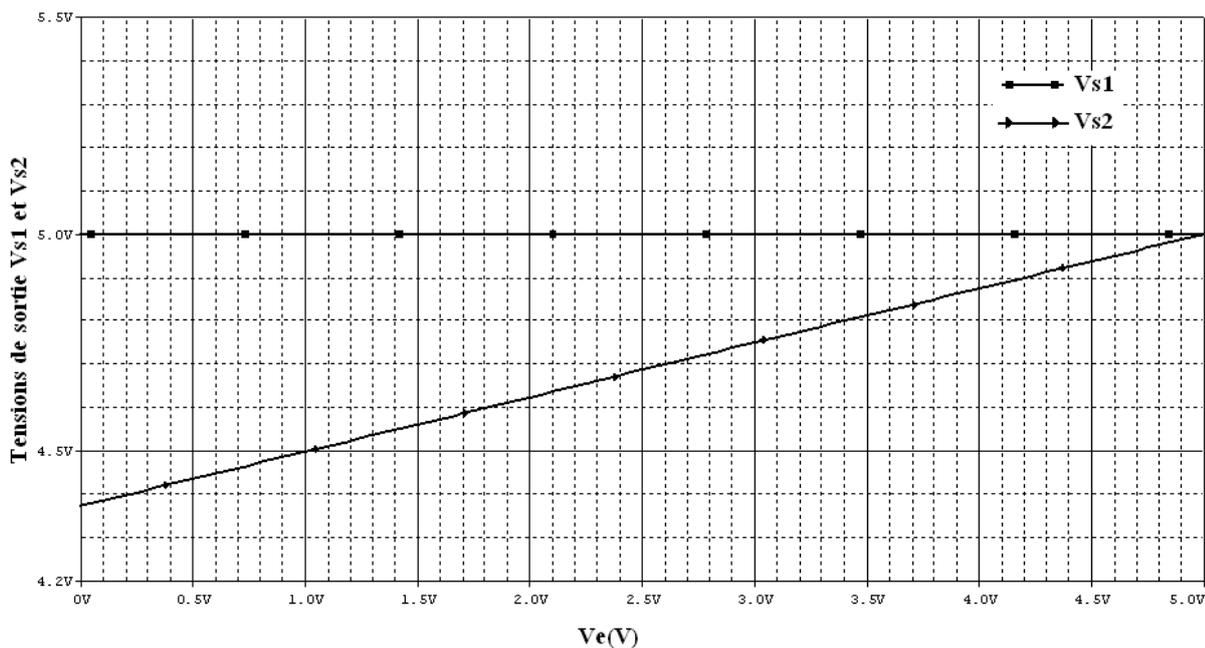


Figure IV.19 Caractéristiques de transfert entrée-sortie du trigger de Schmitt en présence de la faute F12.

La sortie Vs1 fournit une tension constante égale à celle de l'alimentation, $Vs1=V_{cc}=5V$. Le modèle de cette sortie est une source de tension constante liée en série avec une résistance Rs1 dont la valeur est celle de la résistance collecteur Rc1. Cependant, la deuxième sortie Vs2 varie linéairement avec la tension d'entrée. Cette variation linéaire est due à la diminution du courant venant de l'alimentation à travers la résistances de collecteur Rc2 et le réseau de réaction R1 et R2. Ce courant provoque une chute de tension aux bornes de Rc2 et une augmentation de la tension de sortie Vs2.

Le modèle de cette sortie est donc une source de tension contrôlée Vth2 connectée en série avec une résistance Rs2. Cette résistance est équivalente à $Rc2 // (R1+R2)$.

La caractéristique d'entrée représentée en figure IV.20 montre que la faute a affecté considérablement le circuit d'entrée, puisque son fonctionnement a lieu dans une seule région. Par suite, un seul circuit équivalent est requis pour représenter le comportement du circuit d'entrée.

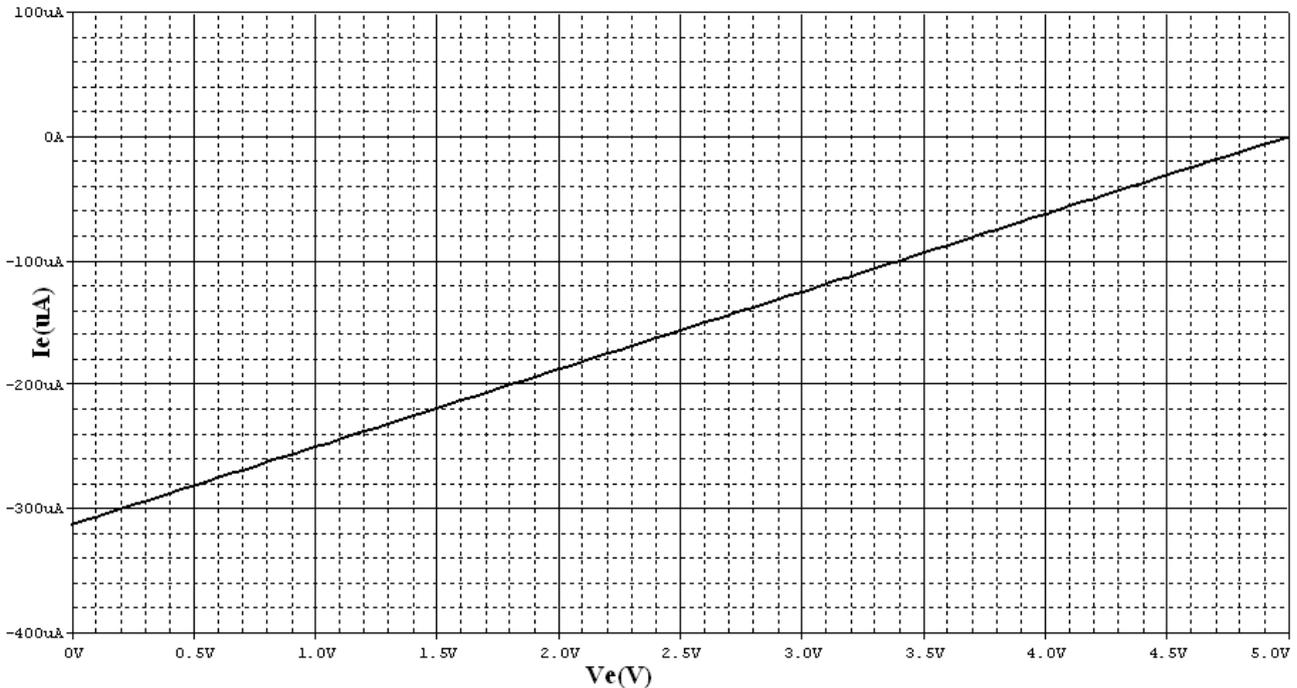


Figure IV.20 Caractéristiques d'entrée du trigger en présence de la faute F12.

Le tableau IV.4 résume le macromodèle de la faute 12 du trigger de Schmitt.

7. Détection et classification des groupes de fautes

7.1 Détection de fautes du circuit trigger de Schmitt

L'évaluation de la couverture de fautes exige l'injection de défauts (court-circuit et circuit ouvert) au niveau de tous les transistors constituant le circuit trigger de Schmitt. Ainsi, 22 fautes possibles ont été étudiées (Voir tableau IV.6), et grâce à l'approche de réduction de fautes (Fault Collapsing Approach) ces fautes ont été classées en groupes renfermant toutes les fautes équivalentes. Dans notre cas le nombre de fautes est réduit à 10 groupes de fautes fonctionnelles (voir tableau IV.6).

Deux tensions de test différentes ont été donc appliquées et simultanément deux paramètres en l'occurrence les deux tensions de sortie V_{s1} et V_{s2} sont mesurées pour tous les types de fautes. Les tensions de test sont de 1V pour le premier test et 3V pour le deuxième

Tableau IV.4 Macromodèle du trigger de Schmitt en présence de la faute F1

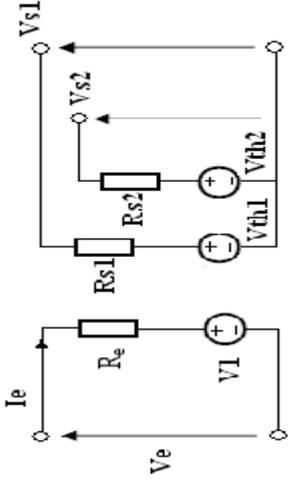
Régions de fonctionnement	Equations	Valeurs des paramètres	Modèle linéaire
<p>0V < Ve < 5V</p>	<ul style="list-style-type: none"> _ $V_e = I_e \cdot R_e + V1$ _ $V1 = V_{ref} + \Delta V$ _ $V_{ref} = 2.5V$ _ $V_{th1} = V_{cc} = 5V$ _ $V_{s1} = V_{th1}$ _ $V_{th2} = G_v \cdot V_e + V_o$ _ $V_{s2} = V_{th2}$ _ $R_s = R_{th}$ 	<p> $R_e = 15.940k\Omega$ $\Delta V = 2.499V$ $G_v = 0.125$ $V_o = 4.374V$ $R_{s1} = 2k\Omega$ $R_{s2} = 1.75k\Omega$ </p>	

Tableau IV-5 Détection de fautes du trigger de Schmitt

<i>Test d'entrée</i>	<i>Test1 : Ve = 1V</i>		<i>Test2 : Ve = 3V</i>	
Sorties Fautes	Vs1	Vs2	Vs1	Vs2
	F₀ : Sans fautes	5.000	2.981	3.247
F₁ : B/O de Q1	5.000	2.980	4.995	3.236
F₂ : E/O de Q1	5.000	2.981	4.999	3.231
F₃ : C/O de Q1	5.000	2.981	4.997	3.719
F₄ : C/O de Q2	5.000	4.499	3.247	4.748
F₅ : E/O de Q2	3.287	4.498	3.247	4.748
F₆ : B/O de Q2	3.295	4.491	3.247	4.748
F₇ : B/O de Q3	5.000	0.481	0.516	0.512
F₈ : C/O de Q3	5.000	1.705	1.752	1.736
F₉ : E/O de Q3	5.000	0.480	0.515	0.511
F₁₀ : E/O de Q4	5.000	4.500	5.000	4.750
F₁₁ : C/O de Q4	5.000	4.499	4.999	4.750
F₁₂ : B/O de Q4	5.000	4.499	4.999	4.749
F₁₃ : BE/S de Q1	5.000	2.420	5.000	4.344
F₁₄ : CE/S de Q1	2.523	4.208	3.243	4.749
F₁₅ : CE/S de Q1	3.220	4.500	3.220	4.750
F₁₆ : CE/S de Q2	5.000	2.949	5.000	3.193
F₁₇ : CE/S de Q2	5.000	2.500	3.254	2.500
F₁₈ : BE/S de Q2	5.000	4.500	2.547	4.736
F₁₉ : BE/S de Q3	5.000	4.500	5.000	4.750
F₂₀ : BE/S de Q4	5.000	4.500	5.000	4.750
F₂₁ : BC/S de Q4	5.000	0.763	0.769	0.764
F₂₂ : CE/S de Q4	0.048	0.012	0.014	0.0125

B : Base ; C : Collecteur ; E : Emetteur ; Q : Transistor.
O : Circuit ouvert (Open); S : Court circuit (Short).

7.2 L'approche de réduction de fautes (Fault Collapsing Approach)

L'introduction de l'approche de compression de fautes dans le processus de test a permis de réduire le temps de simulation requis pour les circuits intégrés très complexes dans le domaine de la conception [28]bourouba.

Cette approche vise à réduire le volume d'informations relatifs aux fautes possibles d'un circuit. Ceci est obtenu en groupant les fautes indiscernables en groupes fonctionnels équivalents, une faute seulement est considérée de chaque groupe. Deux fautes sont dites équivalentes si elles produisent un même effet pour un test déterminé. Un modèle particulier de faute correspondra alors à un groupe de fautes. Ainsi le nombre de fautes à simuler, et par conséquent le temps de simulation, seront nettement réduits.

7.3 Classification en groupes fonctionnels de fautes

Considérons les deux fautes F1 et F16 représentant respectivement un circuit ouvert au niveau du transistor Q1 et un court circuit entre la base et collecteur du transistor Q2. L'effet de ces deux fautes a une incidence sur les deux sorties Vs1 et Vs2 pour seulement le test2 (c'est-à-dire $V_e=3V$). La sortie Vs1 reste pratiquement fixée à un niveau de tension haut ($V_{s1}=5V$), par contre la deuxième sortie Vs2 reste maintenue à un niveau de tension bas. Par voie de conséquence on peut dire que ces deux fautes appartiennent au même groupe fonctionnel identifié par le test2 et la propagation de l'effet de cette faute aux deux sorties Vs1 et VS2.

L'étude de l'effet des fautes F7 et F9 est une illustration d'un autre type de combinaison entre tests et sorties. Ces fautes sont des circuits ouverts de la base et l'émetteur du même transistor Q3. Pour le test1 ($V_e=1V$), l'effet de chaque faute se propage à la sortie Vs2 seulement. La limite du niveau de tension de Vs2 est abaissée par rapport à sa valeur nominale (C'est-à-dire de 2.981V à 0.481V). Pour le test2, les deux sorties sont affectées. Chaque faute provoque la commutation de la sortie Vs1 à une tension limite de 0.516V inférieur à celle nominale qui est de 3.247V. La deuxième sortie se maintient approximativement à la même valeur précédente ($V_{s2} = 0.511V$).

Le même processus peut être effectué avec le reste des fautes. En définitif, le nombre de fautes est réduit grâce au regroupement des fautes en classes d'équivalence qui sont au nombre de dix comme le montre le tableau IV.6.

De cette manière, l'utilisation de l'approche de compression de fautes a conduit à une réduction de données caractérisée par le taux de réduction de fautes estimé dans notre cas à :

$$\left(1 - \frac{10(\text{nombre} * \text{de} * \text{groupes})}{22(\text{nombre} * \text{de} * \text{fautes})}\right) 100\% = 54\%$$

Ainsi si un tel algorithme serait possible, on pourrait dans ce cas observer une nette réduction du temps de simulation.

Tableau IV.6 Groupes fonctionnels obtenus avec le trigger de Schmitt

Groupe fonctionnel	Fautes d'un même groupe fonctionnel	Identification du groupe par		
		Tests	Effets	
			Vs1(V)	Vs2(V)
G1	F1 - F2 - F3 - F16	Test2	4.995	3.231
G2	F5 - F6 - F14 - F15	Test1	3.295	4.491
G3	F7 - F9 - F21	Test1	E.N.D*	0.481
		Test2	0.515	0.511
G4	F10 - F11 - F12 - F19 F20	Test1	E.ND	4.499
		Test2	4.999	E.N.D
G5	F4	Test1	E.N.D	4.498
G6	F17	Test2	E.N.D	2.500
G7	F8	Test1	E.N.D	1.705
		Test2	1.752	1.736
G8	F18	Test1	E.N.D	4.500
		Test2	2.547	E.N.D
G9	F13	Test2	5.000	E.N.D
G10	F22	Test1	0.0484	0.0125
		Test2	0.0144	0.0125
* Effet Non Détectable				

8. Modélisation d'une porte logique à base de transistors bipolaires

L'approche adoptée pour la modélisation sera la même que celle utilisée pour le trigger de Schmitt. Dans une première phase le circuit sera traité de façon analogique. La méthode des approximations linéaires par morceaux est appliquée afin de construire les modèles électriques. Nous exploiterons les caractéristiques de transfert entrée-sortie et celles d'entrée c'est-à-dire courant-tension d'entrée afin d'évaluer tous les paramètres définissant les modèles. Dans une deuxième phase, nous essaierons de traduire les niveaux de tensions électriques en états logiques (0 et 1) et introduire la notion de tableau de fautes. L'approche de compression de fautes sera appliquée afin de réduire le nombre de données.

8.1 Description du circuit représentant la porte logique NAND

La porte logique NAND est construite autour de quatre transistors bipolaires. Cette configuration est inspirée d'un manuel de conception de circuits intégrés de la firme Ferranti. La figure IV.21 exhibe une porte logique de la famille DTL (Diode Transistor Logic). En effet, les deux transistors Q1 et Q2 sont montés en diodes. On peut augmenter le nombre d'entrées en augmentant le nombre de transistors placés en série avec Q1 et Q2.

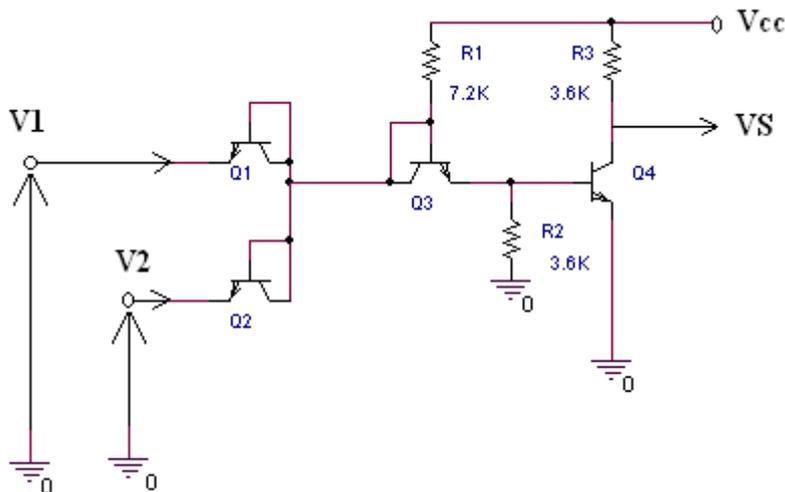


Figure IV.21 Porte NAND à transistors.

Théoriquement la tension de seuil est équivalente à la tension base-emetteur d'un transistor qui est d'environ 0.7V. Si l'une des entrées est inférieure à ce seuil par exemple égale

à 0V, le courant traversant la résistance collecteur R1 de Q3 passe directement à la masse à travers l'un des transistors en conduction, aucun courant ne circule dans le circuit base de Q4 qui est dans ce cas en état de blocage. La tension de sortie Vs est égale à la tension d'alimentation.

Lorsque les deux entrées se trouvent à un potentiel supérieur à 0.7V, les deux transistors sont dans un état de blocage forçant ainsi le courant circulant dans R1 à passer dans le circuit de base de Q4 qui passe à l'état de conduction (saturation).

8.2 Evaluation des paramètres d'entrée

La caractéristique d'entrée de la figure IV.22 présente deux points de cassure désignés par P1 et P2 partageant ainsi la caractéristique en deux régions linéaires de fonctionnement.

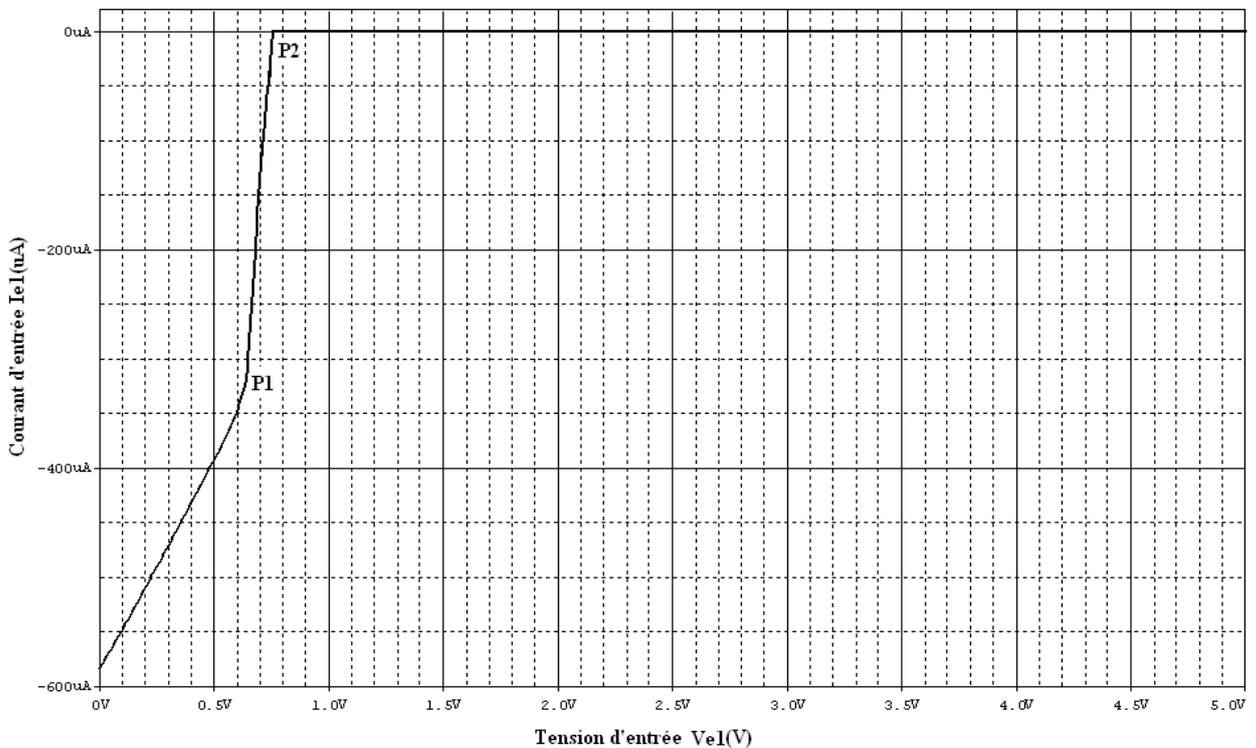


Figure IV.22 Caractéristiques d'entrée de la porte NAND.

Pour $0V < V_{e1} < 0.64V$ le transistor Q1 est conducteur, la résistance d'entrée est déterminée à partir de la pente de la première droite : **$R_{e1} = 2.42K\Omega$** .

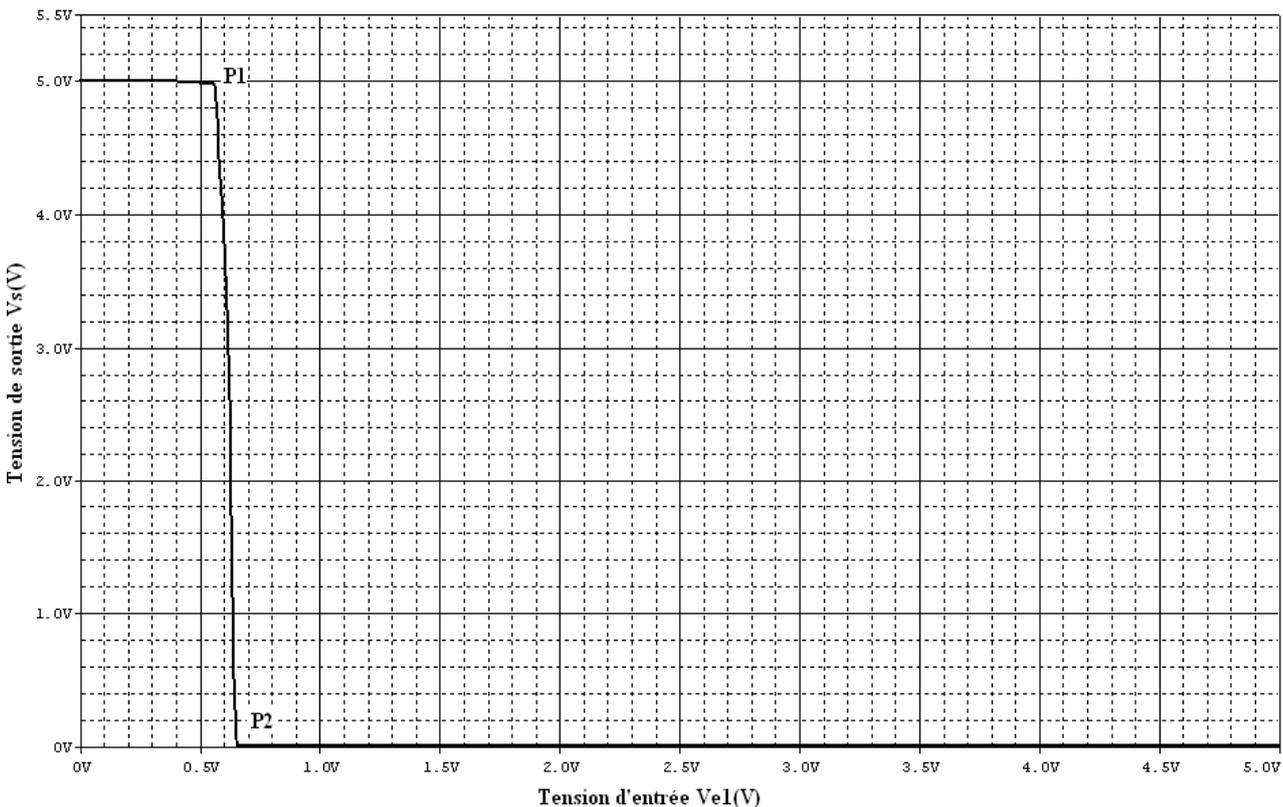
Pour $0.64V < V_{e1} < 0.75V$ la caractéristique présente une pente très raide témoignant d'une résistance relativement faible : **$R_{e1} = 345.70 \Omega$** .

A partir de 0.75V le transistor Q1 se bloque, le courant d'entrée s'annule, l'entrée se comporte comme un circuit ouvert. Le comportement du circuit d'entrée peut être décrit par l'équation suivante : **$V_{e1} = R_{e1} \cdot I_{e1} + V_1$** la valeur de V_1 est donnée au tableau IV.7.

La deuxième entrée se comporte de façon identique à la première et par suite tous les paramètres relatifs à la deuxième entrée sont égaux à celle de la première.

8.3 Evaluation des paramètres de sortie

Comme le montre la figure IV.21, la caractéristique de transfert présente trois régions de fonctionnement ; deux régions correspondant aux zones de blocage et saturation de Q4 et une zone intermédiaire linéaire.



FigureIV.21 Caractéristique de transfert de la porte NAND.

Lorsque la tension d’entrée est inférieure à 0.544V la sortie se trouve à un potentiel de 5V, au-delà de 0.688V le transistor est saturé la tension de sortie Vs est proche de zéro. Dans la zone active la tension de sortie varie linéairement, elle est décrite par l’équation suivante :

$$V_s = -G_v \cdot V_{e1} + V_o ; \quad \text{la tension } V_o \text{ est donnée au tableau IV.7}$$

La résistance vue de la sortie est équivalente à la résistance de collecteur du transistor Q4 : $R_s \cong 3.6 \text{ K}\Omega$. Le macromodèle représentant le comportement de la porte logique est présenté en figure IV.22. Le tableau IV.7 résume l’ensemble des équations et paramètres relatifs à ce macromodèle.

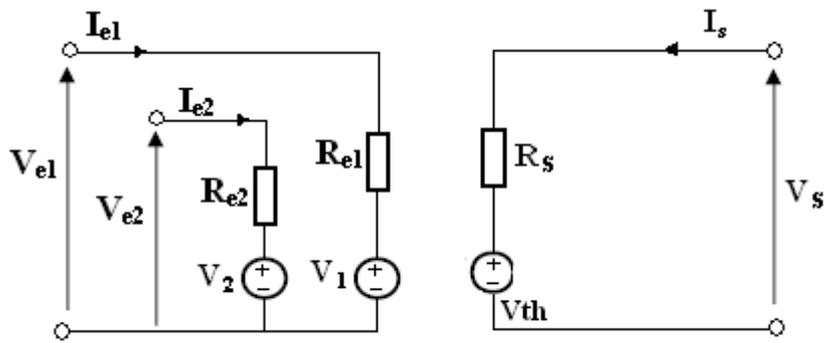


Figure IV.22 Modèle analogique à trois ports de la porte NAND.

Tableau IV.7 Equations et paramètres du modèle linéaire de la porte NAND

Régions de fonctionnement	Equations	Valeurs des paramètres
$0V < V_{ei} < 0.544V$ $i = 1,2$	$V_{ei} = I_{ei} \cdot R_{ei} + V_i$ $V_i = V_T + \Delta V$ $V_T = 0.7V$	$V_{th} = V_{cc} = +5V$ $V_s = V_{th1}$ $R_{ei} = 2.42k\Omega$ $\Delta V = 0.715V$ $R_s = R_3 = 3.6k\Omega$
$0.544V < V_{ei} < 0.688V$	Niveau de commutation : $V_{ei}(P1) = 0.544V$ $V_{ei}(P2) = 0.688V$	$V_{th} = -G_v \cdot V_{ei} + V_o$ $V_s = V_{th}$ $R_{ei} = 345.7\Omega$ $V_o = 0.02V$ $G_v = 0.03$ $R_s = R_3 = 3.6k\Omega$
$V_{ei} > 0.75V$		$V_s = 0V$ $R_{ei} \rightarrow \infty$ R_s proche de 0Ω

9. Insertion de défauts et détection de fautes de la porte NAND

Le type de défaut inséré est soit un débranchement de l'une des électrodes d'un transistor composant la porte NAND ou bien court circuit entre elles. Pour chaque défaut la caractéristique de transfert entrée sortie a été exploitée afin de déterminer les niveaux de la tension de sortie. Le tableau IV.8 résume tous les résultats obtenus.

Tableau IV.8 Tableau de détection de fautes de la porte NAND

<i>Test d'entrée</i>	<i>Test1 :</i>	<i>Test2 :</i>	<i>Test3 :</i>	<i>Test4 :</i>
	<i>Ve1= 0V</i> <i>Ve2 = 0V</i>	<i>Ve1=0V</i> <i>Ve2 = 5V</i>	<i>Ve1=5V</i> <i>Ve2 = 0V</i>	<i>Ve1=5V</i> <i>Ve2 = 5V</i>
Sorties Fautes	Vs(V)	Vs(V)	Vs(V)	Vs(V)
F ₀ : Sans fautes	5.000	5.000	5.000	0.018
F1 : Q1 :B/O	5.000	0.017	5.000	0.017
F2 : Q1 :C/O	5.000	5.000	5.000	0.017
F3 : Q1 :E/O	5.000	0.017	5.000	0.017
F4 : Q1 : BE/S	5.000	5.000	0.006	0.007
F5 : Q1 :CE/S	5.000	5.000	0.007	0.006
F6 : Q2 :B/O	5.000	5.000	0.017	0.018
F7 : Q2 :C/O	5.000	5.000	5.000	0.018
F8 : Q2 :E/O	5.000	5.000	0.017	0.018
F9 : Q2 : BE/S	5.000	0.013	5.000	0.013
F10 : Q2 :CE/S	5.000	0.013	5.000	0.013
F11: Q3 :B/O	5.000	5.000	5.000	5.000
F12 : Q3 :C/O	5.000	5.000	5.000	5.000
F13 : Q3 :E/O	5.000	5.000	5.000	5.000
F14 : Q3 : BE/S	3.757	3.444	3.434	0.015
F15 : Q3 :CE/S	4.190	3.415	3.433	0.015
F16 : Q4 :B/O	5.000	5.000	5.000	4.995
F17 : Q4:C/O	4.999	4.999	4.999	0.003
F18 : Q4 :E/O	5.000	5.000	5.000	4.995
F19 : Q4 : BE/S	5.000	5.000	5.000	5.000
F20 : Q4 :BC/S	0.646	0.644	0.646	0.650
F21 : Q4 : CE/S	0.000	0.000	0.000	0.000

B : Base ; C : Collecteur ; E : Emetteur ; Q : Transistor.
O : Circuit ouvert (Open); S : Court circuit (Short).

On peut remarquer que ce tableau contient un ensemble de fautes ayant la même incidence sur les niveaux de la tension de sortie de la porte NAND et peuvent donc être regroupées en classes d'équivalence représentées par le tableau IV.9.

Tableau IV. 9 Tableau de groupes de fautes équivalentes.

Groupe fonctionnel	Fautes d'un même groupe fonctionnel
G1	F1, F3, F9, F10
G2	F2, F7, F17
G3	F4, F5, F6, F8
G4	F11, F12, F13, F16, F18, F19
G5	F14, F15
G6	F20, F21

Prenons maintenant les deux fautes F4 et F15 appartenant respectivement aux deux groupes fonctionnels G3 et G5 et étudions leurs effets sur le comportement de la porte NAND.

9.1 Effet de la faute F15 sur le comportement de la porte NAND

Le défaut inséré dans ce cas est un court circuit entre le collecteur et l'émetteur de Q3. L'effet de cette faute a totalement affecté la caractéristique de sortie. En effet le seuil de commutation est pratiquement nul, à partir du moment où la base et l'émetteur de Q3 sont aussi reliés. Au fur et à mesure que le transistor Q1 se bloque le courant du circuit base de Q4 augmente entraînant l'augmentation de son courant collecteur et provoquant par suite sa saturation. La courbe contient deux points de cassure notés P1 et P2. Trois segments composent la caractéristique, jusqu'au point P1 la sortie diminue avec une pente très raide, entre les points P1 et P2 la décroissance diminue légèrement pour devenir très lente au-delà de P1 (figure IV.23). Les points de cassure ont pour coordonnées :

$$P1(30.55mV, 0.489V) ; P2(40mV, 53.72mV)$$

Les trois segments ont pour équation : $V_s = -G_v.V_{e1} + V_o$ les valeurs de G_v et V_o seront précisées pour chaque intervalle au tableau IV.8.

Le comportement du circuit d'entrée est illustré par la figure IV.24 montrant deux segments de droite indiquant respectivement l'état de conduction et de blocage de Q1.

On peut écrire pour $0 < V_{e1} < 0.14V$ $V_{e1} = R_{e1}.I_{e1} + V_1$, les valeurs des paramètres V_1 et R_{e1} sont indiquées au tableau IV.9. La résistance de sortie est équivalente à la résistance collecteur de Q4. Le macromodèle est représenté par le schéma en figure IV.25

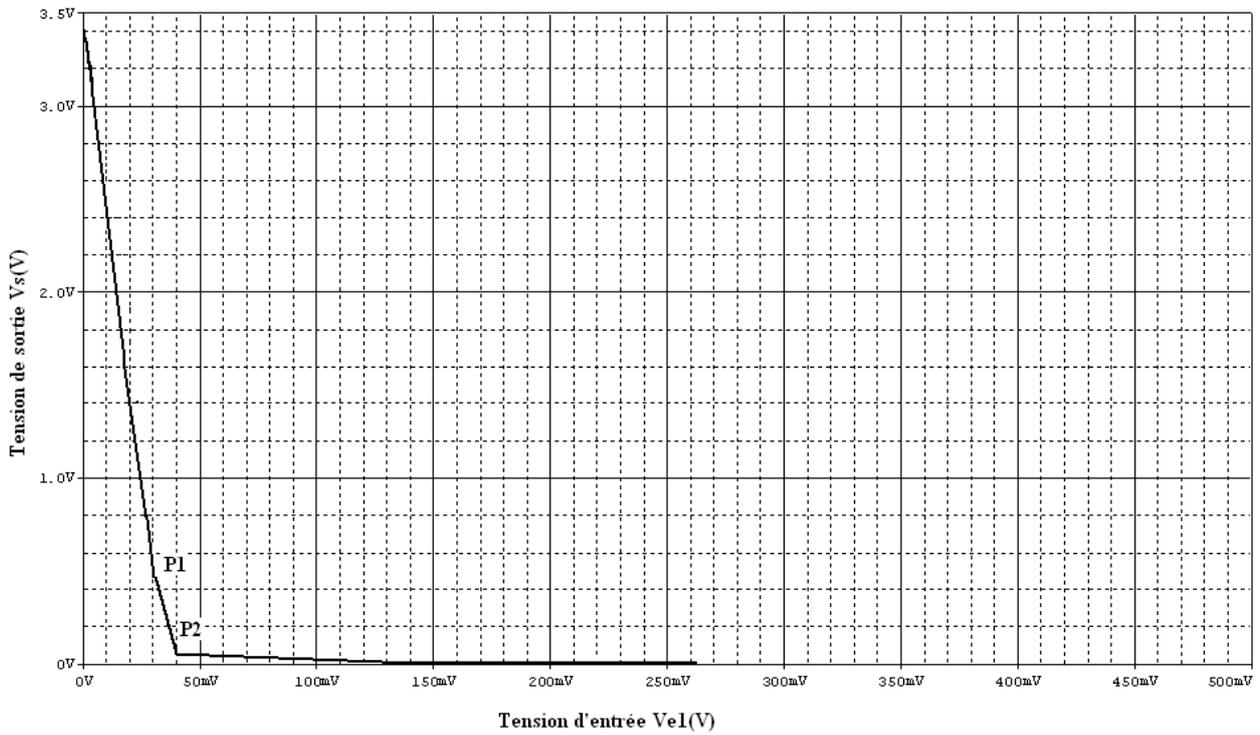


Figure IV.23 Caractéristique de transfert $V_s(V_{e1})$ de la porte NAND en présence de la faute F15.

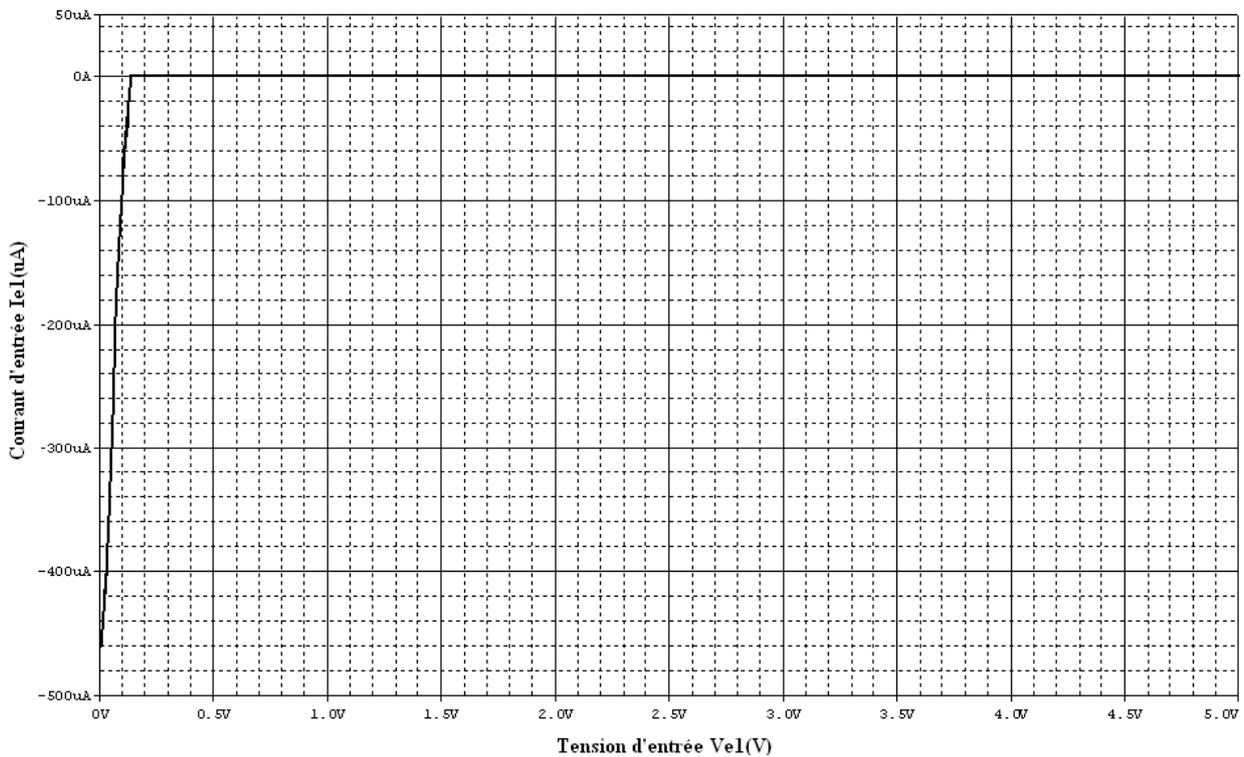


Figure IV.24 Caractéristiques d'entrée de la porte NAND en présence de la faute F15.

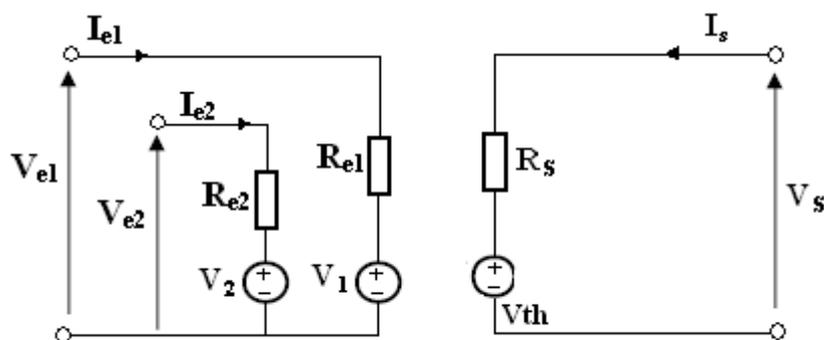


Figure IV.25 Modèle de la porte NAND en présence de la faute F15.

Tableau IV.9 Macromodèle de la porte NAND en présence de la faute F1

Régions de fonctionnement	Equations		Valeurs des paramètres
$0V < V_{ei} < 30.55mV$ $i = 1,2$	$V_{ei} = I_{ei}.R_{ei} + V_i$ $V_i = 0.09V$	$V_{th} = -G_v.V_{ei} + V_o$ $V_s = V_{th}$	$R_{ei} = 207\Omega$ $G_v = 96.39$ $V_o = 3.434V$ $R_s = R_3 = 3.6k\Omega$
$30.55mV < V_{ei} < 40mV$	$V_{ei} = I_{ei}.R_{ei} + V_i$ $V_i = 0.09V$	$V_{th} = -G_v.V_{ei} + V_o$ $V_s = V_{th}$	$R_{ei} = 207\Omega$ $V_o = 1.8V$ $G_v = 46.06$ $R_s = R_3 = 3.6k\Omega$
$40mV < V_{ei} < 0.14V$	$V_{ei} = I_{ei}.R_{ei} + V_i$ $V_i = 0.09V$	$V_{th} = -G_v.V_{ei} + V_o$ $V_s = V_{th}$	$R_{ei} = 207\Omega$ $G_v = 1.8$ $V_o = 75mV$ R_s proche de 0Ω

9.2 Effet de la faute F4 sur le comportement de la porte NAND

Cette faute représente un court circuit entre l'émetteur et la base du transistor Q1. A partir de la caractéristique de transfert entrée-sortie de la figure IV.26, on peut constater que la tension de commutation est légèrement supérieure à 1.2V qui correspond à deux fois la tension de seuil base-émetteur d'un transistor. En effet le court circuit entre la base et l'émetteur de Q1 ramène directement la tension d'entrée au niveau du collecteur du

transistor Q3 lui-même relié à la base. La conduction commence lorsque la tension d'entrée atteint la tension de seuil de Q3 ajoutée à celle de Q4 c'est-à-dire à peu près deux fois V_{be} .

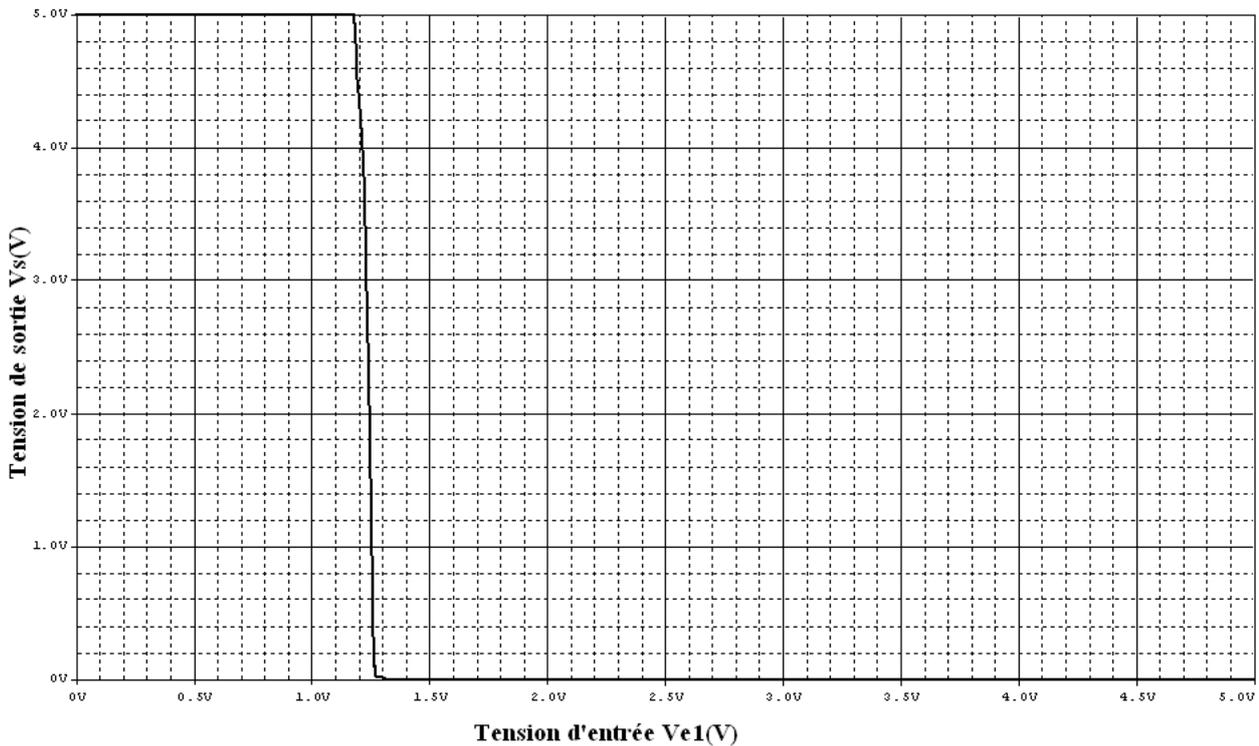


Figure IV.26 Caractéristique de transfert $V_s(V_{e1})$ de la porte NAND en présence de la faute F4.

Si on s'intéresse maintenant à la fonction de la porte NAND on peut dresser un tableau contenant les fautes du point de vue niveau logique. Le tableau IV.10 montre le tableau de fautes relatif à la porte NAND. On estime qu'à partir d'un seuil de tension de 3V le niveau est considéré comme haut correspondant à un état logique "1", par contre en deçà de 0.8 V le niveau est considéré comme bas correspondant à un état logique "0".

On peut remarquer à partir du tableau IV.10 la quantité d'informations recueillie en utilisant une seule porte logique et celle qui serait requise lorsqu'on utilise des circuits logiques contenant des centaines voire des milliers de portes logiques. Il est donc nécessaire de chercher les fautes indiscernables afin de réduire le nombre de données. De la même façon qu'en analogique, par l'approche de compression de fautes, on peut classer ce tableau en groupes de fautes équivalentes (voir tableau IV.11). Les lignes correspondant aux groupes G4 et G5 peuvent être interprétées comme sortie collée respectivement à "1" et à "0".

Tableau IV.10 Tableau de fautes logiques de la porte NAND

	<i>Test1</i>	<i>Test2</i>	<i>Test3</i>	<i>Test4</i>
	<i>00</i>	<i>01</i>	<i>10</i>	<i>11</i>
	Sortie			
F₀ : Sans fautes	1	1	1	0
F1	1	0	1	0
F2	1	1	1	0
F3	1	0	1	0
F4	1	1	0	0
F5	1	1	0	0
F6	1	1	0	0
F7	1	1	1	0
F8	1	1	0	0
F9	1	0	1	0
F10	1	0	1	0
F11	1	1	1	1
F12	1	1	1	1
F13	1	1	1	1
F14	1	1	1	0
F15	1	1	1	0
F16	1	1	1	1
F17	1	1	1	0
F18	1	1	1	1
F19	1	1	1	1
F20	0	0	0	0
F21	0	0	0	0

Tableau IV.11 Tableau de fautes équivalentes de la porte NAND

Classes d'équivalence	Fautes	Test1	Test2	Test3	Test4
		00	01	10	11
G1	F1, F3, F9, F10	1	0	1	0
G2	F2, F7, F14, F15, F17	1	1	1	0
G3	F4, F5, F6, F8	1	1	0	0
G4	F11, F12, F13, F16, F18, F19	1	1	1	1
G5	F20, F21	0	0	0	0

Conclusion :

L'utilisation du logiciel OrcadPspice9.2 a permis donc la simulation de circuits de petite taille (trigger de Schmitt, porte logique à base de transistors bipolaires).

L'objectif était essentiellement la construction de macromodèles décrivant le comportement des circuits.

Pour cela une analyse en continu (DC) a été adoptée pour tracer les caractéristiques et par suite les exploiter afin d'en extraire le maximum de paramètres pour décrire de façon aussi précise que possible les modèles en l'absence et présence de défauts. Ces derniers sont insérés au niveau des transistors, leur nombre dépend bien sur du nombre de transistors, ceci nous donne une idée sur le nombre d'informations à traiter lorsqu'il s'agit de circuits plus complexes (nombre de composants relativement élevé).

L'approximation linéaire par morceau (PWL) a permis d'atteindre cet objectif en choisissant minutieusement les points de cassures délimitant les différents segments.

CONCLUSION GENERALE

Au terme de ce mémoire, nous pouvons affirmer avec certitude que les termes *Simulation*, *Modélisation* et *Test* seront désormais indissociables et inhérents au domaine de conception. Dans le domaine de conception et fabrication des circuits intégrés, la maîtrise des trois disciplines s'imposent, eu égard à la demande accrue des circuits électroniques de plus en plus complexes et à plus grande échelle d'intégration. Chaque nouvelle génération de microprocesseurs, par exemple, apparaît avec plus de fonctions, plus de mémoire et à des vitesses (fréquences) d'exécution plus élevées et ce, sans incidence perceptible sur le coût.

Pour atteindre de telles performances et garantir de façon permanente les améliorations dans le futur, les concepteurs doivent impérativement mettre à jour leurs connaissances concernant toute nouveauté dans les procédés de fabrication des circuits intégrés.

Le simulateur constitue le premier outil dont se sert le concepteur après l'étape d'élaboration de l'idée de base du système. En effet, grâce au simulateur le concepteur serait en mesure de vérifier la conformité des résultats sans nécessairement passer à la réalisation du prototype. Les concepteurs passent par des étapes de simulation qui leur permettent de réduire le coût de fabrication et les délais de développement (Time-to-market).

Néanmoins, il faut soulever le problème de convergence des simulateurs qui est fortement conditionné par le nombre de transistors intégrés sur la puce. Même si des nouvelles techniques de simulation plus rapides sont développées, cette limitation ne peut être résolue qu'en adoptant une approche hiérarchique multi-niveaux consistant à décomposer le système en un ensemble de blocs fonctionnels. C'est ce que nous avons essayé d'élucider dans le chapitre I en introduisant la notion de niveaux d'abstraction et celle de conception hiérarchique. A ce niveau là intervient la modélisation qui permet de diminuer l'effort de calcul du simulateur en remplaçant le circuit ou parfois seulement certaines de ses fonctions internes par des modèles équivalents reproduisant aussi fidèlement que possible les performances souhaitées.

Au bout de la chaîne de conception vient l'étape du test effectuée avant le lancement de fabrication. Le test, toutefois, n'est pas une fin en soi, mais une tâche destinée à aider et améliorer la production. Les fautes détectées et comparées à celles préalablement établies par simulation permettent de localiser et réparer les défauts liés à ces fautes.

Enfin, au terme de cette conclusion, des perspectives concernant de nouvelles approches dans le domaine du test seraient envisageables. Dans ce travail que nous avons présenté, nous avons mis l'accent sur le test en mode continu (DC) qui est considéré plus exhaustif car

permettant un taux de couverture acceptable, les paramètres temporels et fréquentiels ne peuvent pas, dans ce cas, être manipulés.

Ainsi, nous pouvons adopter des stratégies tout à fait différentes de celles que nous avons utilisé. Nous pouvons par exemple décrire dans le domaine fréquentiel le système par le biais de sa fonction transfert. Les pôles et zéros de la fonction de transfert déterminent la caractéristique de réponse fréquentielle du circuit régi par cette fonction de transfert. La réponse temporelle dépend aussi de ces pôles et zéros. Le déplacement des pôles et zéros sous l'influence des fautes affectera potentiellement aussi bien les réponses transitoire que fréquentielle. Le but est donc de stimuler la faute à l'aide d'un signal d'entrée donnant le maximum d'erreur de réponse. Une autre méthode est aussi envisageable qui est beaucoup plus une méthode d'optimisation du test basée sur la simulation Monte Carlo en tenant compte des déviations des paramètres autour de leur valeur nominale.

Les tendances actuelles vers les simulateurs basés sur les langages de description de haut niveau tels que *VHDL-AMS* ; *VERILOGA* ; *MAS* etc. nous incitent à les utiliser puisqu'ils permettent la description de la structure d'un système c'est-à-dire comment il est décomposé en sous-systèmes et comment ces sous-systèmes sont interconnectés. On peut ainsi descendre jusqu'au niveau jonction et faire introduire des défauts physiques permettant alors d'effectuer des tests très proches des conditions réelles reflétant de façon précise l'effet de ces défauts sur les fautes observées.

BIBLIOGRAPHIE

- [1] F. Lemery, *Modélisation Comportementale des Circuits Analogiques et Mixtes*, Thèse de Doctorat, Institut National Polytechnique de Grenoble.1995.
- [2] D.Gajski, N.Dutt, C.Wu, Y.Lin, "*High-Level Synthesis, Introduction to Chip and System Design*", Chapter 1, Kluwer Academic Publishers, 1992.
- [3] E.Liu, W.Kao, E.Felt, A.Sangiovanni-Vincentelli, *Analog Testability Analysis and Fault Diagnosis using Behavioral Modeling*, Proc. IEEE Custom Integrated Circuits Conference, pp. 17.3.1-17.3.4, 1994.
- [4] R.Frevest , J. Haase, R.Jancke, "*Modeling and Simulation for RF System Design*", Edition Springer. Dordrecht, The Netherlands. 2005.
- [5] G.E.Gielen, J.R.Phillips, "*Simulation and Modeling for Analog and Mixed-Signal Integrated Circuits*",CRC press, Taylor and Francis Group. New York.USA.2006.
- [6] J.Smahtina, *Design and Test of Digital Systems on RT.Level*, Tallin Technical University, 2003.
- [7] V.M.Ma, J.Singh, R.Saleh, *Modeling, Simulation and Optimization of Analog Macromodels*, Proc. IEEE Custom Integrated Circuits Conference, pp. 12.1.1-12.1.4, 1992.
- [8] J.A. Connelly and P. Chol. "*Macromodeling with SPICE*". Prentice Hall, 1992.
- [9] H.A. Mantooth and M. Fiegenbaum, "*Modeling with an analog hardware description language*". Kluwer Academic Publishers, 1995.
- [10] U.Kemper, H.T.Mammen, *Netlist and Behavioural Description of Macromodels for Analog Circuits*, Proc. Conference on Modelling and Simulation, June 1-3 1994, Barcelona, pp. 979-984.
- [11] K.J. Karimi, *Modeling and simulation of large DC power electronics systems*, Boing Computer Services, In Proceedings of the Conference on Modelling and Simulation 1994, p.1111-1115
- [12] G.R Boyle and B.M. Cohn *Macromodeling of Integrated Circuit Operational Amplifier*. IEEE. Journal of Solid State Circuit, Vol. SC9, N°6, pp353-363, December 1974.
- [13] G.Casinovi, A.Sangiovanni-Vincentelli, *A Macromodeling Algorithm for Analog Circuits*, IEEE Transactions on Computer-Aided Design, Vol.10, No.2, February 1991.
- [14] J.Damianos, *Testing Hybrid Circuits Using Digital Techniques*, Southampton University, 1986.

- [15] V.M.Ma, J.Singh, R.Saleh, ***Modeling, Simulation and Optimization of Analog Macromodels***, Proc. IEEE Custom Integrated Circuits Conference, pp. 12.1.1-12.1.4, 1992
- [16] Anne Meixner, ***Analog Fault Models for Mixed Integrated Circuit Testing***, Carnegie Mellon, Research Report No. CMUCAD-93-70, 1993.
- [17] R.Leveugle, ***Test des Circuits Intégrés Numériques***, Technique de l'ingénieur Doc EL462.
- [18] M. Witczak, ***Modelling and Estimation Strategies for Fault Diagnosis of Non-Linear Systems From Analytical to Soft Computing Approaches***, Institute of Control and Computation Engineering, University of Zielona Góra .Poland.
- [19] M.L. Bushnell and V.D. Agrawal, ***“Essentials of Electronic Testing”***, Poster.
- [20] A. Bounceur, ***Plateforme CAO pour le test de circuits mixtes***, thèse de doctorat de l'INPG, Grenoble Avril 2007.
- [21] R.Garcia, ***REthink Fault Models for Submicron-IC Test***, Schlumberger Semiconductor Solutions, Test & Measurement World, San Jose, CA. USA. January 2001.
- [22] L.Milor, A.Sangiovanni-Vincentelli, ***Optimal test set design for analog circuits***, Proc. IEEE ICCAD, pp. 294-297, 1990
- [23] P.Lestrat & R.Leveugle, ***A flexible approach to Built-in-Test and self test implementation in VLSI circuits***. International workshop on Defect and fault tolerance in VLSI systems, Grenoble,France, p.150-161 (novembre1990).
- [24] K.J. Karimi, ***Modeling and simulation of large DC power electronics systems***, Boing Computer Services, In Proceedings of the Conference on Modelling and Simulation 1994, p.1111-1115
- [25] M Juan-carlos Hamon « ***Méthodes et outils de la conception amont pour les systèmes et les microsystèmes*** », thèse de Doctorat, institut national polytechnique de Toulouse, Février 2005.
- [26] K. Thulasiraman and M.N.S. Swamy, ***Circuit Analysis, A Graph-Theoretic Foundation***, The Electrical Engineering Handbook, Elsevier Academic Press.2005.
- [27] OrcadPspice9.2 User's Guide.
- [28] Russell Kao, « ***Piecewise Linear Models for Switch-Level Simulation*** », Technical Report: CSL-TR-92-532, Stanford University, June 1992.
- [29] N.Bourouba, ***Fault macromodeling and fault collapsing of analogue integrated circuits***, M. Phil thesis, Lancaster University, December 1989.