

Ministère de l'Enseignement Supérieur et de la Recherche Scientifique  
Université Ferhat Abbas, Sétif  
Faculté de Technologie  
Département d'Electronique

## **Thèse**

Présentée par

**TAMOUM Mohammed**

Pour l'obtention du Diplôme de

**Doctorat en Sciences**

**En Electronique**

- **Thème** -

---

# **Caractérisation Fine et Modélisation Non-Linéaire des Transistors MOSFET**

---

Soutenue le 24 / 02 / 2013 devant le jury composé de :

Président :	BOUZIT Nacerdine	Prof., Université Ferhat Abbas, Sétif
Rapporteurs :	DJAHLI Farid	Prof., Université Ferhat Abbas, Sétif
	ALLAM Rachid	M. C. HDR, Université de Poitiers, France
Examineurs :	BOUCHEMAT Mohamed	Prof., Université de Constantine
	BARTIL Arres	M. C. A., Université Ferhat Abbas, Sétif
	AÏT-KAKI Abdelaziz	M. C. A., Université d'Oum El Bouaghi

# *Dédicaces*

*Je dédie ce modeste travail A :*

*Mes parents*

*Ma femme*

*Mes enfants*

*Mes frères et mes sœurs*

*Et à tous mes amis*

*TAMDUM Mohammed*

# Remerciements

La majeure partie de ce travail a été effectuée dans le laboratoire LAll (Laboratoire d'Automatique et d'Informatique Industrielle) de l'université de Poitiers sur le site de l'UT d'Angoulême dans le cadre d'une bourse PNE, en collaboration avec le département d'électronique de l'université de Sétif.

Je tiens à remercier mon directeur de thèse, monsieur Farid DJAHLI, Professeur à l'Université Ferhat Abbas de Sétif, pour avoir proposé et corrigé ce travail et pour la confiance qu'il m'a témoignée tout au long de l'accomplissement de ce travail de Doctorat.

Mes vifs remerciements s'adressent aussi à monsieur Rachid ALLAM, Maître de Conférences HDR à l'université de Poitiers et codirecteur de thèse, pour m'avoir accepté dans son équipe. Je lui suis extrêmement reconnaissant pour l'aide, les idées, les encouragements et les conseils qu'il m'a sans cesse prodigués. Qu'il trouve, ici, l'expression de mon profond respect et ma sincère gratitude.

Je remercie également messieurs; Mohamed BOUCHEMAT, Professeur à l'université de Constantine et Abdelaziz AÏT-KAKI, M. C. A. à l'Université d'Oum El Bouaghi qui ont accepté de se déplacer pour participer au jury et examiner ce travail.

Je tiens à exprimer toute ma reconnaissance à monsieur Nacerdine BOUZIT, Professeur à l'Université Ferhat Abbas de Sétif, qui a bien voulu accepter de présider ce jury ainsi qu'à monsieur Arres BARTIL, M. C. A. à l'Université Ferhat Abbas de Sétif, qui s'est intéressé à mon travail et qui m'a fait l'honneur de participer à ce jury.

Je n'oublierai pas de remercier également tous les membres de l'équipe « Electronique et Electrostatique » du laboratoire LAll (Angoulême) pour leur sympathie, pour les discussions enrichissantes que j'ai pu avoir avec eux et pour l'extraordinaire ambiance de travail qu'ils m'ont procurée.

Enfin, j'associe à ces remerciements tous ceux qui m'ont soutenu ou qui, d'une manière ou d'une autre, ont contribué à l'élaboration de ce travail.

**Titre :** Caractérisation fine et modélisation non-linéaire des transistors MOSFET

## Résumé

Dans ce travail, nous avons développé un modèle non-linéaire pour les transistors MOS en boîtier utiles pour des applications en hyperfréquences. Le modèle développé reproduit, de manière très précise, les caractéristiques hyperfréquences des transistors MOS, tant en régime petit-signal qu'en régime grand-signal. Il prend en compte l'effet du boîtier, présent dans les composants discrets. Le modèle a été validé à travers des mesures grand-signal à l'aide d'un analyseur de réseaux vectoriel. L'extraction des paramètres du modèle est très rapide et son implémentation dans un simulateur de circuits commercial est très simple. A l'aide de ce modèle, un amplificateur de puissance a été conçu et réalisé en technologie LDMOS.

### Mots-Clés :

MOSFET, LDMOS, boîtier, RF, modélisation grand-signal, caractérisation micro-ondes, non-linéaire, amplificateur de puissance.

---

---

**Title:** Fine characterization and non-linear modeling for MOSFET transistors

## Abstract

In this work, a non-linear model for MOS transistors for RF applications has been developed. This model reproduces accurately the RF characteristics of MOS transistors in small signal as well as in large signal regime. It takes into account the effect of package, which is present in discrete transistors. The model has been validated through large signal measurements, using a vectorial network analyzer. The model's parameter extraction is very fast and its implementation in a circuit commercial simulator is very easy. As an application, a power amplifier is designed and realized in LDMOS technology.

### Key words:

MOSFET, LDMOS, package, RF, large-signal modeling, microwave characterization, non-linear, power amplifier.

---

---

**العنوان:** توصيف مفصل ونمذجة غير خطية لالترانزستورات MOSFET

## ملخص

في هذا العمل قمنا بتطوير نموذج غير خطي للترانزستور MOS في علبة يستعمل في تطبيقات الميكروويف. هذا النموذج يستنسخ بشكل دقيق جدا خصائص الترانزستورات MOS في نظامي الإشارة الصغيرة و الكبيرة. كما يأخذ بعين الاعتبار تأثير العلبة الموجودة في الترانزستورات المنفردة. تم التحقق من صحة النموذج من خلال قياسات إشارة كبيرة، وذلك باستخدام محلل شبكة اتجاها. عملية استخراج معاملات النموذج سريعة جدا كما أن عملية إدخاله في برنامج محاكاة تتم بكل بساطة. استخدمنا هذا النموذج لتصميم مكبر استطاعة في التكنولوجيا LDMOS.

**الكلمات الدالة:**

MOSFET، LDMOS، العلبة، RF، نمذجة واسعة إشارة، توصيف الميكروويف، غير الخطي، مكبر استطاعة.

# Sommaire

Introduction générale .....	1
-----------------------------	---

## Chapitre I

### Le transistor MOS et son utilisation en radiofréquences

<b>1. Introduction .....</b>	<b>4</b>
<b>2. Rappels sur les propriétés des transistors MOS .....</b>	<b>5</b>
2.1. Principe de base et structure du transistor MOS .....	6
2.2. Tension de seuil et barrière de potentiel Source-Drain .....	9
2.3. Les régimes de conduction du transistor MOS .....	15
2.4. Caractéristiques électriques idéales du transistor MOS .....	17
<b>3. Les transistors MOS pour les radiofréquences - Le transistor LDMOS ....</b>	<b>17</b>
<b>4. L'amplification de puissance micro-ondes .....</b>	<b>22</b>
4.1. Définition d'un amplificateur de puissance .....	23
4.2. Figures de mérite .....	24
4.2.1. Puissance de sortie ( $P_{out}$ ) .....	26
4.2.2. Gain en puissance ( $G_p$ ) .....	27
4.2.3. Rendement d'un amplificateur ( $\eta$ ) et rendement en puissance ajoutée (PAE) .....	29
4.2.4. Fréquence de transition ( $f_t$ ) .....	30
4.2.5. Fréquence maximale ( $f_{max}$ ) .....	32
4.3. Classes de fonctionnement .....	34
4.3.1. Classes sinusoïdales (fonctionnement linéaire) .....	36
4.3.2. Classes commutées, fonctionnement non-linéaire .....	40
<b>5. Conclusion .....</b>	<b>42</b>

## Chapitre II

### Modèle petit-signal et caractérisation du transistor LDMOS

<b>1. Introduction .....</b>	<b>43</b>
<b>2. Exigences de la modélisation .....</b>	<b>44</b>
<b>3. Types de modélisation .....</b>	<b>45</b>
3.1. La modélisation physique .....	45
3.2. La modélisation phénoménologique (ou empirique) .....	47
3.3. La modélisation à base de données expérimentales (ou par tables) .....	48
<b>4. Choix de la modélisation .....</b>	<b>48</b>
<b>5. Méthodologie suivie pour l'extraction du modèle électrique .....</b>	<b>49</b>
<b>6. Choix du schéma équivalent .....</b>	<b>51</b>

6.1. Schéma équivalent électrique petit-signal .....	51
6.2. Eléments intrinsèques .....	53
6.3. Eléments extrinsèques .....	55
6.4. Eléments du boîtier .....	57
6.5. Facteurs d'échelle .....	58
<b>7. Les mesures sur les transistors .....</b>	<b>58</b>
7.1. Les mesures en continu .....	58
7.2. Les mesures hyperfréquences .....	61
7.2.1. Paramètres de répartition .....	61
7.2.2. Mesure des paramètres S .....	63
7.2.3. Etalonnage .....	67
<b>8. Détermination des éléments électriques du modèle .....</b>	<b>68</b>
8.1. Extraction des éléments du boîtier .....	69
8.2. Extraction des éléments extrinsèques .....	71
8.3. Extraction des éléments intrinsèques .....	82
<b>9. Intégration du schéma équivalent dans le simulateur .....</b>	<b>88</b>
<b>10. Validation du modèle en régime petit-signal .....</b>	<b>90</b>
<b>11. Conclusion .....</b>	<b>97</b>

## Chapitre III

### Modélisation non-linéaire du transistor LDMOS

<b>1. Introduction .....</b>	<b>99</b>
<b>2. Approche fondamentale pour la modélisation électrique grand-signal ...</b>	<b>100</b>
<b>3. Les non-linéarités dans les composants - Modélisation non-linéaire .....</b>	<b>100</b>
3.1. Exemple d'une non-linéarité dans un composant : effets non-linéaires ..	101
3.2. Distorsion harmonique .....	102
<b>4. Evolution des éléments intrinsèques en fonction de la polarisation .....</b>	<b>104</b>
4.1. Evolution des éléments intrinsèques en fonction de $V_{ds}$ .....	104
4.2. Evolution des éléments intrinsèques en fonction de $V_{gs}$ .....	106
4.3. Hypothèses et approximations pour le modèle des MOSFET .....	109
<b>5. Formulation mathématique du modèle .....</b>	<b>109</b>
5.1. Source de courant grand-signal $I_{ds}$ .....	109
5.2. Capacité grille-source $C_{gs}$ .....	112
<b>6. Implémentation du modèle dans un simulateur commercial .....</b>	<b>113</b>
6.1. Description des éléments non-linéaires dans ADS .....	114
6.1.1. Courant $I_{ds}$ dans le simulateur ADS .....	115
6.1.2. Charge $Q_{gs}$ dans le simulateur ADS .....	116
6.2. Schéma équivalent électrique dans le simulateur ADS .....	117
<b>7. Validation des équations .....</b>	<b>119</b>
<b>8. Conclusion .....</b>	<b>121</b>

Chapitre IV  
**Validation du modèle non-linéaire :**  
**Application à la conception de circuits micro-ondes**

<b>1. Introduction .....</b>	<b>122</b>
<b>2. Validation du modèle au travers de mesures .....</b>	<b>122</b>
<b>3. Réalisation d'un amplificateur de puissance en classe AB.....</b>	<b>123</b>
3.1. Schéma de l'amplificateur de puissance réalisé.....	125
3.2. Description du banc de mesure de puissance.....	130
3.3. Problèmes d'oscillations rencontrés lors de la réalisation du banc de mesure.....	132
<b>4. Comparaisons entre mesures et simulations .....</b>	<b>133</b>
<b>5. Validation et discussion .....</b>	<b>135</b>
<b>6. Conclusion .....</b>	<b>137</b>
<b>Conclusion générale .....</b>	<b>138</b>
<b>Annexe : Matrices de passage .....</b>	<b>142</b>
<b>Références bibliographiques .....</b>	<b>143</b>

## Liste des abréviations et acronymes

ADS	<b>A</b> dvanced <b>D</b> esign <b>S</b> ystem
BiCMOS	<b>B</b> ipolar <b>C</b> MOS
BSIM	<b>B</b> erkeley <b>S</b> hort-channel <b>I</b> GFET <b>M</b> odel
CAO	<b>C</b> onception <b>A</b> ssistée par <b>O</b> rdinateur
CATV	<b>C</b> able <b>A</b> ntenna <b>T</b> V
CMOS	<b>C</b> omplementary <b>M</b> etal <b>O</b> xide <b>S</b> emiconductor
CP1dB	<b>P</b> oint de <b>C</b> ompression de gain à <b>1dB</b>
DC	<b>D</b> irect <b>C</b> urrent
DMOS	<b>D</b> iffused <b>M</b> etal <b>O</b> xide <b>S</b> emiconductor
DUT	<b>D</b> evice <b>U</b> nder <b>T</b> est
EKV	<b>E</b> nz- <b>K</b> rummenacher- <b>V</b> ittoz
EPFL	<b>E</b> cole <b>P</b> olytechnique <b>F</b> édérale de <b>L</b> ausanne
FET	<b>F</b> ield <b>E</b> ffect <b>T</b> ransistor
GaAs	<b>A</b> rséniure de <b>G</b> allium
GaN	<b>N</b> itride de <b>G</b> allium
HF	<b>H</b> aute <b>F</b> réquence
HiSIM	<b>H</b> iroshima-university <b>S</b> TARC <b>I</b> GFET <b>M</b> odel
ITRS	<b>I</b> nternational <b>T</b> echnology <b>R</b> oadmap for <b>S</b> emiconductors
LAII	<b>L</b> aboratoire d' <b>A</b> utomatique et d' <b>I</b> nformatique <b>I</b> ndustrielle
LDD	<b>L</b> ightly <b>D</b> oped <b>D</b> rain
LDMOS	<b>L</b> aterally <b>D</b> iffused <b>M</b> etal <b>O</b> xide <b>S</b> emiconductor
LNA	<b>L</b> ow <b>N</b> oise <b>A</b> mplifier
LRL	<b>L</b> ine - <b>R</b> eflect - <b>L</b> ine
MEMS	<b>M</b> icro- <b>E</b> lectro- <b>M</b> echanical <b>S</b> ystem
MESFET	<b>M</b> Etal <b>S</b> emiconductor <b>F</b> ield <b>E</b> ffect <b>T</b> ransistor
MIT	<b>M</b> assachusetts <b>I</b> nstitute of <b>T</b> echnology
MM	<b>M</b> OSFET <b>M</b> odel
MOS	<b>M</b> etal <b>O</b> xide <b>S</b> emiconductor
MOSFET	<b>M</b> etal <b>O</b> xide <b>S</b> emiconductor <b>F</b> ield <b>E</b> ffect <b>T</b> ransistor
NMOS	<b>T</b> ransistor <b>M</b> OS ayant un canal de type <b>N</b>
PA	<b>P</b> ower <b>A</b> mplifier

PAE	<b>P</b> ower <b>A</b> dded <b>E</b> fficiency
pHEMT	<b>P</b> seudomorphic <b>H</b> EMT
PMOS	Transistor <b>MOS</b> ayant un canal de type <b>P</b>
RMS	<b>R</b> oot <b>M</b> ean <b>S</b> quare
RPS	<b>R</b> ésine <b>P</b> hoto <b>S</b> ensible
RF	<b>R</b> adio <b>F</b> réquences
SE	<b>S</b> chéma <b>E</b> quivalent
Si	<b>S</b> ilicium
SiO <sub>2</sub>	<b>D</b> ioxyde de <b>S</b> ilicium
SoC	<b>S</b> ystem <b>o</b> n <b>C</b> hip
SOLT	<b>S</b> hort - <b>O</b> pen - <b>L</b> oad - <b>T</b> hru
SP	<b>S</b> urface <b>P</b> otential
STARC	<b>S</b> emiconductor <b>T</b> echnology <b>A</b> cademic <b>R</b> esearch <b>C</b> enter
TEC	Transistor à <b>E</b> ffet de <b>C</b> hamp
TMOS	Transistor <b>MOS</b>
UTF	<b>U</b> niversal <b>T</b> est <b>F</b> ixture
VDMOS	<b>V</b> ertically <b>D</b> iffused <b>M</b> etal <b>O</b> xide <b>S</b> emiconductor
VNA	<b>V</b> ectorial <b>N</b> etwork <b>A</b> nalyser
VSAT	<b>V</b> ery <b>S</b> mall <b>A</b> perture <b>T</b> erminal
WiMax	<b>W</b> orld <b>I</b> nteroperability for <b>M</b> icrowave <b>A</b> ccess
WLAN	<b>W</b> ireless <b>L</b> ocal <b>A</b> ccess <b>N</b> etwork

## Liste des symboles

Symbole	Unité	Définition
$a_1$		Puissance d'onde électromagnétique transverse incidente au port 1
$a_2$		Puissance d'onde électromagnétique transverse incidente au port 2
$b_1$		Puissance d'onde électromagnétique transverse réfléchie au port 1
$b_2$		Puissance d'onde électromagnétique transverse réfléchie au port 2
$C_{ds}$	F	Capacité drain-source
$C_{dsp}$	F	Capacité du boîtier entre le drain et la source
$C_{gd}$	F	Capacité grille-drain
$C_{gs}$	F	Capacité grille-source
$C_{gsp}$	F	Capacité du boîtier entre la grille et la source
$C_{ox}$	F.cm <sup>-2</sup>	Capacité de l'oxyde par unité de surface
$C_{pd}$	F	Capacité de plots du drain
$C_{pg}$	F	Capacité de plots de la grille
E		Erreur par point
$E_0$	e.V	Energie minimale d'un électron dans le vide
$E_c$	e.V	Niveau de conduction
$E_{ci}$	e.V	Niveau de conduction de l'isolant
$E_f$	e.V	Niveau de FERMI
$E_{fm}$	e.V	Niveau de FERMI du métal
$E_{fs}$	e.V	Niveau de FERMI du semi-conducteur
$E_g$	e.V	Largeur de la bande interdite
$E_i$	e.V	Niveau intrinsèque
$E_{max}$		Erreur maximale
$E_{rel}$	%	Erreur relative moyenne
$E_v$	e.V	Niveau de valence
f	Hz	Fréquence
$f_c$	Hz	Fréquence de coupure
$f_{max}$	Hz	Fréquence maximale d'oscillation pour laquelle le gain en courant U est égal à l'unité
$f_t$	Hz	Fréquence de transition pour laquelle le gain $H_{21}$ est égal à l'unité
$g_d, G_d, g_{ds}$	$\Omega^{-1}$	Conductance du drain
$g_{d\ ext}$	$\Omega^{-1}$	Conductance du drain extrinsèque
$g_m, G_m$	$\Omega^{-1}$	Transconductance
$g_{m\ ext}$	$\Omega^{-1}$	Transconductance extrinsèque
$G_p$		Gain en puissance

$G_u, U$		Gain de MASON ou gain unilatéral
$H_{21}$		Paramètre d'indice 21 de la matrice hybride (H) d'un quadripôle, Représente le gain en courant
$I_{dc}$	A	Courant continu
$I_{ds}, I_d$	A	Courant drain-source
$I_{dsat}$	A	Courant drain-source à la saturation ( $V_{ds} = V_{dsat}$ )
$I_{gd}$	A	Courant grille-drain
$I_{gs}$	A	Courant grille-source
$I_{in}, I_1$	A	Courant d'entrée
$I_{out}, I_2$	A	Courant de sortie
$k$	$J.K^{-1}$	Constante de BOLTZMANN ( $k = 1.38 \times 10^{-23} J.K^{-1}$ )
$L_d$	H	Inductance d'accès du drain
$L_{dp}$	H	Inductance du boîtier, côté drain
$L_{eff}$	cm	Longueur effective du canal
$L_g$	cm	Longueur de la grille
$L_g$	H	Inductance d'accès de la grille
$L_{gp}$	H	Inductance du boîtier, côté grille
$L_s$	H	Inductance d'accès de la source
$N_a$	$cm^{-3}$	Dopage du substrat, Densité de dopants accepteurs
$n_i$	$cm^{-3}$	Concentration intrinsèque des porteurs dans le silicium
$P_{dc}$	dBm	Puissance consommée par le composant (continue)
$P_{dissipée}$	dBm	Puissance dissipée
$P_{in}, P_{en}, P_{abs}$	dBm	Puissance absorbée par le composant (d'entrée)
$P_{inc}$	dBm	Puissance disponible à l'entrée du composant (incidente)
$P_{out}, P_s$	dBm	Puissance délivrée à la charge (de sortie)
$P_{outmax}$	dBm	Puissance de sortie maximale relative
$q$	C	Charge de l'électron ( $1.602 \times 10^{-19} C$ )
$Q_d$	C	Charge accumulée sous l'électrode de drain
$Q_{dep}$	C	Charge de déplétion dans le substrat
$Q_g$	C	Charge totale stockée sur la grille
$Q_{gd}$	C	Charge grille-drain
$Q_{gs}$	C	Charge grille-source
$R_d$	$\Omega$	Résistance d'accès du drain
$R_g$	$\Omega$	Résistance d'accès de la grille
$R_i$	$\Omega$	Résistance intrinsèque liée aux effets non quasi statiques
$R_s$	$\Omega$	Résistance d'accès de la source
$S_{ij}$		Paramètres de répartition (S : Scattering) d'indice i et j d'un multipôle
$t_{ox}, t_{SiO2}$	cm	Epaisseur de l'oxyde
$T$	$K^\circ$	Température
$U, G_u$		Gain de MASON ou gain unilatéral
$V_b$	V	Tension de polarisation appliquée au substrat
$V_d$	V	Tension de polarisation appliquée au drain
$V_{dc}$	V	Tension continu

$V_{ds}$	V	Différence de potentiel drain-source
$V_{dsat}$	V	Différence de potentiel drain-source dans la région de saturation
$V_{fb}$	V	Tension de bandes plates
$V_g$	V	Tension de polarisation appliquée à la grille
$V_{gd}$	V	Différence de potentiel grille-drain
$V_{gs}$	V	Différence de potentiel grille-source
$V_{gsm}$	V	Polarisation de grille au repos
$V_{GSQ}$	V	Polarisation de grille maximale
$V_{in}, V_1$	V	Tension d'entrée
$V_{mg}$	V	Tension $V_{gs}$ pour laquelle $\Psi_s = \Phi_f$ à la source
$V_{out}, V_2$	V	Tension de sortie
$V_p$	V	Tension de pincement
$V_s$	V	Tension de polarisation appliquée à la source
$V_{th}, V_t$	V	Tension de seuil
$W$	cm	Largeur du canal
$X_j$	cm	Profondeur des jonctions métallurgiques
$Y_{ij}$	$\Omega^{-1}$	Paramètres admittance d'indice i et j d'un multipôle
$Z_c$	$\Omega$	Impédance caractéristique
$Z_{ij}$	$\Omega$	Paramètres impédance d'indice i et j d'un multipôle
$\omega$	Rad/s	Pulsation
$\epsilon_0$	$F.m^{-1}$	Permittivité absolue du vide ( $8.85 \times 10^{-12} F.m^{-1}$ )
$\epsilon_{ox}$		Permittivité relative de l'oxyde (3.82)
$\epsilon_r$		Permittivité relative (constante diélectrique)
$\epsilon_s, \epsilon_{sc}, \epsilon_{si}$		Permittivité relative du semi-conducteur (11.9)
$\mu, \mu_{eff}$	$cm^2/Vs$	Mobilité effective des porteurs dans le canal
$\mu_r$	$cm^2/Vs$	Mobilité relative
$\phi_d$	J	Hauteur de barrière d'une jonction PN non polarisée
$\phi_f$	V	Potentiel de FERMI
$\phi_m$	V	Potentiel de sortie du métal
$\phi_s$	V	Potentiel de surface
$\Psi_s$	V	Potentiel de l'interface semi-conducteur/isolant
$\chi_i$	e.V/C	Affinité électronique de l'isolant
$\chi_s$	e.V/C	Affinité électronique du semi-conducteur
$\eta$		Rendement
$\eta_a$		Rendement en puissance ajoutée (PAE)
$\eta_{max}$		Rendement maximal
$\delta$	Rad	Angle de conduction
$\varphi$	Rad	Angle d'ouverture

# **Introduction générale**

## Introduction générale

Le marché des télécommunications demande, aujourd'hui, des amplificateurs de puissance pour les stations de base à bas coût, linéaires et possédant un rendement élevé. Les puissances requises pour ces amplificateurs peuvent dépasser les 120 W pour une tension d'alimentation inférieure à 30V. La technologie LDMOS-Silicium (filière des transistors MOS), qui possède tous les atouts requis pour satisfaire ce besoin, est largement utilisée pour la réalisation des amplificateurs de puissance des stations de base et des relais pour les systèmes de communications sans fil [1,2] (selon l'ITRS, 95% du marché des stations de base en 2009 [3]). Cette technologie est donc devenue un standard pour une gamme de fréquences qui reste limitée à environ 3GHz.

Un grand intérêt est accordé au développement de modèles non-linéaires de ce type de composant afin de concevoir et simuler les circuits [4]. Les modèles des transistors doivent prédire le comportement du composant dans les deux régimes de fonctionnement petit-signal et grand-signal.

De nombreux modèles existent pour les transistors MOS, comme le BSIM développé à l'université de Berkeley en Californie, le MOS MODEL (MM) développé par Philips, le modèle HiSIM de l'université d'Hiroshima [5], ou le modèle EKV de l'Ecole Polytechnique Fédérale de Lausanne (EPFL). Ce sont, pour la majorité, des modèles de type physique se basant sur les lois des semi-conducteurs.

La construction d'un modèle grand-signal d'un composant, utilisé pour la simulation RF, nécessite une caractérisation fine. Généralement, on préfère utiliser des composants en puce pour éviter les effets du boîtier sur les performances du composant. Pour cela, il faut aussi disposer d'un système de mesure sous pointes adéquat. Les transistors LDMOSFET de puissance sont disponibles généralement encapsulés en boîtier. Souvent les constructeurs ne donnent pas les informations nécessaires sur le boîtier.

La problématique de cette thèse s'est exprimée à travers le besoin de modèles RF pour les technologies MOS en boîtier. Or, les modèles compacts (BSIM, MM, EKV et HiSIM) ne sont pas adaptés pour les technologies émergentes, à cause de leur complexité et du temps élevé pour l'extraction des paramètres. Par conséquent, la solution qui pouvait contourner ce problème était l'utilisation d'un modèle empirique. C'est ainsi que nous nous sommes penchés sur le développement d'un modèle grand-signal rapide à extraire, facile à utiliser dans les divers environnements de CAO et tenant compte des effets du boîtier souvent ignorés par les autres modèles.

Cette thèse est composée de quatre chapitres :

Le premier chapitre introduit les bases de la compréhension de tout ce qui motive cette étude. Après un rappel sur les propriétés des transistors MOS standards, leur principe de fonctionnement et leurs caractéristiques statiques, nous verrons la nécessité d'utiliser le transistor MOS dans le domaine des radiofréquences. Le cas du transistor LDMOS sera mis en relief. Et, comme le transistor LDMOS est souvent utilisé pour la réalisation des amplificateurs de puissance (PA), nous abordons dans ce chapitre un bref rappel sur les PA. Ce rappel couvre la définition d'un amplificateur de puissance RF, les figures de mérite les plus fréquemment utilisées et enfin les différentes classes de fonctionnement.

Dans le second chapitre, nous présentons une caractérisation fine d'un transistor LDMOSFET monté en boîtier en vue de la construction de son modèle non-linéaire. Le même composant caractérisé peut être utilisé pour la réalisation de l'amplificateur de puissance souhaité, ce qui évitera une dispersion technologique due à l'utilisation d'un autre composant de la même série. La technique de caractérisation utilisée est basée sur la méthode Dambrine [6]. Le composant LDMOSFET choisi est un BLF2043F (NXP Semiconductors). Il est placé dans une cellule spécifique avec un dissipateur thermique. Le boîtier a été obtenu en enlevant la puce du transistor et a fait l'objet d'une caractérisation séparée. Les paramètres S sont mesurés dans la bande de fréquence 0.2-2.7GHz, pour plusieurs points de polarisation. Une comparaison entre les

évolutions de ces paramètres  $S$  mesurés et calculés, à partir du schéma équivalent obtenu, permet de valider la méthode utilisée.

Le troisième chapitre est entièrement consacré à la présentation du modèle grand-signal qui a été développé. Nous discutons tout d'abord, l'approche de la modélisation grand-signal nécessaire à l'élaboration du modèle. Ensuite, nous proposons une analyse sur les éléments intrinsèques en étudiant leur évolution en fonction de la polarisation de drain  $V_{ds}$  et de grille  $V_{gs}$ , et cela, afin d'écarter les éléments qui seront pris comme non-linéaires dans notre modèle. Par la suite, nous donnons les équations grand-signal élaborées pour chaque élément non-linéaire, ainsi que la technique d'extraction de tous les paramètres du modèle. Nous allons ensuite, détailler la méthode d'implémentation du modèle non-linéaire dans un simulateur électrique de circuits. Enfin, nous présentons la validation des équations du modèle, à travers des comparaisons entre simulations et mesures.

Le dernier chapitre de cette thèse est réservé à la validation de notre modèle à travers la conception de circuits micro-ondes. Dans ce contexte, nous décrivons l'amplificateur de puissance que nous avons conçu à l'aide du modèle non-linéaire du transistor LDMOS, ainsi que le banc de mesure que nous avons utilisé. Puis, nous comparons les résultats de mesures obtenus aux résultats de simulation.

Enfin, nous terminerons par une conclusion générale et des perspectives.

# *Chapitre 1*

## **Le transistor MOS et son utilisation en radiofréquences**

## 1. Introduction

D'une manière générale, les circuits produits par l'industrie des semi-conducteurs voient leurs fonctionnalités, leurs performances et leur autonomie augmenter alors que leur poids et leur taille diminuent continuellement. L'innovation de l'industrie a été particulièrement stimulée par le développement du secteur des microprocesseurs. Depuis l'explosion des applications d'échanges d'informations, les technologies radiofréquences (RF) et analogiques permettent une croissance rapide du marché des communications sans-fil et représentent des technologies essentielles et critiques pour de nombreux manufacturiers [7].

Les communications sans fil, dans un sens large, sont aujourd'hui inséparables de la vie quotidienne moderne et continuent à s'y intégrer, à commencer par le téléphone portable, les réseaux Internet sans fil (WLAN), les systèmes blue-tooth, les radars anticollision de véhicules, jusqu'à la souris et le clavier de l'ordinateur sans fil. Toutes ces applications font partie intégrale du domaine des radiofréquences, et elles se sont développées grâce au progrès des transistors et de leurs performances [8]. Cette partie grand public du marché des produits sans-fil est très sensible aux coûts. Ainsi le choix entre plusieurs technologies, comparables en termes d'impératifs techniques, se fera sur la capacité à être mature rapidement pour une production de masse [7].

Depuis la naissance du transistor jusqu'au début des années 80, deux technologies sont utilisées dans le domaine des RF : Le transistor bipolaire sur Silicium (Si) et le transistor MESFET (Metal Semiconductor Field Effect Transistor) sur Arséniure de Gallium (GaAs). A partir des années 80, et petit à petit, de nouvelles technologies font leur apparition dans les RF, et notamment les HEMT (High Electron Mobility Transistor), les transistors bipolaires à hétérojonction et récemment les transistors MOSFET (Metal Oxide Semiconductor Field Effect Transistor) sur Si [8].

Malgré la position dominante du transistor MOSFET sur Si sur le marché, il est utilisé essentiellement pour les applications numériques. L'intérêt d'utiliser cette technologie dans le domaine des RF est né récemment. Ceci vient avec l'évolution des performances RF des transistors MOS, directement liées au progrès de la lithographie et à la réduction de la longueur de grille. L'intérêt porté pour les technologies Si, et plus précisément pour les transistors MOS, dans le domaine des hyperfréquences, repose sur trois points [9] :

- C'est une technologie peu coûteuse par rapport aux technologies III-V [1]. Elle est très mature d'un point de vue industriel.
- La quasi-totalité des circuits numériques sont réalisés avec cette technologie. On peut donc envisager des applications mixtes (analogique/numérique) sur la même puce (SoC : System on Chip) [10].
- Elle requiert de faibles tensions de polarisation et présente une consommation en puissance très faible [11].

Après un bref rappel sur le principe du transistor MOS standard, son principe de fonctionnement ainsi que ses caractéristiques statiques, ce chapitre introduit les bases de la compréhension de tout ce qui motive cette étude.

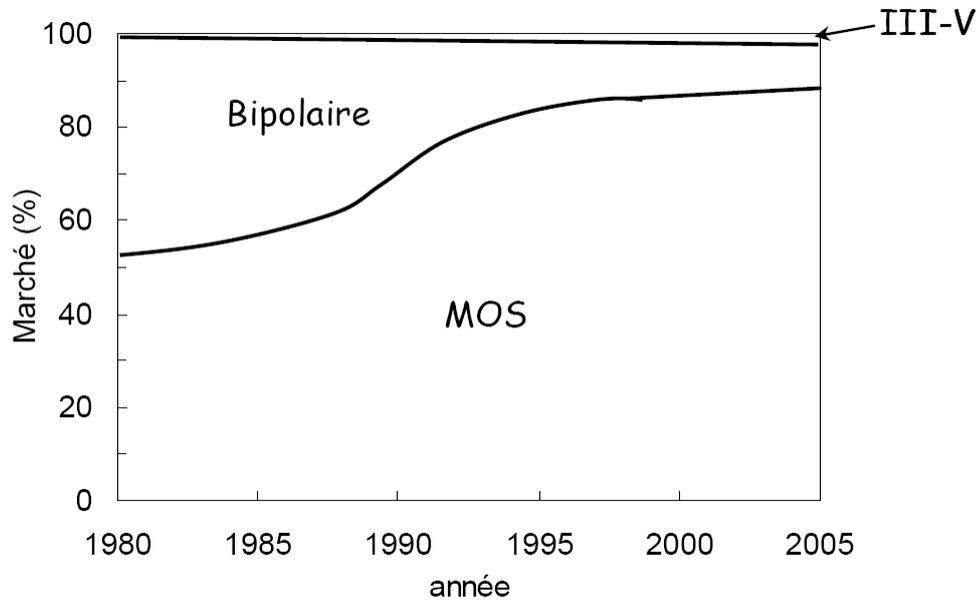
Ainsi, nous verrons la nécessité d'utiliser le transistor MOS dans le domaine des radiofréquences. Le cas du transistor LDMOS sera mis en relief avec les détails de ses caractéristiques et propriétés RF.

Par ailleurs, le transistor LDMOS est surtout utilisé pour réaliser des amplificateurs de puissance (PA) [4], c'est pour cela que nous terminons notre chapitre par un rappel des PA. Ce rappel couvre la définition d'un amplificateur de puissance RF, les figures de mérite les plus fréquemment utilisées et enfin les différentes classes de fonctionnement.

## **2. Rappels sur les propriétés des transistors MOS**

Le transistor MOS est, de loin, le dispositif le plus répandu dans la production actuelle de composants semi-conducteurs, car il est le composant de

base de la technologie CMOS (Complementary MOS), qui, à elle seule, englobe plus de 80 % (figure I.1) de la production mondiale de circuits intégrés.



**Figure I.1** - Part du marché des différentes technologies semi-conducteur [8,12]

Le transistor MOSFET se caractérise par le fait que la grille, par l'effet de champ électrique, contrôle à travers l'oxyde de grille la densité de porteurs dans le canal du dispositif et ainsi l'intensité du courant dans le canal. Le canal est relié de part et d'autre à deux régions fortement dopées entre lesquelles est appliquée une tension donnant lieu à la circulation du courant [13,14].

### 2.1. Principe de base et structure du transistor MOS

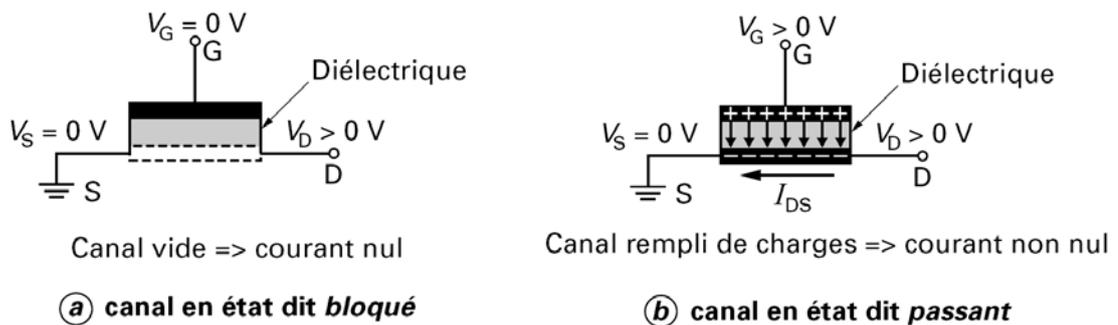
Le principe du transistor MOS consiste à moduler la densité de porteurs du canal en jouant sur la polarisation de grille ( $V_{gs}$ ). Celle-ci permet, par le biais du champ électrique ainsi créé, d'attirer une quantité de porteurs à la surface du semi-conducteur. Une couche conductrice se forme alors à ce niveau et permet la libre circulation d'un courant ( $I_{ds}$ ), sous réserve de l'application d'un champ électrique (i.e. d'une tension  $V_{ds}$ ). Cette couche conductrice est appelée « couche d'inversion » ou parfois « canal » [15-17].

La figure I.2 illustre l'effet de champ dans un transistor MOS schématisé :

- l'une des électrodes (grille G) commande l'intensité du champ électrique et par conséquent la densité de charges électriques mobiles ;
- l'autre (canal) possède deux contacts (dits de source S et de drain D) à ses extrémités, entre lesquels est appliquée une différence de potentiel.

Le canal conduit plus ou moins de courant en fonction de son niveau de remplissage en charges mobiles. De ce fait, le transistor MOS peut aussi être considéré comme une résistance modulable électrostatiquement et reliant deux contacts (source et drain).

En résumé, un transistor MOS (TMOS) peut être considéré comme une capacité plane, à la différence près que les charges d'une des faces sont mises en mouvement latéral. Dans cette structure, la tension de grille ( $V_G$ ) commande la quantité de charges et la tension de drain ( $V_D$ ) les met en mouvement.



**Figure I.2** - Effet de champ dans un transistor MOS [14]

Le transistor MOS moderne contient une grille G en silicium polycristallin (plus rarement en d'autres matériaux, par exemple, en métal) [18-21], séparée du substrat en silicium monocristallin par une couche mince de diélectrique, le plus souvent  $\text{SiO}_2$ . Les régions de source et drain font partie intégrante du substrat, dont ils diffèrent par leur type de conduction.

Suivant le type des porteurs assurant le passage du courant, on peut parler de transistors MOS à canal N (ou NMOS, conduction par électrons) et de transistors à canal P (ou PMOS, conduction par trous).

La figure I.3 présente l'architecture d'un transistor MOS sur silicium de type N. L'architecture classique est constituée de quatre terminaux qui permettent

d'analyser le comportement électrique du transistor : la grille ( $V_g$ ), la source ( $V_s$ ), le drain ( $V_d$ ) et le contact du substrat ( $V_b$ ).

La structure du transistor étant identique selon sa largeur, on le représente communément dans le plan (x,y) [22]. La figure I.3.b donne un exemple plus détaillé.

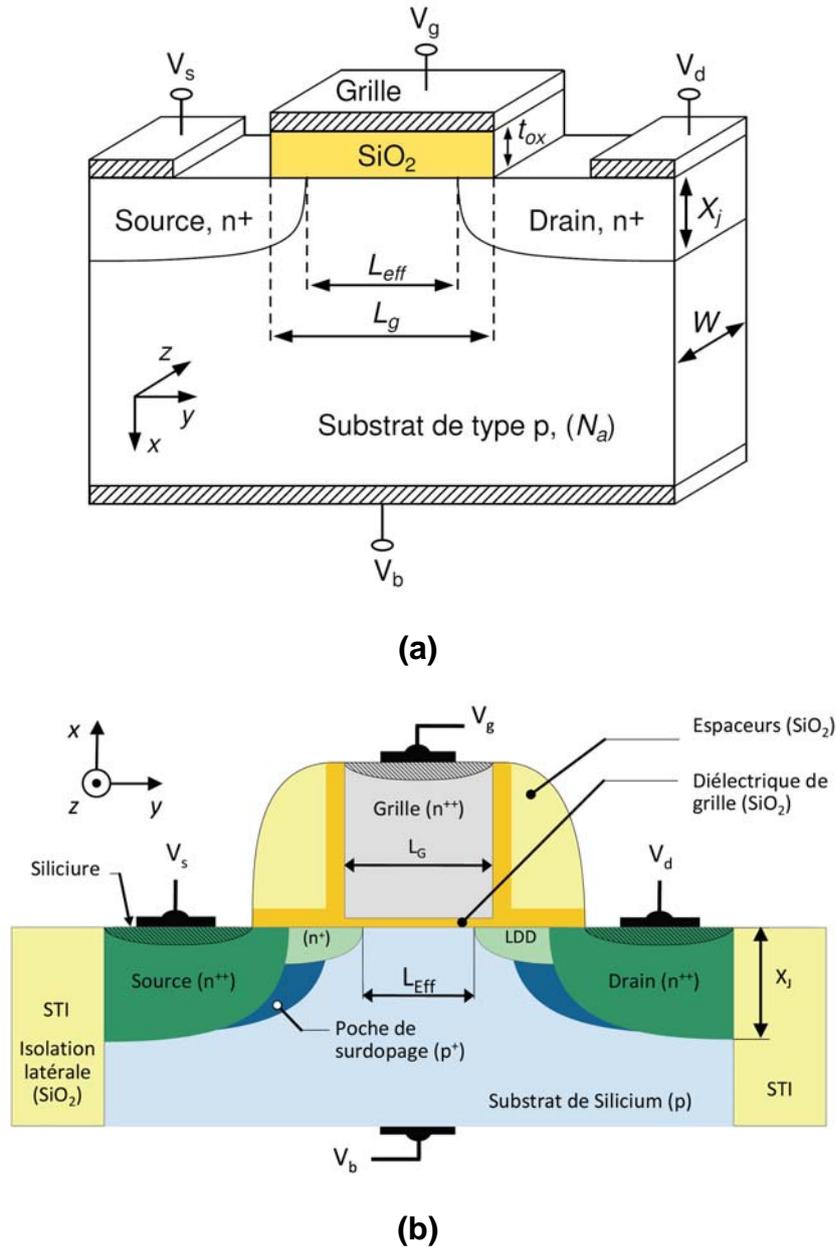


Figure I.3 - Architecture d'un transistor NMOS [5,15]

Enfin, dans le MOSFET, il existe deux modes de fonctionnement [23-25] :

- « à enrichissement » qui correspond à une conduction par canal d'inversion induit.
- « à appauvrissement » qui correspond à une conduction par porteurs majoritaires (canal enterré préexistant physiquement que l'on bloque par désertion).

Nous considérerons par la suite le cas d'un transistor nMOS à enrichissement, où la conduction est assurée par les électrons, porteurs minoritaires du substrat.

## 2.2. Tension de seuil et barrière de potentiel Source-Drain

Le diagramme de bandes du transistor MOS idéal en condition de bandes plates est donné sur la figure I.4 pour un substrat dopé P. Il reprend l'ensemble des notations utilisées pour caractériser l'empilement grille/canal [26].

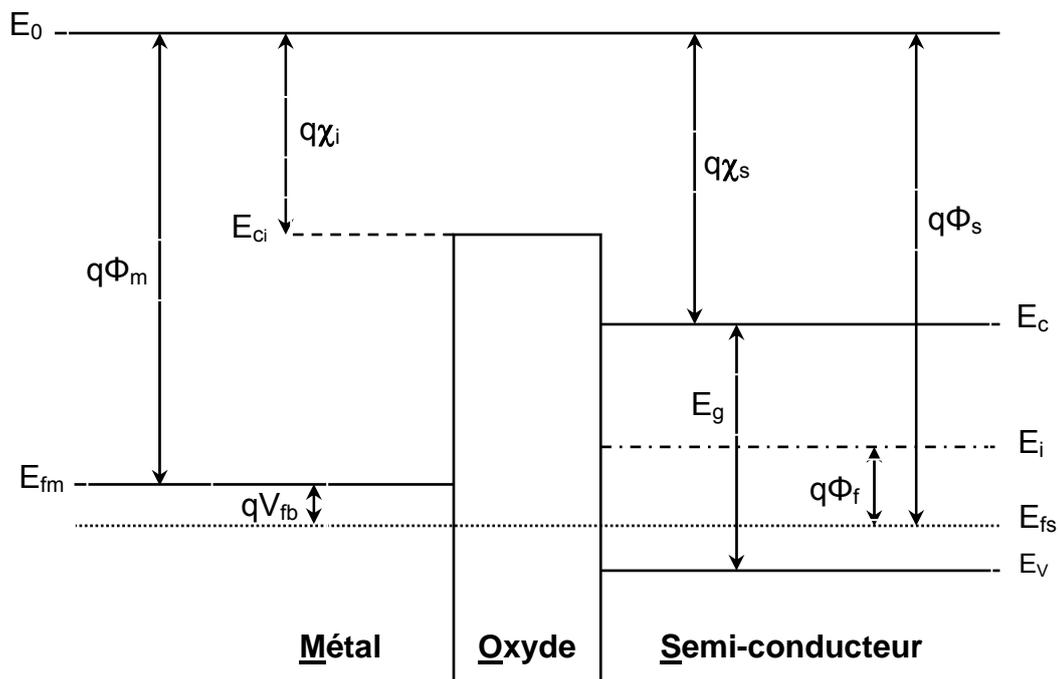


Figure I.4 - Diagramme d'énergie d'une structure MOS

On a :

$E_c$ ,  $E_v$ ,  $E_i$  : sont respectivement le niveau de conduction, de valence et intrinsèque.

$E_0$  : Energie minimale d'un électron dans le vide.

$\Phi_f$  : Potentiel de la jonction.

$q\Phi_m = E_0 - E_{fm}$  : Travail de sortie du métal.

$q\Phi_s = E_0 - E_{fs}$  : Travail de sortie du semi-conducteur.

$q\chi_s = E_0 - E_c$  : Affinité électronique du semi-conducteur.

$q\chi_i = E_0 - E_{ci}$  : Affinité électronique de l'isolant.

$q\Phi_f = E_i - E_{fs}$  : Position du niveau de fermi intrinsèque par rapport au niveau de fermi extrinsèque.

D'après la figure I.4, on a :

$$q\Phi_m - \left( q\chi_s + \frac{E_g}{2} + q\Phi_f \right) = 0 \quad (I.1)$$

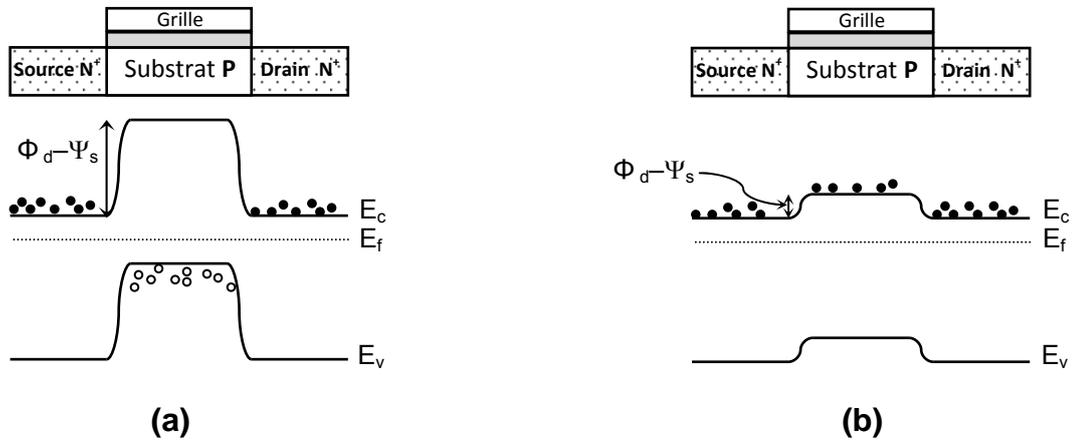
Le potentiel  $\Phi_f$  définissant le niveau de fermi  $E_{fs} = E_i - q\Phi_f$  dans le volume du semi-conducteur est donné par l'équation suivante [16] :

$$\Phi_f = \frac{kT}{q} \ln \left( \frac{N_a}{n_i} \right) \quad (I.2)$$

Où  $N_a$  est la densité de dopants accepteurs.

La tension de bandes plates  $V_{fb} = \Phi_m - \Phi_s$  est la tension de grille qu'il faut appliquer pour que le potentiel  $\Psi_s$  à l'interface semi-conducteur/isolant (c.-à-d. la courbure de bande entre la surface et le volume du semi-conducteur) soit nul.

A cause de la nature différente des dopants du transistor, une barrière d'énergie potentielle, de hauteur  $\Phi_d$ , apparaît entre le canal et les régions source et drain (correspondant à la barrière de potentiel d'une jonction N<sup>+</sup>P). Cette barrière empêche le passage des porteurs entre la source et le drain si aucune polarisation n'est appliquée sur le dispositif (figure 1.5).



**Figure I.5** - Modification de la barrière de potentiel source-drain en fonction de la polarisation de grille  $V_{gs}$ . (a) régime d'accumulation (état bloqué), (b) régime d'inversion (état passant).

La tension de grille  $V_{gs}$  module la hauteur de cette barrière [15] et les différents régimes de fonctionnement du transistor nMOS sont donc définis selon les valeurs de  $\psi_s$  [16,26] :

- $\Psi_s < 0$  soit  $V_{gs} < V_{fb}$  : régime d'accumulation (figure I.6 a)

Les porteurs majoritaires du substrat sont attirés à l'interface  $\text{SiO}_2/\text{Si}$ , la capacité est en accumulation. La barrière côté source pour les électrons vaut alors  $\Phi_d - \Psi_s$  à la surface du semi-conducteur, le transistor est à l'état bloqué.

- $\Psi_s = 0$ ,  $V_{gs} = V_{fb}$  : condition de bandes plates (figure I.6 b)

Les bandes d'énergie sont plates et aucune charge n'est accumulée aux deux interfaces de l'oxyde. Les concentrations de porteurs majoritaires et minoritaires sont constantes dans toute la profondeur du silicium. La tension électrique à appliquer entre la grille et le substrat pour obtenir cette configuration est appelée tension de bandes plates  $V_{fb}$ .

- $0 < \Psi_s < \Phi_f$ ,  $V_{fb} < V_{gs} < V_{mg}$  : régime de déplétion ou de désertion (figure I.6 c)

Les porteurs majoritaires sont repoussés de la surface du semi-conducteur et une zone désertée en porteurs se crée. Le transistor ne conduit pas.  $V_{mg}$  étant la tension  $V_{gs}$  pour laquelle  $\Psi_s = \Phi_f$  à la source.

- $\Phi_f < \Psi_s < 2\Phi_f$ ,  $V_{mg} < V_{gs} < V_{th}$  : régime d'inversion faible (figure I.6 d)

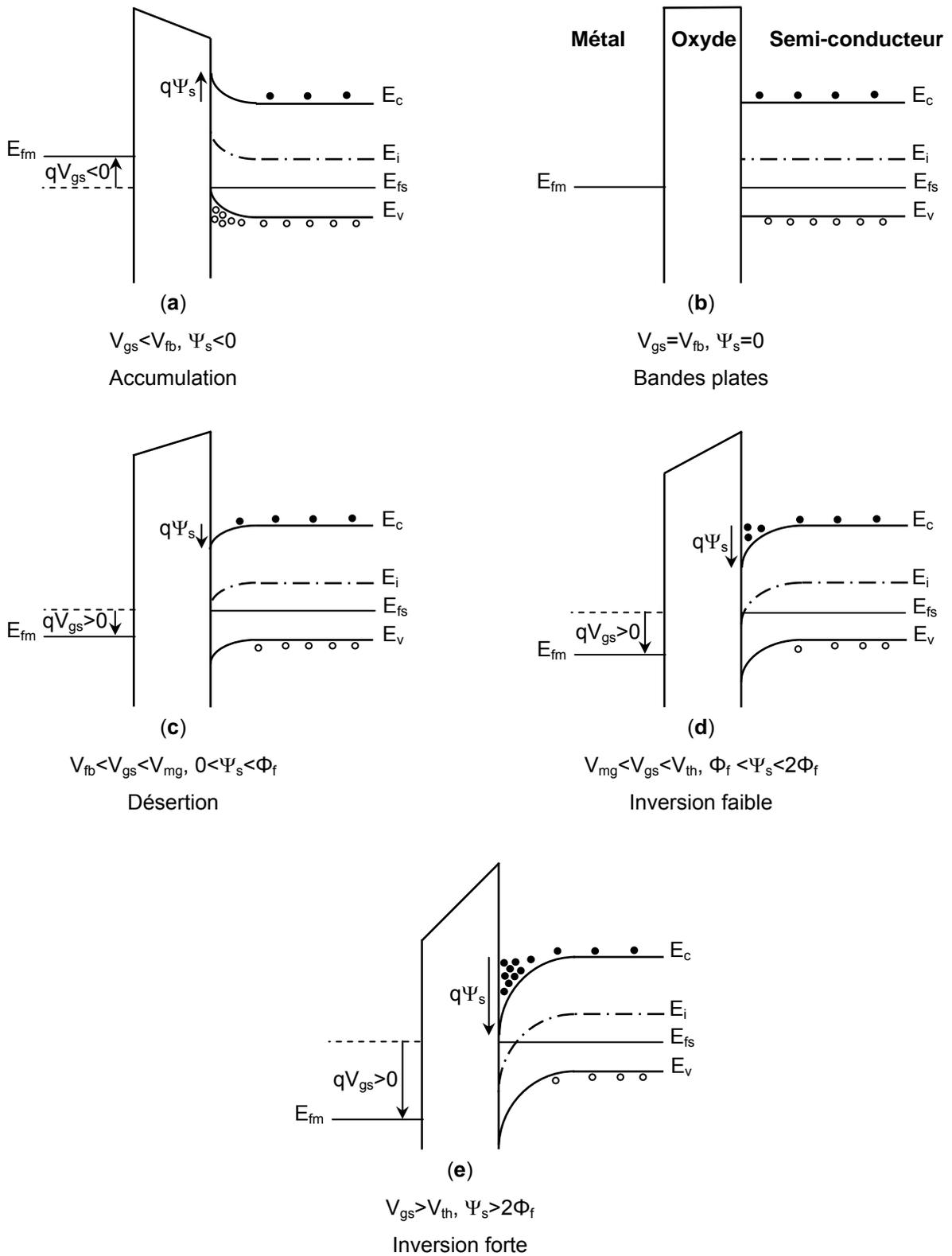
La condition  $\Psi_s = \Phi_f$  correspond au seuil de l'inversion faible : en surface les concentrations de porteurs majoritaires et minoritaires sont égales à  $n_i$ , la concentration intrinsèque de porteurs.

- $2\Phi_f < \Psi_s$  soit  $V_{gs} > V_{th}$  : régime d'inversion forte (figure I.6 e)

Lorsque  $V_{gs}$  est suffisamment élevée, la surface du semi-conducteur est amenée en régime d'inversion : un canal d'inversion est créé entre la source et le drain. On parle d'inversion forte lorsque la population de porteurs est localement inversée. La concentration des porteurs minoritaires en surface devient supérieure à la concentration des majoritaires dans le volume. De nombreux porteurs libres sont présents dans le canal, la barrière  $\Phi_d - \Psi_s$  côté source pour les électrons à la surface du semi-conducteur devient faible et le transistor conduit (figure I.5). La tension à appliquer pour amener le dispositif dans ce régime s'appelle la tension de seuil  $V_{th}$  (pour threshold voltage). Elle est définie comme la tension de grille  $V_{gs}$  telle que la condition  $\Psi_s = 2\Phi_f$  soit remplie. Son expression analytique est donnée par [26] :

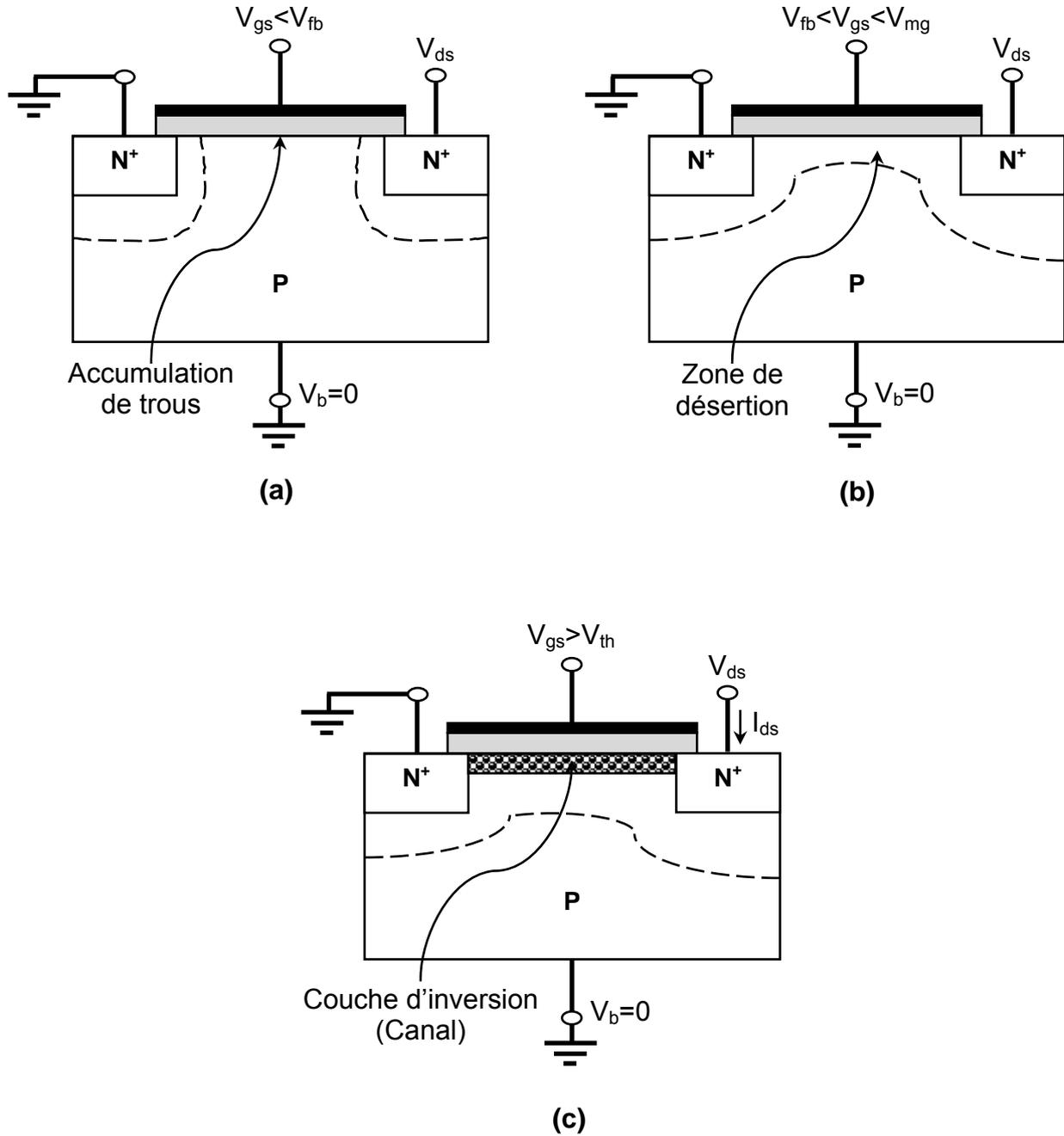
$$V_{th} = V_{fb} + 2\Phi_f - \frac{Q_{dep}}{C_{ox}} \quad (I.3)$$

$Q_{dep}$  étant la charge de déplétion dans le substrat, et  $C_{ox}$  la capacité correspondant à l'épaisseur physique de l'oxyde de grille  $SiO_2$  ( $C_{ox} = \epsilon_{ox} / t_{SiO_2}$ ). La zone de déplétion augmente jusqu'au régime de forte inversion où un accroissement de la tension de grille induit alors une augmentation des porteurs minoritaires plutôt qu'une plus forte déplétion.



**Figure I.6** - Diagramme de bandes d'énergie des transistors NMOS dans le régime : (a) d'accumulation, (b) de bandes plates, (c) de désertion, (d) d'inversion faible et (e) d'inversion forte. [22]

La figure I.7 présente une coupe du transistor MOS dans les régimes d'accumulation, de déplétion et d'Inversion respectivement.



**Figure I.7** - Coupe de MOSFET représentative de son fonctionnement :  
**(a)** Accumulation, **(b)** Déplétion, et **(c)** Inversion (activation du canal).

### 2.3. Les régimes de conduction du transistor MOS

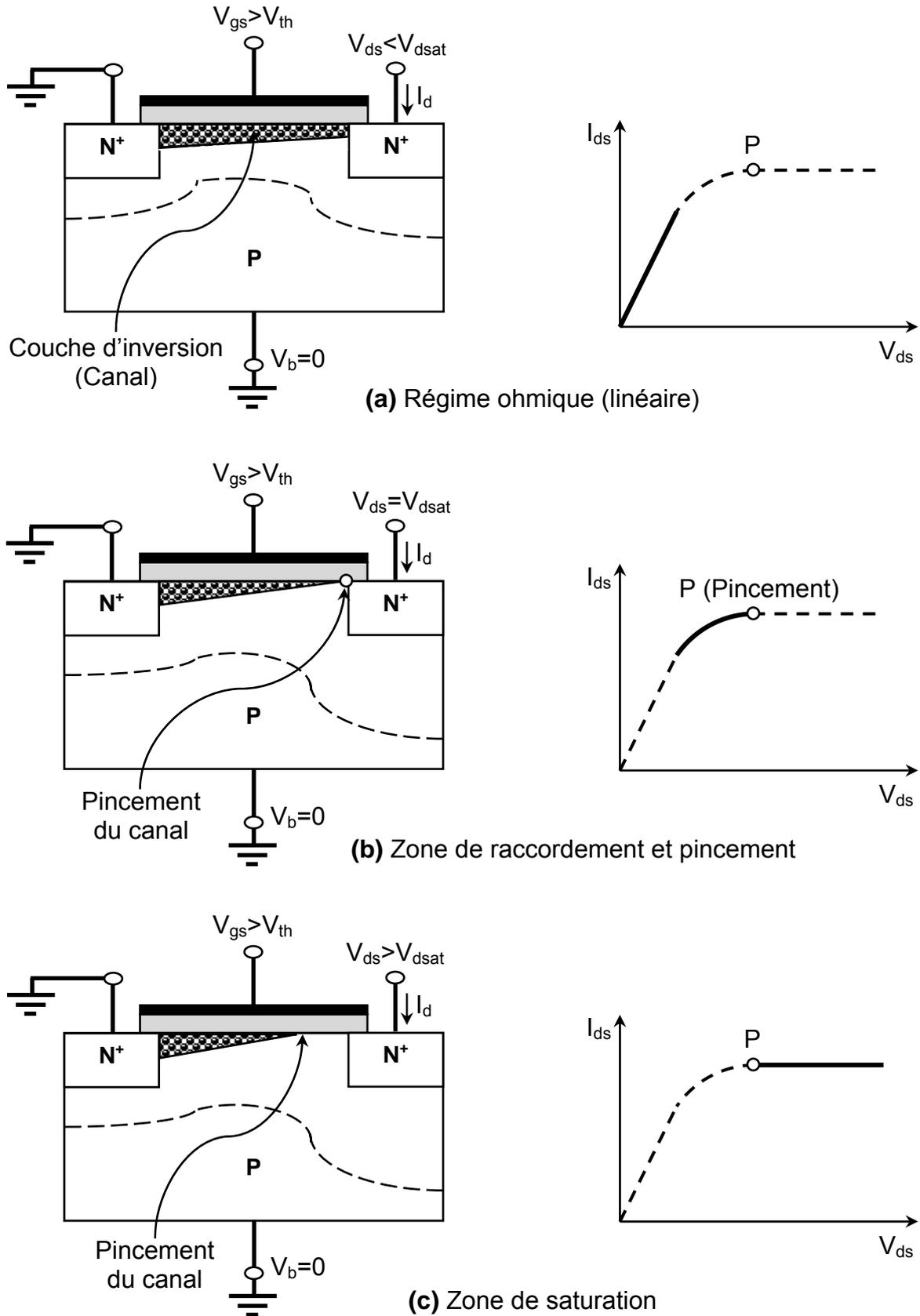
Le courant délivré par le transistor est gouverné par trois facteurs :

- La charge dans le canal (qui dépend de la tension de grille  $V_{gs}$ ),
- La tension de drain  $V_{ds}$  qui permet le déplacement des porteurs de la source au drain,
- La mobilité des porteurs ( $\mu_{eff}$ ) qui quantifie la vitesse acquise par les porteurs sous l'action d'un champ électrique.

En fonction des polarisations  $V_{gs}$  et  $V_{ds}$  il est donc possible de définir deux régimes de conduction distincts : le régime linéaire (ou ohmique) et le régime de saturation (figure I.8). Le régime linéaire se caractérise par une dépendance linéaire du courant en fonction de  $V_{ds}$  tandis que le régime de saturation caractérise un état dans lequel le courant n'évolue plus avec  $V_{ds}$ , car le canal est dit pincé  $V_p = V_{dsat} \cong V_{gs} - V_{th}$ . Entre ces deux régimes, le courant délivré dépend à la fois de  $V_{ds}$  et de  $V_{gs}$  : c'est la zone de raccordement.

Enfin, pour résumer le fonctionnement du transistor MOS nous pouvons dire que [27-29] :

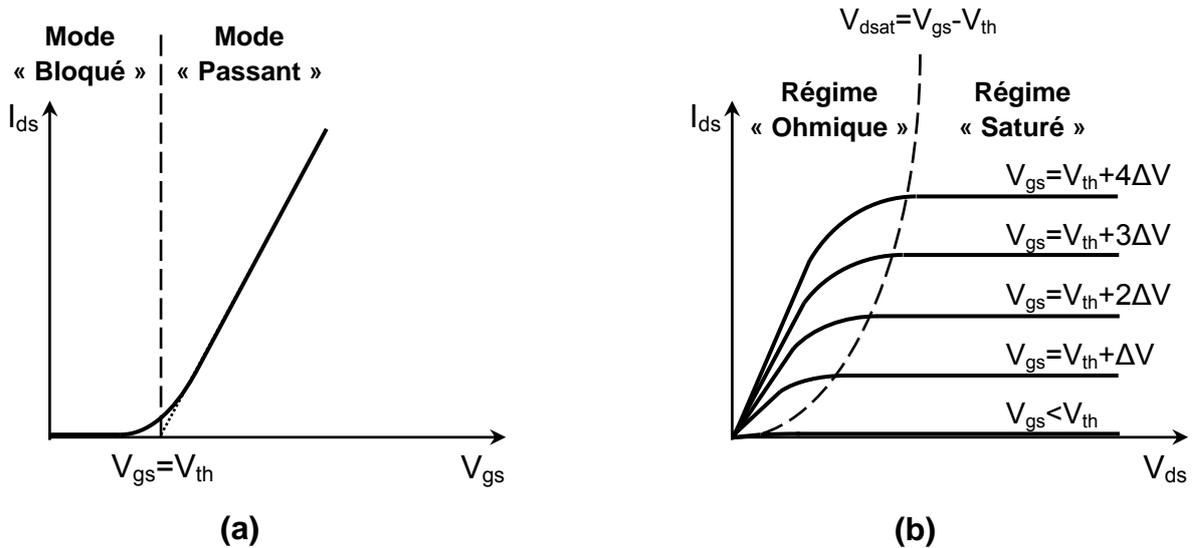
- Pour  $V_{gs} < V_{th}$ , le canal n'est pas formé. Idéalement, le courant dans cette zone est nul.
- Pour  $V_{gs} > V_{th}$ , le canal est formé, le transistor peut conduire du courant. Selon  $V_{ds}$  on a différents régimes. On note  $V_{dsat} \cong V_{gs} - V_{th}$ .
  - Pour  $V_{ds} \ll V_{dsat}$ , le transistor est en régime **linéaire**, le courant  $I_{ds}$  est proportionnel à  $V_{ds}$ .
  - Pour  $V_{ds} \cong V_{dsat}$ , la densité de charge du canal s'annule au drain : on dit que le canal est **pincé**. Le courant ne peut plus augmenter proportionnellement à la tension  $V_{ds}$ .
  - Pour  $V_{ds} > V_{dsat}$ , le courant reste constant et vaut  $I_{dsat}$ . La tension aux bornes du canal vaut  $V_{dsat}$  et le point de pincement se déplace vers la source lorsque la tension  $V_{ds}$  est augmentée. Le transistor est en régime **saturé**



**Figure I.8** - Illustration des trois régimes de conduction qui caractérisent le fonctionnement d'un transistor NMOS

## 2.4. Caractéristiques électriques idéales du transistor MOS

Les transistors MOS sont caractérisés électriquement en utilisant les graphiques  $I_{ds}=f(V_{gs})$  et  $I_{ds}=f(V_{ds})$ . Ces caractéristiques sont schématisées de manière idéale en figure I.9 [30], ce qui nous permet de relier les différents régimes de la capacité MOS définis dans le paragraphe précédent aux modes de fonctionnement du transistor MOSFET [31].



**Figure I.9** - Caractéristiques idéales d'un transistor MOS.

(a) Graphique  $I_{ds}$ - $V_{gs}$ . (b) Graphique  $I_{ds}$ - $V_{ds}$ . La ligne  $V_{dsat} = V_{gs} - V_{th}$  sépare le régime ohmique du régime saturé

## 3. Les transistors MOS pour les radiofréquences - Le transistor LDMOS

L'amélioration des performances et de l'intégration des technologies CMOS a permis le progrès des circuits numériques, grâce à la réduction des dimensions du transistor. Cette diminution de la longueur de grille s'accompagne d'une augmentation de la fréquence de transition du dispositif [32,33]. Elle reflète donc les performances dynamiques du transistor et permet d'estimer la gamme de fréquence dans laquelle le dispositif peut être utilisé. La fréquence de transition augmente de façon inversement proportionnelle à la longueur de grille du transistor [33]. La réduction des dimensions permet dès lors d'envisager une utilisation du transistor MOS pour des applications radiofréquences [34].

Pour des raisons de coûts, de consommation et de volume, de nombreux efforts sont menés depuis des années pour réussir à intégrer sur silicium – et si

possible sur une même puce – des systèmes complets d'émission et de réception pour communications radiofréquences [33]. De nombreux circuits RF sont réalisés depuis le milieu des années 90.

Ainsi, l'objectif de la technologie CMOS en RF serait de pouvoir intégrer toute la chaîne d'émission/réception sur un unique système sur puce. Or, pour cela, une brique manque : l'amplificateur de puissance.

Les fabricants de composants semi-conducteurs (transistors bipolaires, transistors à effet de champ) se sont lancés dans la « bataille » permettant de répondre aux exigences des systèmes de communication en termes de puissance, de performances en gain et linéarité, d'encapsulation et de coût de revient. En effet, ces différents dispositifs semi-conducteurs sont nécessaires pour les étages émetteurs et récepteurs dans les divers équipements qui utilisent le spectre hertzien depuis le téléphone portable, jusqu'aux stations de bases et aux satellites. Les filières sur Arséniure de Gallium (GaAs) sont actuellement les plus performantes du fait des propriétés physiques intrinsèques et permettent d'obtenir de meilleures caractéristiques aux fréquences élevées (figure I.10). Cependant les technologies Silicium (MOSFET et bipolaire) sont très matures et offrent des composants avec des performances très honorables à des coûts relativement plus faibles [1], ce qui reste un atout majeur dans le contexte actuel où le marché du téléphone cellulaire est très sensible au prix de revient des composants [7].

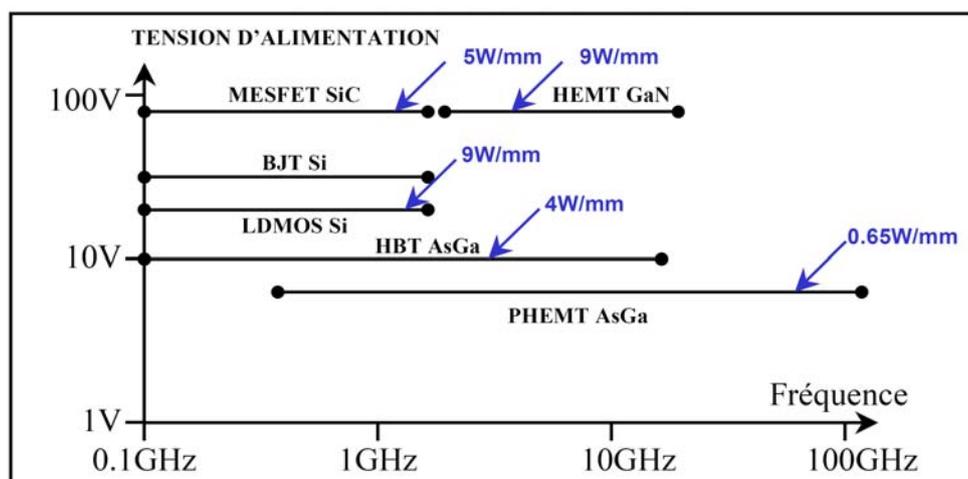


Figure I.10 - Technologies disponibles pour l'amplification de puissance [35,36]

Dans le monde de la puissance, l'utilisation des transistors bipolaires a longtemps été la norme. Cependant la puissance délivrée a augmenté régulièrement quelles que soient les applications, alors que leur utilisation est limitée par le phénomène de second claquage. Le second claquage d'un transistor bipolaire est le nom donné au phénomène de destruction du composant occasionné par son instabilité thermique.

Avec l'évolution des technologies dans le domaine des circuits intégrés MOS et par rapport aux exigences de performances et de coût, cités auparavant, une nouvelle génération de composants semi-conducteurs est apparue sur la scène de l'amplification de puissance : les transistors DMOS de puissance [7].

Le transistor DMOS (Diffused Metal Oxide Semiconductor), a permis de s'affranchir de ces limitations. En effet, comme toute structure de type Métal-Oxyde-Semiconducteur, le courant est assuré par les porteurs minoritaires.

Ainsi, lorsque la température du dispositif augmente par auto-échauffement, les porteurs minoritaires se recombinent par agitation thermique, ce qui a pour effet de diminuer le courant (i.e. la mobilité des porteurs minoritaires diminue) : la température est autorégulée, il ne peut y avoir d'emballement thermique. Ce type de composant a un fonctionnement plus stable [2].

Il existe deux types de transistors DMOS de puissance : Les transistors discrets VDMOS (structures verticales) et les transistors intégrés LDMOS (structures latérales).

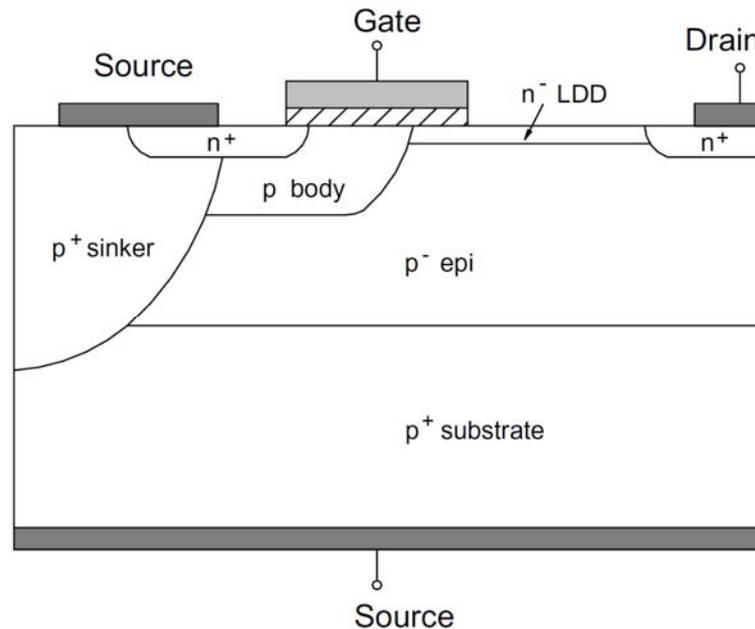
Le transistor VDMOS souffre d'instabilité aux fréquences élevées [37]. Le transistor LDMOS possède aussi l'avantage, par rapport au transistor à configuration verticale (VDMOS), d'avoir intrinsèquement ses trois électrodes coplanaires, ce qui le rend favorable à l'intégration. Il est également compatible avec les technologies BiCMOS avancées, ce qui fait de lui un candidat idéal pour assurer la partie puissance dans un circuit intégré [38].

Nous nous intéresserons dans cette thèse aux transistors LDMOS.

Comme son nom l'indique, la particularité du transistor LDMOS par rapport aux structures verticales, provient du chemin latéral qu'emprunte son courant. Ces transistors, obtenus par le procédé de double diffusion, se distinguent du

MOSFET par un puit dopé p<sup>+</sup> (Sinkers) qui assure la continuité électrique entre les sources des composants élémentaires et la masse connectée au substrat p<sup>+</sup>. L'avantage évident, est de diminuer le nombre de contacts qui rend le LDMOS plus facile à intégrer [2,39,40]. Le contact direct Source-Substrat élimine les fils de connexion supplémentaires. La performance RF d'un tel contact est meilleure, parce que l'inductance de la source est réduite [41]. Par conséquent l'intégration du dispositif devient beaucoup plus facile du fait qu'on a seulement deux contacts, Drain et Grille [42,43].

Les transistors LDMOS sont aussi caractérisés par une zone N<sup>-</sup> située entre la fin du canal d'inversion et le drain N<sup>+</sup>, zone appelée drift ou extension de drain (LDD de : Lightly Doped Drain), ceci a pour but, l'augmentation de la tension de claquage (figure I.11) [1].

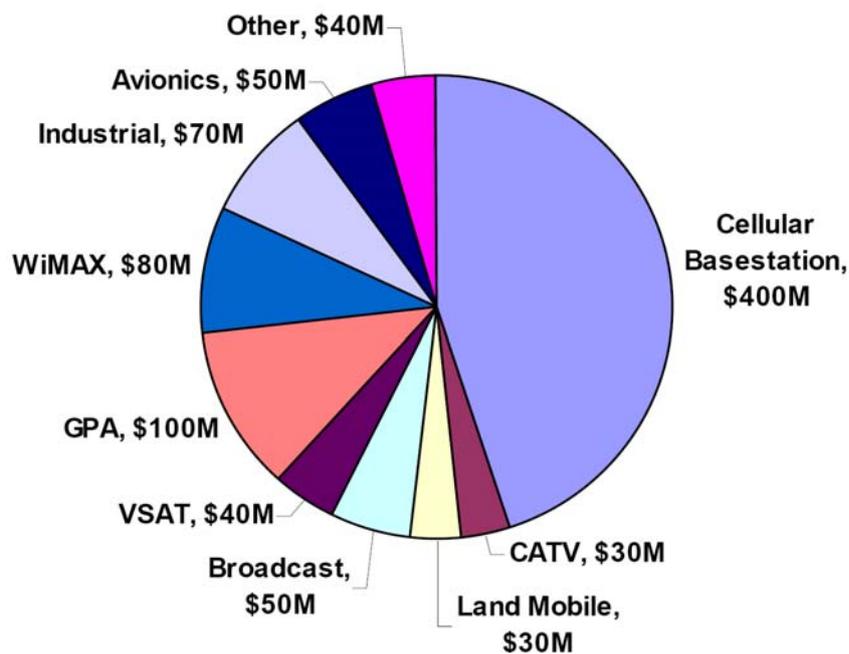


**Figure I.11** - Vue en coupe d'un transistor LDMOS [12]

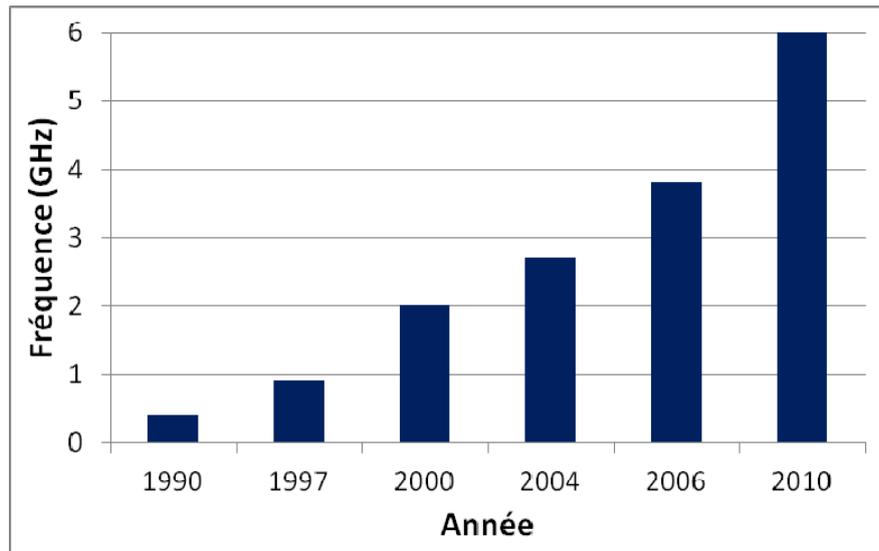
Sa très large utilisation dans le domaine des amplificateurs de puissance radiofréquence (réseaux de télécommunications) fait de cette technologie un standard (figure I.12) [40,41,44,45]. En plus de leur faible coût de conception, les transistors LDMOS possèdent les caractéristiques électriques et thermiques requises pour les modulations complexes. Ses potentialités en termes de haut rendement et de linéarité en font un candidat idéal pour une gamme de

fréquences qui reste limitée à environ 3GHz (figure I.13) [1,33,46,47]. Cependant, il est à remarquer que des composants LDMOS à tension d'alimentation 50V figurent dans les catalogues des fabricants depuis plusieurs années, mais les utilisateurs se limitent encore à des tensions de l'ordre de 30-35 V à cause de problèmes de fiabilité liés à la dégradation de l'isolant de grille et ou celui de passivation [48].

La grille est réalisée en polysilicium et sa résistance d'accès est fortement réduite par sa siliciuration. Certains travaux du MIT (Massachusetts Institute of Technology), rendent compte de l'utilisation d'une grille partiellement métallique pour abaisser la résistance de grille et améliorer fortement les fréquences des LDMOS dans le futur. Cependant, étant donné les contraintes des procédés actuels, il convient de travailler sur une siliciuration de grille la plus complète possible [7,12].



**Figure I.12** - Part de marché pour les transistors LDMOS (2008) [49]



**Figure I.13** - Fréquence maximale d'utilisation des LDMOS au fil des années (extrait de [49] et actualisé)

La limitation en gamme de fréquence pour ce composant s'explique par les contraintes de design du composant. Il faut un compromis entre la tension de claquage et la distance source-drain. En diminuant cette distance, on favorise la montée en fréquence mais on dégrade la tenue en tension du composant. A l'inverse, si on augmente l'espace source drain on diminue la montée en fréquence du composant qui nécessite un canal court favorisant le transit rapide des électrons. C'est pourquoi ce type de transistor est limité à des fréquences d'utilisation maximum en bandes L ou S [50].

Cette technologie a atteint sa maturité technologique. Elle est utilisée actuellement pour les émetteurs des stations de base de radiotéléphonie [51,52]. Ses principaux points forts sont : le faible coût de production des composants et leur fort rendement [12,47]. Son principal inconvénient est sa limitation en fréquence (en général 3GHz, sauf dans un travail récent [33], à notre connaissance, on a pu monter en fréquence jusqu'à 6GHz).

#### **4. L'amplification de puissance micro-ondes**

Le paramètre le plus important affectant le coût final d'un système est souvent la puissance de l'émetteur, qui est intimement liée aux exigences de linéarité de l'émetteur [53]. Ce paramètre est lié à la taille de l'amplificateur de

puissance (PA), au boîtier (package), aux chemins thermiques et aux méthodes de refroidissement correspondantes, à l'alimentation et aux tailles des câbles d'interconnexion DC, ainsi qu'aux poids et la sécurité. Chacun de ces paramètres peut rapidement augmenter les coûts. L'analyse du niveau de puissance doit tenir compte des pertes dans les câbles et l'antenne, des gains des antennes de l'émetteur et du récepteur, des conditions de liaison comme la distance, la météo, les obstacles, etc. Les capacités des récepteurs sont essentielles pour déterminer les besoins en puissance de l'émetteur. Les paramètres clés de la conception d'un PA sont la fréquence, la bande passante, la puissance de sortie, le rendement en puissance ajouté (PAE), le rapport cyclique, la linéarité, le gain, la tension et le courant de polarisation, la puissance dissipée et la fiabilité (le temps moyen de bon fonctionnement). D'autres facteurs peuvent également être importants, tels que les pertes de retour, l'isolation, la stabilité, les variations de charge, le coût, la taille, le poids, la facilité d'entretien et de l'industrialisation, etc. [53].

Le LDMOS est étudié pour être intégré dans un circuit de type Amplificateur de Puissance (PA). Nous allons étudier, dans cette partie, ce qu'est un amplificateur de puissance. Cette étude couvre la définition d'un amplificateur de puissance RF, les figures de mérite les plus fréquemment utilisées et enfin les différentes classes de fonctionnement, qui ont énormément d'influence sur les performances d'un amplificateur.

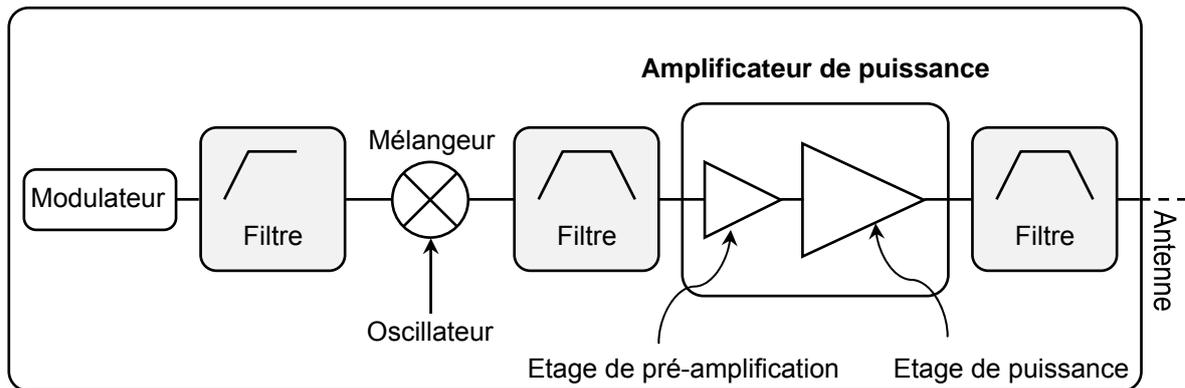
#### **4.1. Définition d'un amplificateur de puissance**

De nombreux travaux ont été effectués ces dernières années sur l'intégration en technologie CMOS de fonctions RF de réception (LNA, mélangeur...) ou d'émission moyenne puissance (mélangeur, préamplificateur,...), mais très peu de ces travaux ont été conduits sur l'intégration d'amplificateurs de puissance radiofréquence. Actuellement, l'amplificateur de puissance reste le privilège des technologies III-V, le CMOS commençant à peine à se développer, et constitue un des obstacles majeur à une intégration « tout silicium » en RF [38].

Les circuits qui constituent un système radiofréquence complet sont nombreux et la partie radio proprement dite apparaît comme un maillon délicat du système. Parmi les nombreuses fonctions radiofréquences, l'amplificateur de puissance représente un bloc particulièrement critique de la chaîne d'émission

[54], du fait de sa consommation élevée et des forts niveaux de signal qu'il doit gérer.

La chaîne d'émission d'un système radiofréquence, dans laquelle l'amplificateur de puissance joue un rôle actif, est illustrée par la figure I.14.



**Figure I.14** - Schéma bloc d'une chaîne d'émission [38]

L'amplificateur de puissance a pour rôle d'amplifier le signal en provenance du mélangeur pour fournir une puissance active suffisante à l'antenne [55]. Il est généralement constitué d'un ou plusieurs étages de pré amplification et d'un étage dit de puissance. Chaque étage est constitué d'éléments actifs (transistors) mais également d'éléments passifs qui permettent d'effectuer des transformations d'impédance entre étages [38]. Ainsi une charge optimale est présentée au transistor afin que celui-ci délivre sa puissance de sortie maximale. La puissance de sortie, le gain en puissance, le rendement (la consommation) et la linéarité sont les principaux paramètres caractérisant un PA [53].

Nous allons maintenant étudier les différentes figures de mérite d'un amplificateur de puissance.

## 4.2. Figures de mérite

Un amplificateur de puissance (du point de vue thermodynamique) transforme l'énergie continue en une énergie alternative qui s'ajoute à l'énergie contenue dans le signal RF appliqué à l'entrée du dispositif [38].

Il peut être représenté sous forme d'un quadripôle défini par des grandeurs électriques et un bilan de puissance comme sur la figure I.15 [56].

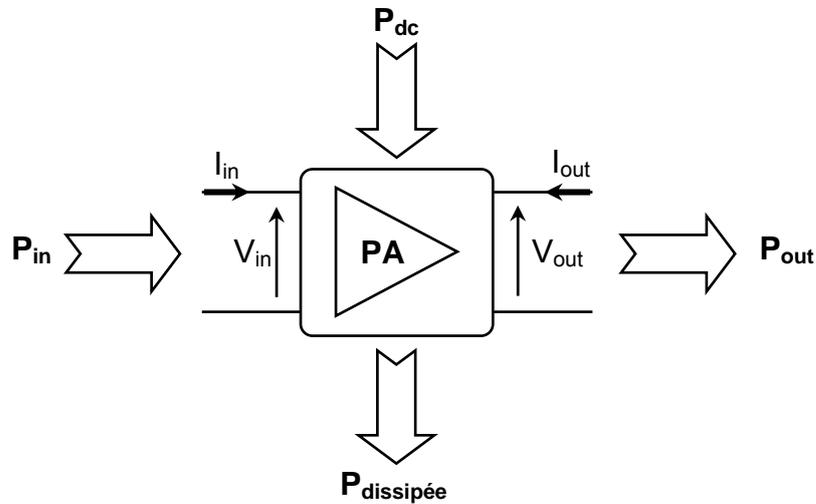


Figure I.15 - Bilan des puissances dans un PA

Les puissances fournies à l'amplificateur sont :

- **La puissance d'entrée,  $P_{in}$ .** En régime harmonique, la puissance d'entrée RF à la fréquence  $f_0$  s'exprime par :

$$P_{in} = \frac{1}{2} \cdot \Re(V_{in} \cdot I_{in}^*) \quad (1.4)$$

- **La puissance continue (consommée)** fournie par les alimentations extérieures,  $P_{dc}$  est donnée par :

$$P_{dc} = \sum (V_{dc} \cdot I_{dc}) \quad (1.5)$$

Les puissances générées par l'amplificateur sont :

- **La puissance de sortie,  $P_{out}$ .** En régime harmonique, la puissance de sortie RF à la fréquence  $f_0$  s'exprime par :

$$P_{out} = \frac{1}{2} \cdot \Re(V_{out} \cdot I_{out}^*) \quad (1.6)$$

L'énergie fournie par l'alimentation ( $P_{dc}$ ) n'est pas entièrement transmise à la charge. Une partie plus ou moins importante est dissipée ( $P_{dissipée}$ ) sous forme thermique par le dispositif actif [7].

- **La puissance dissipée,  $P_{dissipée}$ .** Cette puissance est générée par l'échauffement au sein des matériaux de l'amplificateur.

D'après la loi de conservation de l'énergie, le bilan des puissances s'exprime :

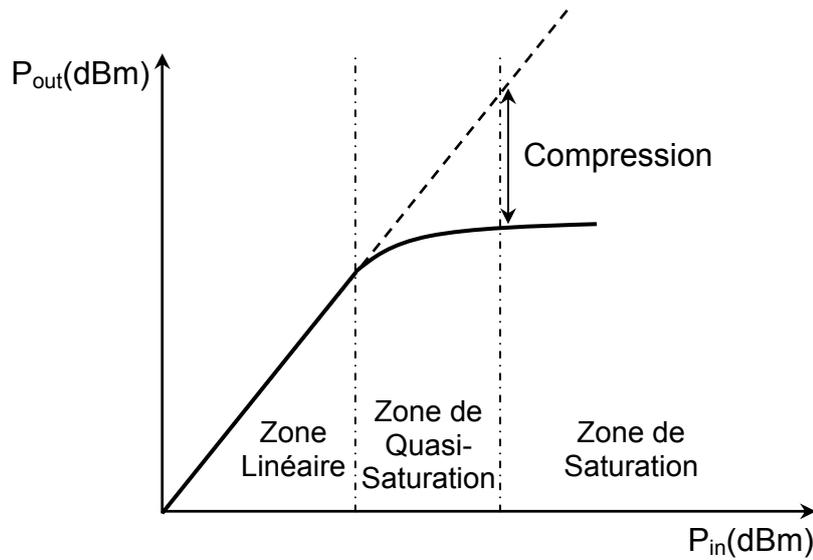
$$P_{in} + P_{dc} = P_{out} + P_{dissipée} \quad (1.7)$$

La puissance dissipée est une puissance perdue, elle doit être efficacement évacuée afin de ne pas perturber le comportement électrique de l'amplificateur. Un fonctionnement efficace se traduit donc par la capacité à convertir la puissance fournie en puissance de sortie utile. Le critère du rendement en puissance ajoutée permet d'évaluer cette performance [56].

#### **4.2.1 Puissance de sortie ( $P_{out}$ )**

Elle correspond à la puissance disponible à la sortie du transistor en fonction de la puissance d'entrée. L'évolution de cette puissance passe par trois zones (figure I.16) [57] :

- Zone linéaire : la puissance de sortie évolue linéairement avec la puissance d'entrée à un gain près.
- Zone de quasi-saturation : le transistor s'approche de ses limites physiques, la puissance de sortie ne varie plus linéairement avec la puissance d'entrée, cependant c'est dans cette zone que l'on a les meilleures performances du transistor en termes de puissance et de rendement.
- Zone de saturation : le transistor est dans ses limites physiques, la puissance de sortie n'augmente plus avec la puissance d'entrée, il y a un risque de destruction du transistor.



**Figure I.16** - Evolution de la puissance de sortie en fonction de la puissance d'entrée [36]

Cette puissance de sortie dépend, en plus de la puissance d'entrée, de plusieurs paramètres :

- Dans la zone linéaire, elle dépend de la classe de polarisation (A, B, AB, C ...) et de la charge de sortie au fondamental.
- Dans la zone de saturation et quasi-saturation, elle dépend des charges présentées au fondamental ainsi qu'aux harmoniques.

La compression est la différence entre la courbe réelle de la puissance de sortie et la courbe théorique idéalisée où la puissance de sortie continuerait à croître linéairement avec la puissance d'entrée.

#### 4.2.2. Gain en puissance ( $G_p$ )

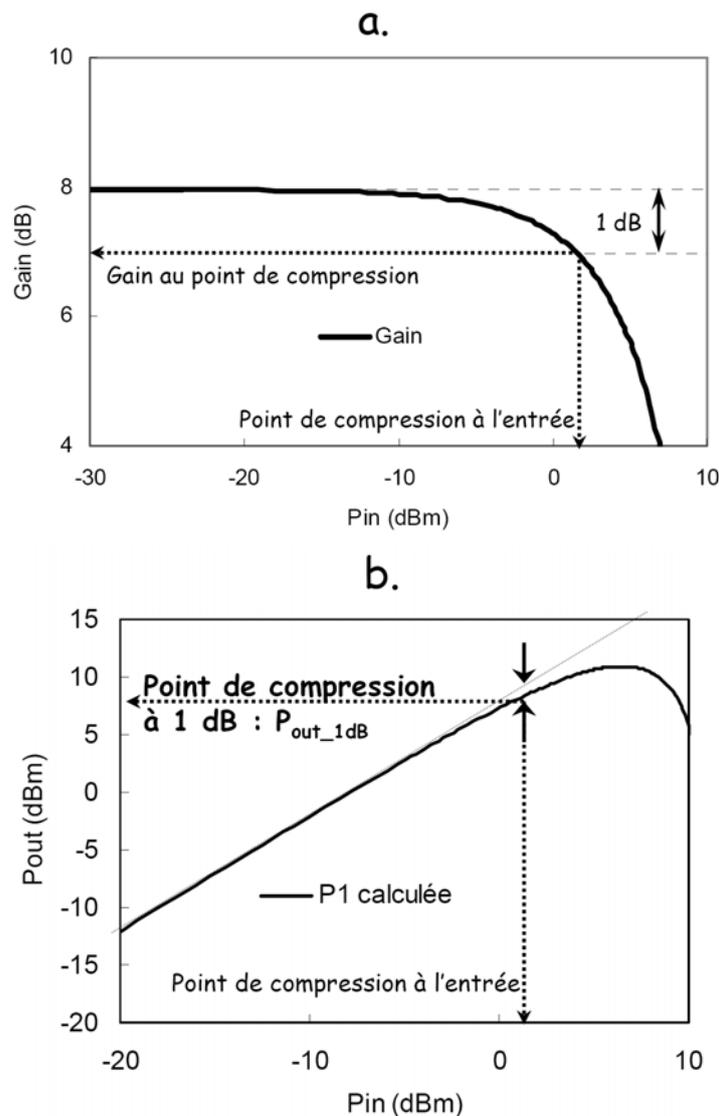
L'optimisation d'un amplificateur de puissance consiste à rechercher le transfert maximal de puissance. Ainsi le gain en puissance se caractérise par le rapport entre la puissance de sortie et la puissance d'entrée à une fréquence donnée [58].

$$G_p = \frac{P_{out}}{P_{in}} \quad (1.8)$$

ou

$$G_{p\text{dB}} = 10 \cdot \log(P_{out}) - 10 \cdot \log(P_{in}) \quad (I.9)$$

La variation du gain en puissance en fonction du niveau de puissance permet de caractériser la linéarité du composant. Ainsi, à partir d'un certain niveau de puissance, les non-linéarités se manifestent par une diminution progressive du gain en puissance [7]. En effet, la compression de la puissance de sortie est immédiatement répercutée sur le gain en puissance du transistor. Nous définissons comme point de compression de gain à 1dB (CP1dB) la puissance délivrée à la charge quand le gain du composant a chuté de 1dB par rapport à sa valeur dans la zone linéaire (figure I.17) [45,59].



**Figure I.17 - a.** Gain en puissance calculé en fonction de la puissance d'entrée.  
**b.** Définition du point de compression [8].

### 4.2.3. Rendement d'un amplificateur ( $\eta$ ) et rendement en puissance ajoutée (PAE)

Un autre point essentiel pour les amplificateurs de puissance est la consommation électrique nécessaire pour obtenir le niveau de puissance de sortie souhaité. Ce point est caractérisé par le rendement de sortie, défini par le rapport entre la puissance de sortie utile ( $P_{out}$ ) et la puissance fournie par les alimentations en continu ( $P_{dc}$ ) [36,55] :

$$\eta = \frac{P_{out}}{P_{dc}} \quad (I.10)$$

Le rendement est un paramètre critique parce qu'il détermine directement l'autonomie de la batterie [7].

La puissance consommée ( $P_{dc}$ ) étant forcément au moins égale à la puissance de sortie [60], la consommation de l'amplificateur est donc directement liée à la puissance émise, qu'il convient de réduire pour améliorer l'autonomie des appareils nomades. Le rendement est ainsi extrêmement corrélé à la classe de fonctionnement de l'amplificateur [7].

Pour des applications à des fréquences élevées, la puissance d'entrée à fournir peut être importante. Il est alors intéressant d'utiliser la notion de puissance ajoutée, donnée par la différence entre les puissances d'entrée et de sortie. Le rendement en puissance ajoutée (ou PAE : Power Added Efficiency) s'écrit alors [55,60] :

$$PAE = \eta_a = \frac{P_{out} - P_{in}}{P_{dc}} = \eta \cdot \left( 1 - \frac{1}{G_p} \right) = 1 - \frac{P_{dissipée}}{P_{dc}} \quad (I.11)$$

Le PAE est le rendement le plus couramment utilisé pour les amplificateurs, et compte à la fois pour les performances en commutation et en puissance. Un PAE élevé est essentiel pour réduire le coût global des systèmes d'émission. Comme avec la puissance, le PAE affecte la taille de l'amplificateur de puissance, le boîtier (package), les chemins thermiques et les méthodes de refroidissement correspondantes, l'alimentation et les tailles des câbles d'interconnexion DC, le

poinds et la sécurité. Chacun de ces paramètres pouvant rapidement augmenter les coûts [53].

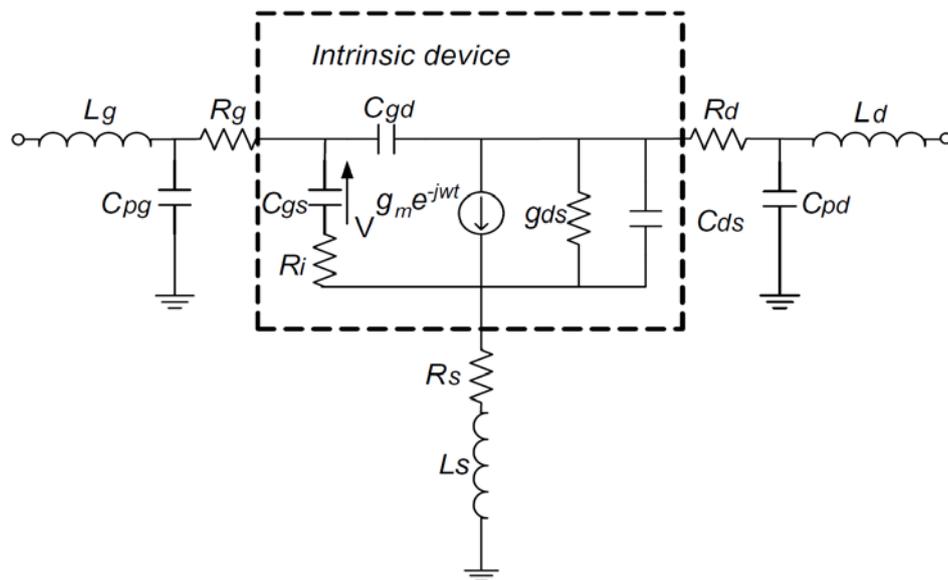
#### 4.2.4. Fréquence de transition ( $f_t$ )

Une des figures de mérite les plus couramment utilisées est celle de la fréquence de transition  $f_t$  d'un transistor. Elle est déterminée comme étant la fréquence à laquelle le gain en courant en court-circuit  $|H_{21}|$  du composant est égal à 1 (ou 0dB) [61]. Elle reflète les performances dynamiques du transistor en régime de fonctionnement petit-signal et permet d'estimer la gamme de fréquence dans laquelle le dispositif peut être utilisé (utilisation envisageable jusqu'à des fréquences de l'ordre de  $f_t/10$ , voire  $f_t/5$  en étant moins conservateur et même  $f_t/3$  selon [7]).

La fréquence de transition peut être calculée analytiquement à partir des paramètres  $[Y]$  et des éléments du schéma équivalent électrique hyperfréquence du transistor MOS (figure I.18) (nous allons détailler ce schéma dans le deuxième chapitre).

$$H_{21} = \left. \frac{I_2}{I_1} \right|_{V_2=0} = \frac{Y_{21}}{Y_{11}} = \frac{S_{21}}{S_{12}} \quad (\text{I.12})$$

$I_1, I_2$  : courant d'entrée et de sortie du transistor respectivement.



**Figure I.18** - Schéma équivalent électrique conventionnel pour les transistors FET à trois terminaux [12]

A la fréquence de transition,  $|H_{21}| = 1$

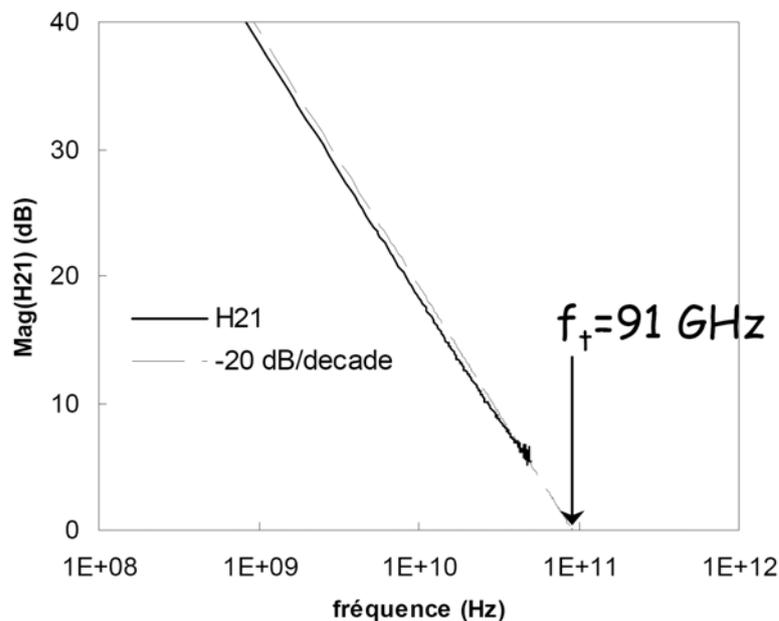
Une expression donnée dans [8] est :

$$f_t = \frac{g_m}{2\pi \cdot [(C_{gs} + C_{gd})(1 + g_d(R_s + R_d)) + C_{gd}g_m(R_s + R_d)]} \quad (I.13)$$

Une approximation de cette expression est donnée dans [33,61], pour laquelle  $f_t$  est une fonction de la transconductance ( $g_m$ ) et des capacités Grille-Source ( $C_{gs}$ ) et Grille-Drain ( $C_{gd}$ ) :

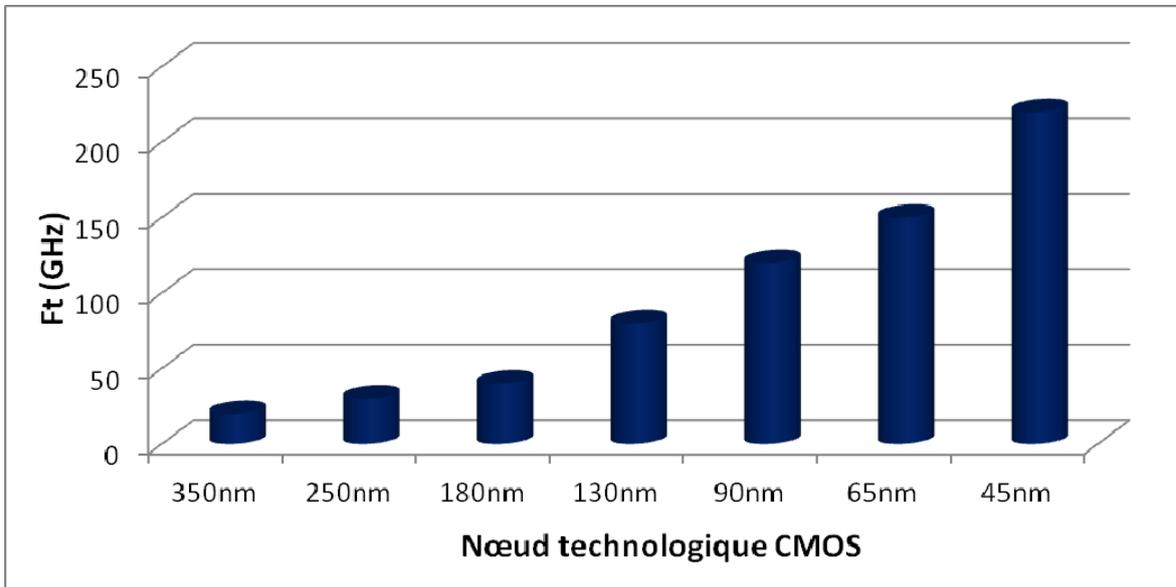
$$f_t \approx \frac{g_m}{2\pi \cdot (C_{gs} + C_{gd})} \quad (I.14)$$

La fréquence de transition est extraite par la mesure des paramètres [S] en fréquence. Pour chaque fréquence le gain en courant est calculé et tracé comme l'illustre la figure I.19.



**Figure I.19** - Gain en courant  $H_{21}$  en fonction de la fréquence pour un point de polarisation. Illustration de la détermination de la fréquence de transition  $f_t$  [8]

Enfin, la fréquence de transition  $f_t$  dépend fortement des dimensions du nœud technologique (figure I.20) et dépend peu des éléments parasites extrinsèques du transistor [62].



**Figure I.20** - Amélioration de  $f_t$  avec l'évolution de la technologie [62]

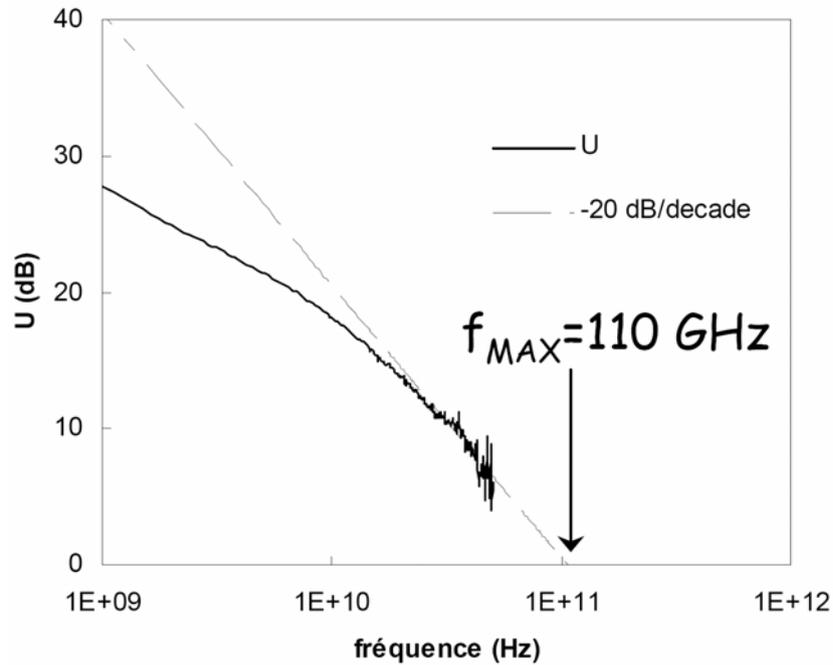
#### 4.2.5. Fréquence maximale ( $f_{max}$ )

De façon analogue, la fréquence maximale d'oscillation  $f_{max}$  est déterminée à partir de l'expression du gain de Mason  $G_u$  (ou gain unilatéral, U).

Le gain de Mason, appelé aussi gain en puissance disponible maximum, est définie en fonction des paramètres  $[Y]$  par l'expression (I.15) [9,61,63] (l'expression de  $G_u$  en fonction des paramètres  $[S]$  est disponible aussi dans la littérature [64]) :

$$G_u = \frac{1}{4 \Re(Y_{11})\Re(Y_{22}) - \Re(Y_{21})\Re(Y_{12})} |Y_{21} - Y_{12}|^2 \quad (I.15)$$

$f_{max}$  correspond à la fréquence pour laquelle le gain de Mason (en dB) est nul. Au-delà de  $f_{max}$ , le transistor devient passif. La détermination de la fréquence  $f_{max}$  est illustrée par la figure I.21 où le gain de Mason est tracé en fonction de la fréquence de mesure pour un point de polarisation défini.



**Figure I.21** - Gain de Masson en fonction de la fréquence. Illustration de la détermination expérimentale du  $f_{\max}$  pour un point de polarisation donné. (Extrapolation de la pente à -20dB/décade jusqu'à son intersection avec l'origine des abscisses) [8]

Il existe plusieurs définitions analytiques de  $f_{\max}$  directement reliées à un schéma équivalent spécifique du transistor.

L'expression la plus précise proposée dans la littérature [8], est :

$$f_{\max} = \frac{f_c}{\sqrt{4 \cdot g_d (R_g + R_i + R_s) + 2 \cdot \frac{C_{gd}}{C_{gs}} \left( \frac{C_{gd}}{C_{gs}} + g_m (R_s + R_i) \right)}} \quad (I.16)$$

Avec  $f_c$  donnée par :

$$f_c = \frac{g_m}{2\pi \cdot (C_{gs} + C_{gd})} \quad (I.17)$$

Une autre expression plus simple est donnée dans [7] :

$$f_{\max} = \frac{f_t}{2 \cdot \sqrt{R_g (g_d + 2\pi f_t C_{gd})}} \quad (I.18)$$

Enfin,  $f_{\max}$  est proportionnel à  $f_t$  mais il est fortement affecté par les éléments extrinsèques du transistor. Le paramètre le plus critique est  $R_g$  [62].

Selon le cas (type du transistor, application souhaitée, fréquence de travail, schéma équivalent utilisé, ...), on trouve dans la littérature d'autres formules de  $f_t$  et  $f_{\max}$ , [61-63,65].

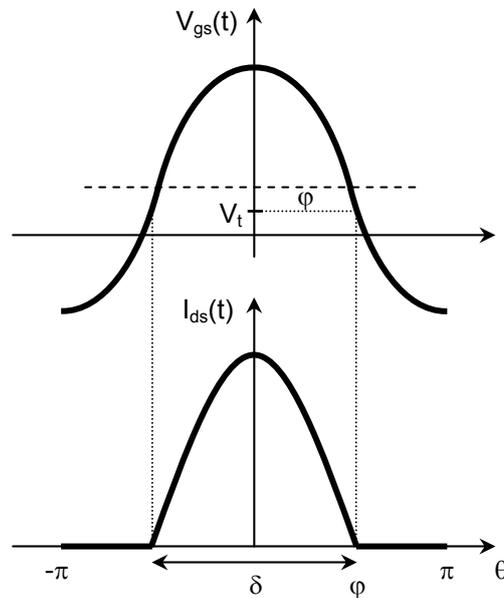
### 4.3. Classes de fonctionnement

Pour une technologie donnée, la conception d'un amplificateur de puissance avec des performances optimales (puissance de sortie, rendement ou linéarité) repose sur le choix d'une classe de fonctionnement et de la détermination de l'impédance de charge optimale correspondante [38].

La classe est déterminée par trois facteurs clés : le point de polarisation au repos, la topologie d'adaptation et la configuration du transistor. La classe détermine le rendement maximal  $\eta_{\max}$  ainsi que la puissance de sortie maximale relative  $P_{\text{outmax}}$ . Les classes peuvent également être groupées par leur linéarité (certaines classes sont très linéaires, tandis que d'autres génèrent beaucoup de distorsions harmoniques) [63].

En fonctionnement dynamique, le transistor est amené à changer de régime (linéaire, saturé) au cours du temps en fonction de la polarisation statique et de l'amplitude des signaux d'entrée  $V_{gs}$  et de sortie  $V_{ds}$ . Les familles d'amplificateurs de puissance sont définies suivant la polarisation et le temps de conduction du transistor ainsi que de la forme temporelle des tensions d'entrée et de sortie.

Le temps de conduction correspond à la durée  $t_0$  pendant laquelle le transistor conduit sur une période du cycle RF, on introduit alors la notion d'angle de conduction  $\delta = \omega t_0$ , ou encore d'angle d'ouverture  $\varphi = \delta/2$  (figure I.22) [38].



**Figure I.22** - Définition de l'angle de conduction

$$V_{gs}(\theta) = V_{GSQ} + V_{gsm} \cos(\theta)$$

$\underbrace{\hspace{10em}}$   
 Polarisation  
 Grille au repos
 

 $\underbrace{\hspace{10em}}$   
 Amplitude du signal RF  
 appliqué sur la grille

Plusieurs types d'amplificateurs, classés de A à S, se distinguent [55,60,64,66,67]. Nous allons aborder tout d'abord les amplificateurs petits-sinaux (classes de fonctionnement sinusoïdales), pour ce cas, trois catégories principales existent : A, B et C. Une quatrième classe AB, est un compromis entre la classe A et la classe B.

Nous verrons ensuite les classes D, E, F et S qui correspondent à un fonctionnement en mode commuté, non-sinusoïdal. Ils sont des classes spécialisées et ne sont généralement pas commercialisées (en raison de leur forte distorsion et des problèmes d'alimentation/adaptation associés à la complexité de leur conception) [63].

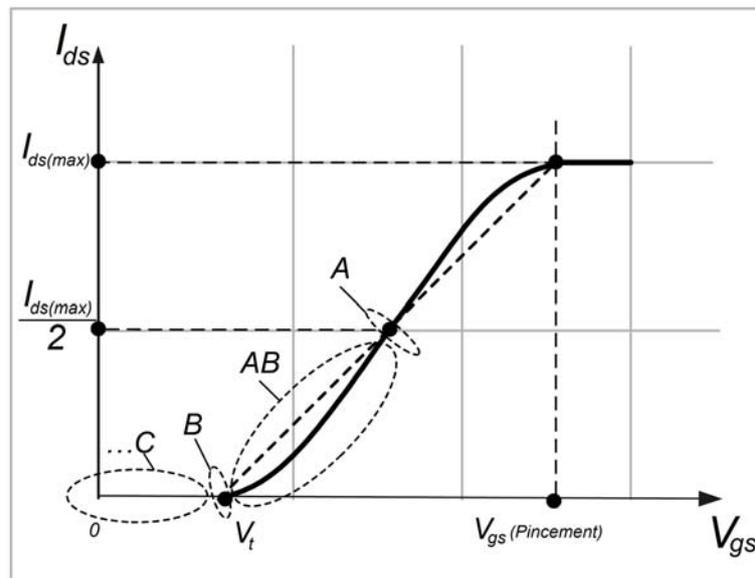
### 4.3.1. Classes sinusoïdales (fonctionnement linéaire)

Suivant la valeur de l'angle de conduction, qui dépend de la polarisation du transistor et de la dynamique du signal d'entrée, on distingue les différentes classes de fonctionnement sinusoïdales (Tableau I.1, [66]).

Classe	Angle de conduction
A	$360^\circ$
AB	$180^\circ < \delta < 360^\circ$
B	$180^\circ$
C	$\delta < 180^\circ$

**Tableau I.1** - Angle de conduction des classes de fonctionnement sinusoïdales

La figure 1.23 résume toutes les classes de fonctionnement sinusoïdales d'un amplificateur de puissance sur la caractéristique  $I_{ds}(V_{gs})$ .



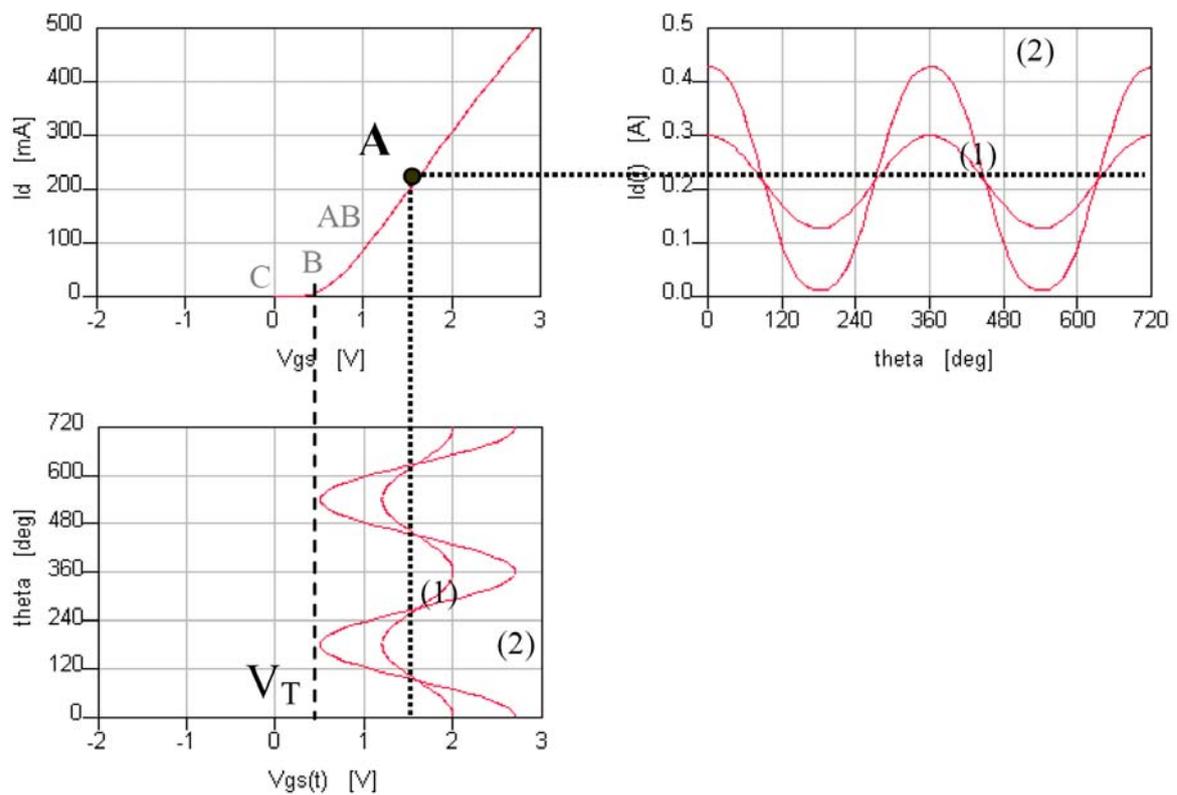
**Figure 1.23** - Résumé des classes sinusoïdales d'un amplificateur de puissance [43]

#### • Classe A

Le transistor se trouve en classe A s'il fonctionne en régime saturé, c'est-à-dire qu'il conduit sur toute la période du signal RF (figure 1.24). Dans ce cas,

l'angle de conduction est de  $360^\circ$ . Un amplificateur de classe A est un amplificateur petit-signal, le niveau de courant de sortie est directement proportionnel au niveau d'alimentation [7].

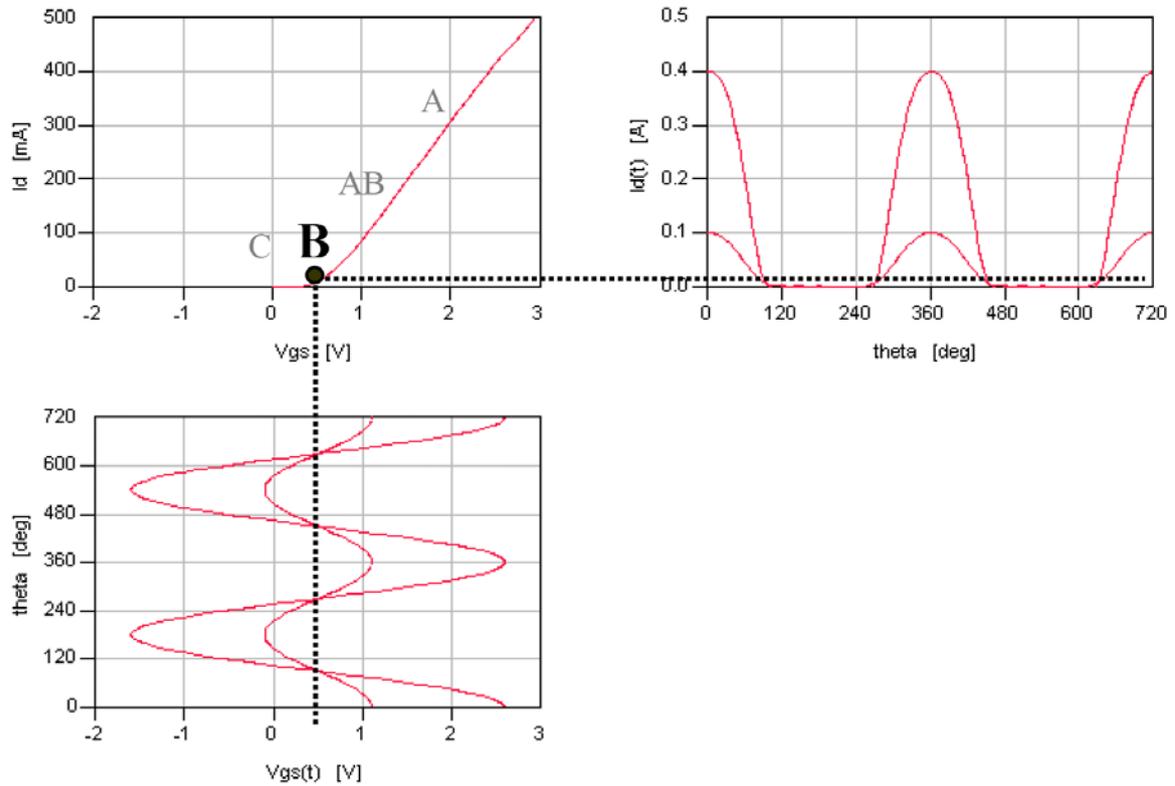
Cette classe offre le degré de linéarité le plus élevé de toutes les classes. En revanche, la conduction du courant de sortie sur tout le cycle du signal d'entrée va contribuer à la dégradation du rendement (inférieur ou égal à 50% théorique [68]) et peut créer des problèmes liés à l'échauffement pour une utilisation dans des applications à forts niveaux [69].



**Figure I.24** - Fonctionnement et polarisation en classe A

#### • Classe B

En classe B, l'angle de conduction est de  $180^\circ$ , le transistor est polarisé au seuil de conduction  $V_{GSQ}=V_t$  et ne conduit que pendant une demi-période du cycle RF (figure I.25).

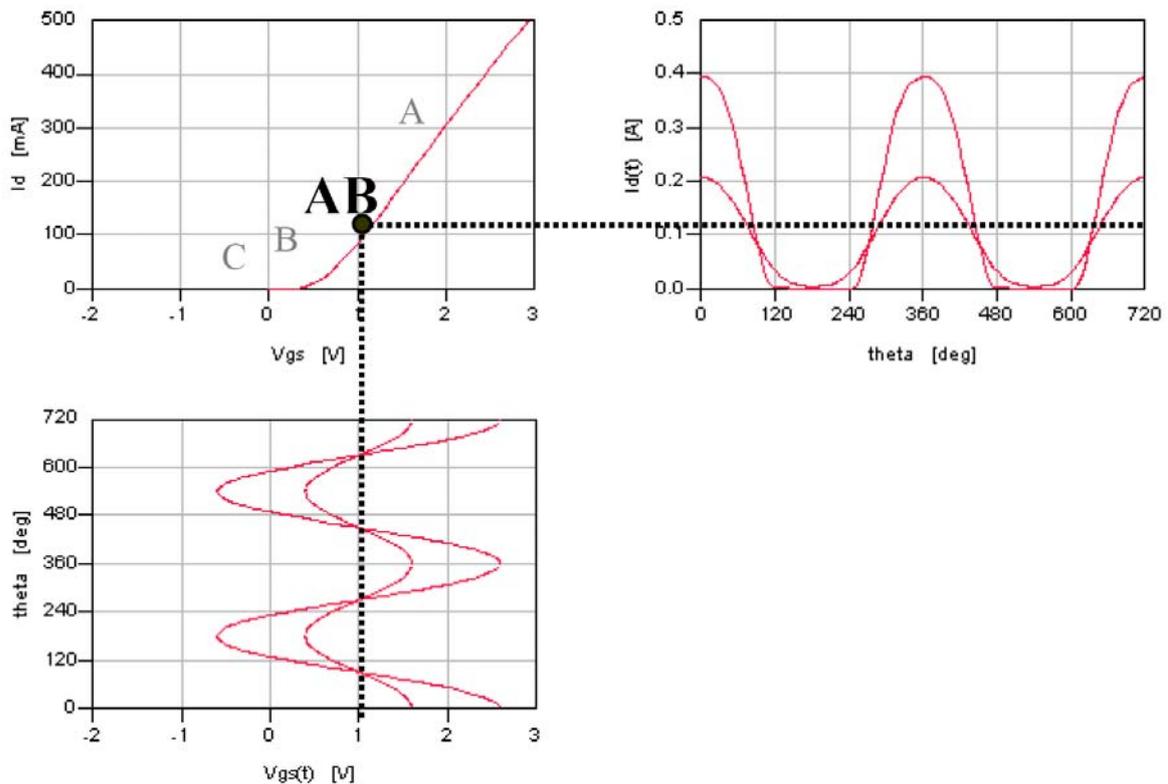


**Figure I.25** - Fonctionnement et polarisation en classe B

En statique le courant consommé est nul, tandis qu'en dynamique le niveau de courant est proportionnel au niveau du signal d'entrée. Plus le signal d'entrée est grand, plus le rendement sera important (rendement théorique maximum de 78,5% [68]). Cette classe d'amplificateur est couramment employée pour la réalisation d'amplificateurs « push-pull » où deux transistors se partagent la puissance fournie pendant la moitié de chacun de leur cycle RF. Cependant, elle présente aussi une distorsion importante.

#### • Classe AB

L'angle de conduction est compris entre  $180^\circ$  et  $360^\circ$  (figure I.26). La polarisation est ainsi située entre le seuil de conduction et le point de polarisation de classe A, avec une amplitude du signal d'entrée suffisante. En effet si l'amplitude du signal  $V_{gs}$  est faible, le transistor fonctionne en régime saturé, comme un amplificateur de classe A. En revanche, à partir d'un certain niveau de polarisation, le transistor se bloque pendant une durée inférieure à la demi-période du signal RF et la distorsion ainsi que le rendement augmentent.



**Figure I.26** - Fonctionnement et polarisation en classe AB

Cette distorsion reste relativement plus faible que celle d'un PA de classe B, principalement en raison du niveau de polarisation considéré. La classe AB obtient un meilleur rendement que la classe A et est couramment utilisée pour des amplificateurs de puissance [70]. Cette classe possède donc, en comparaison avec les classes A et B, un bon compromis rendement/linéarité.

#### • Classe C

Le transistor est polarisé sous le seuil de conduction ( $V_{gs} < V_t$ ) en statique. Son angle de conduction est alors inférieur à  $180^\circ$  (figure I.27). À mesure que l'angle de conduction diminue, la forme temporelle du courant rétrécit : le rendement augmente tandis que la puissance dissipée et la puissance de sortie diminuent. L'obtention d'un rendement important (proche de 100%) correspond à un comportement fortement non-linéaire au détriment de la puissance de sortie. La classe C possède un rendement et un comportement non-linéaire plus importants que toutes les classes A, B ou AB.

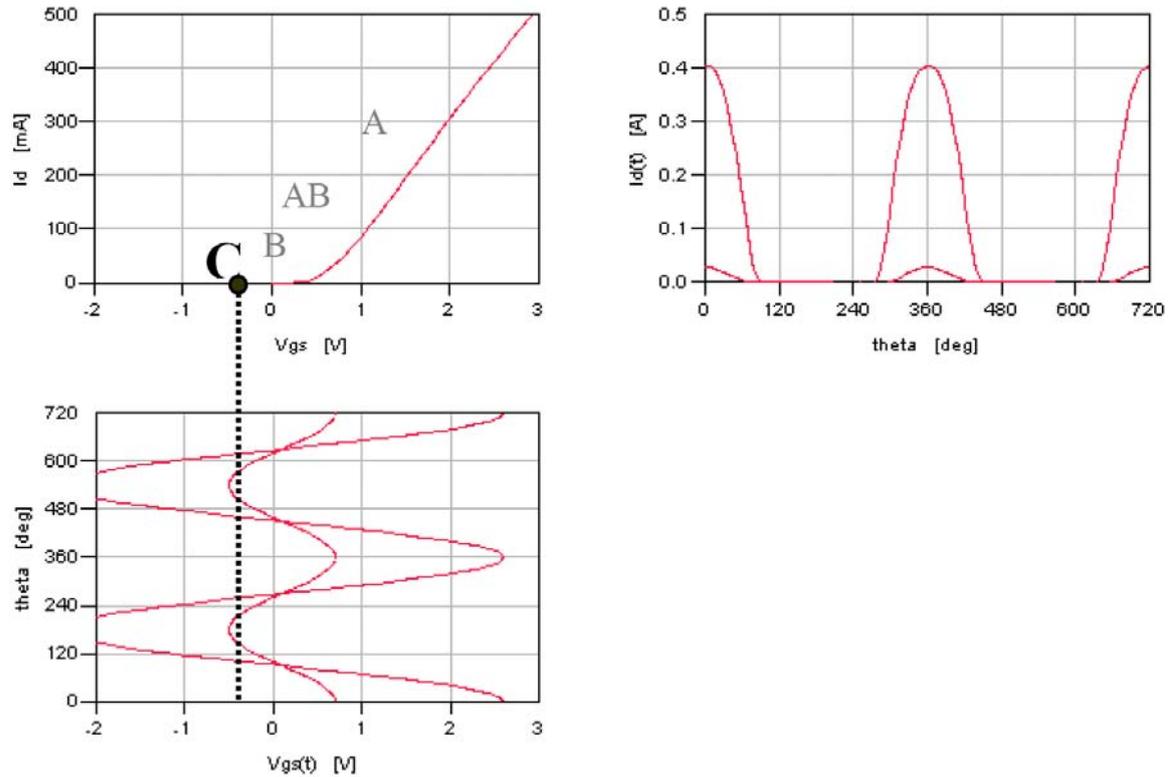


Figure I.27 - Fonctionnement et polarisation en classe C

#### 4.3.2. Classes commutées, fonctionnement non-linéaire

Pour ces classes, les transistors sont utilisés comme des interrupteurs. En effet, jusqu'à présent nous avons discuté de circuits où le composant actif agissait comme une source de courant. L'intérêt de cette nouvelle approche est qu'un interrupteur ne dissipe - idéalement - aucune puissance. Il n'y a [38] :

- Soit aucune tension à ses bornes,
- Soit aucun courant.

Ainsi le produit  $\mathbf{V} \cdot \mathbf{I}$  est toujours nul, le transistor ne dissipant pas de puissance, et l'efficacité théorique est de 100%. De plus, la puissance de sortie est indépendante de la puissance d'entrée. Cependant, à mesure que la fréquence augmente, des limitations apparaissent et les pertes de conduction et de commutation augmentent [7,67].

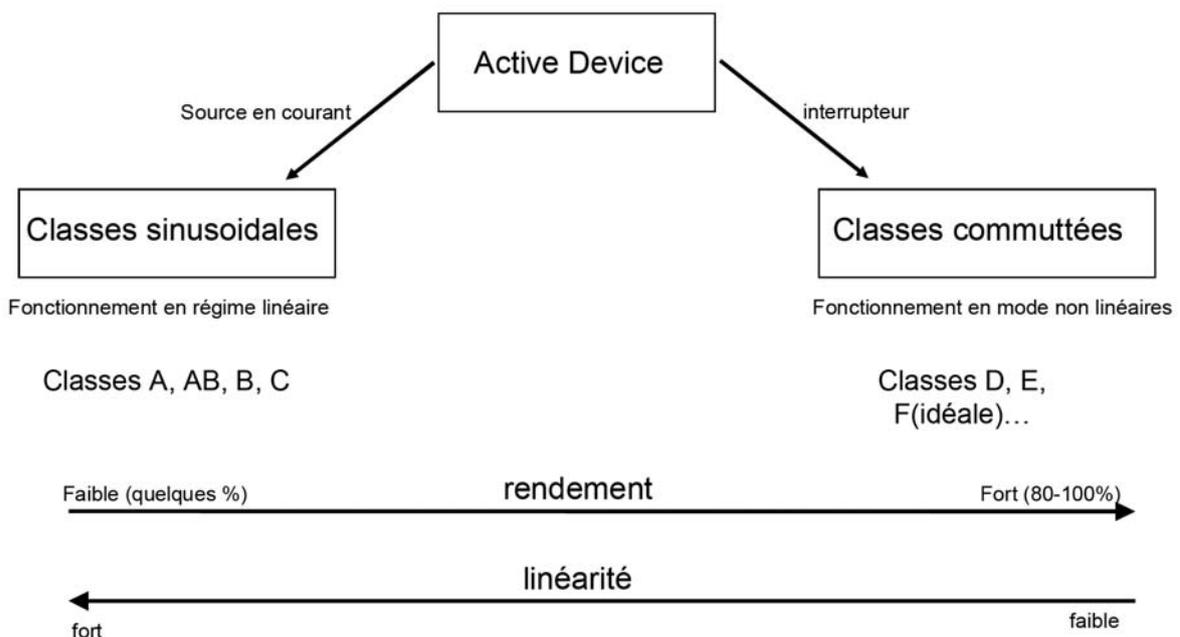
La classe D se décline sous deux formes : un mode courant où le signal de sortie a une forme temporelle rectangulaire et un mode tension où le signal de sortie est une demi-sinusoïde. Cette classe possède une distorsion importante

mais un rendement relativement plus élevé que les classes sinusoïdales et a l'avantage de ne pas endommager le transistor.

La classe E est une classe particulière des amplificateurs de commutation. En haute fréquence, elle permet d'obtenir de meilleurs rendements qu'une classe D équivalente (malgré un niveau de puissance inférieur à la classe A). Le montage classe E utilise un circuit de charge accordée pour compenser la capacité de sortie. Le domaine d'application des classes E est réservé aux amplificateurs à bande étroite.

La classe F est utilisée pour les applications à très haut rendement. Elle est caractérisée par une tension d'excitation en entrée de type sinusoïdal et une tension de sortie de forme carrée. Le courant de sortie est, quant à lui, de forme impulsionnelle voire sinusoïdale. En principe l'absence de puissance dissipée induit l'obtention d'un rendement de 100%. En réalité, le rendement d'un amplificateur de classe F reste supérieur à celui de classe E mais atteint difficilement 100%.

Le choix d'une classe de fonctionnement dépend de nombreux facteurs comme les contraintes de linéarité, la consommation, le niveau de puissance, etc. La figure I.28 résume les différentes classes de fonctionnement des amplificateurs de puissance ainsi que leurs niveaux de linéarité et de rendement relatifs [38].



**Figure I.28** - Résumé des différentes classes de fonctionnement des amplificateurs de puissance

## 5. Conclusion

Le MOSFET est aujourd'hui le transistor le plus utilisé en microélectronique. Alors qu'il sert principalement pour la conception de circuits numériques, son faible coût et ses performances en font un composant de plus en plus intéressant pour les applications RF.

Cette première partie est une introduction au sens général de notre étude. Au début, nous avons brièvement rappelé le fonctionnement du transistor MOS standard.

Nous avons, ensuite, situé et justifié les transistors LDMOS sur le marché des télécommunications et leur raison d'être. En effet, les MOSFET de puissance LDMOS, ont permis de contourner les limitations rencontrées sur les MOS standard en termes de tension de claquage et de courant de sortie pour les applications de puissance.

Nous avons également présenté l'amplificateur de puissance RF, les figures de mérite les plus fréquemment utilisées telles que le gain en puissance, le rendement, la fréquence de transition et la fréquence maximale et enfin nous avons abordé les différentes classes de fonctionnement, et plus en détail les classes de fonctionnement sinusoïdales (les classes : A, B, AB et C).

Nous nous proposons de présenter dans le chapitre suivant nos travaux sur la caractérisation fine de ces transistors en vue de leur utilisation comme amplificateur de puissance.

## *Chapitre 2*

# **Modèle petit-signal et caractérisation du transistor LDMOS**

## 1. Introduction

La modélisation des éléments d'un circuit intégré s'inscrit parmi les méthodologies permettant de réduire le temps de cycle et le coût d'un circuit [41]. En effet, une des particularités des circuits intégrés est qu'une fois fabriqués ils ne peuvent être modifiés. Ainsi, lors de la conception du circuit, le comportement électrique de celui-ci doit être simulé pour vérifier qu'il fonctionne correctement. Pour être pertinente, cette simulation doit bien entendu être la plus proche possible de la réalité. Le but de la modélisation est donc d'élaborer, pour chaque dispositif, un équivalent mathématique, le modèle, qui permet d'en reproduire et d'en prédire le comportement électrique [4]. Les principales difficultés résident dans le fait que développer un modèle représente un très long travail de recherche.

Nous l'avons vu, l'activité RF en technologie MOS est relativement récente, et reste encore minoritaire. Or, dans un circuit RF ou dans un circuit numérique, le transistor n'est pas utilisé de façon identique. Les besoins et les contraintes des deux types de circuit différent, et il en est par conséquent de même pour les modèles. Dans le but d'affiner la modélisation du transistor MOS en RF, il est donc essentiel de s'intéresser à certains aspects du composant, qui peuvent avoir une influence négligeable dans le cadre d'une application numérique, et néanmoins importante, voire prépondérante dans le comportement RF du transistor [9].

La construction d'un modèle de transistor MOSFET, utilisé pour la simulation RF nécessite une caractérisation fine.

Généralement, on préfère utiliser des composants en puce pour éviter les effets du boîtier sur les performances du composant. Pour cela aussi, il faut disposer d'un système de mesure sous pointes adéquat. Or les transistors LDMOSFET de puissance sont disponibles généralement encapsulés en boîtier. Les constructeurs ne donnent pas souvent les éléments précis du boîtier [71,72].

Dans ce chapitre, nous présentons une caractérisation fine d'un transistor LDMOSFET en boîtier en vue de l'élaboration de son modèle non-linéaire. Le même composant caractérisé peut être utilisé pour la réalisation de l'amplificateur de puissance souhaité, ce qui évitera une dispersion technologique due à l'utilisation d'un autre composant de la même série.

## 2. Exigences de la modélisation

La modélisation d'un composant doit répondre à un ensemble d'exigences qui, elles, sont définies par le domaine d'application et les demandes du concepteur en termes de résultats de simulation.

Pour illustrer ceci, nous allons prendre un exemple très simple qui est le cas d'une impédance. Si le concepteur s'intéresse uniquement au rapport du courant avec la tension appliquée sur cet élément, la loi d'Ohm  $i = v/z$  suffit pour le décrire. Cependant, si l'on est intéressé aussi par l'influence de l'effet Joule et de la température sur le courant, il est nécessaire d'inclure ce phénomène et de rendre le modèle plus complexe. Il en va de même pour le bruit thermique, etc.

De manière générale, un modèle idéal de transistors MOS adapté pour la conception de circuits intégrés numériques, analogiques ou mixtes, doit satisfaire les points suivants [8,73] :

1. Le modèle doit donner une bonne précision sur les caractéristiques de courant I-V dans une large gamme de polarisation.
2. Il doit prédire, de façon rigoureuse, les caractéristiques dynamiques en régime petit et grand-signal, même pour des fréquences de fonctionnement proches de la fréquence de transition du composant.
3. Il doit donner une bonne prédiction du bruit blanc et du bruit basse fréquence.
4. Les recommandations 1 à 3 doivent être vérifiées sur tous les régimes de polarisation et pour diverses valeurs du potentiel de substrat  $V_b$ .
5. Toutes les exigences précédentes doivent être satisfaites pour une large gamme de températures.

6. Le modèle doit être valable pour une large gamme de largeur  $W$  et de longueur  $L_g$  de la grille (paramétrable en  $W$ ,  $L_g$ ).
7. Il doit avoir le strict minimum possible de paramètres. Ceux-ci doivent être reliés directement à la structure du composant et au procédé de fabrication technologique.
8. Le modèle doit être facile à intégrer (implémenter) dans un simulateur. Pour le calcul numérique, il doit être robuste et continu entre les régimes de fonctionnement.
9. La méthode d'extraction des paramètres du modèle doit être la plus simple possible. Le nombre de composants-test ainsi que le nombre de mesures requis pour l'extraction des paramètres doit être le plus petit possible.

Tous les points énoncés précédemment représentent évidemment le cas d'un modèle idéal. Il n'existe pas de modèle pouvant satisfaire la totalité de ces exigences. Cependant, l'approche et le type de modélisation font apparaître divers avantages et inconvénients.

Ainsi, le choix d'un modèle ou d'une approche de modélisation doit s'effectuer en fonction des besoins comme des moyens offerts.

Par la suite, nous allons présenter trois types de modélisation concernant les MOSFET, avec leurs avantages et leurs inconvénients. Ainsi, en combinant les moyens offerts et les exigences requises dans le cadre de ces travaux, nous allons exposer le choix de modélisation effectué.

### **3. Types de modélisation**

On peut généralement distinguer trois types de modélisation [8,73] :

#### **3.1. La modélisation physique**

Elle est basée sur la physique des composants semiconducteurs. Tous les paramètres ont une signification physique directement liée à la géométrie du composant ( $W$ ,  $L_g$ ), au procédé technologique et à la physique du composant (dopages, potentiels de bandes plates...) [73].

Par définition, un modèle physique répond à la majorité des exigences présentées ci-dessus. Ainsi, il est adapté à la simulation statistique en rapport avec les paramètres technologiques, il peut prévoir le comportement du transistor à diverses températures et peut tenir compte de nombreux effets, de manière analytique.

Cependant, le temps de développement d'un modèle physique peut durer plusieurs années et ne jamais prendre fin, car, à chaque nouvelle génération technologique, de nouveaux effets physiques apparaissent et doivent être pris en compte. D'autre part, afin d'assurer une bonne robustesse numérique, les équations doivent être les plus simples possibles et doivent assurer une continuité entre les différents régimes de fonctionnement. Ceci entraîne automatiquement une limitation dans les expressions du modèle physique. Finalement, d'un point de vue pratique, les inconvénients les plus importants sont le nombre de paramètres et les méthodes d'extraction des modèles physiques.

Aujourd'hui les modèles physiques les plus répandus pour les transistors MOS sont le BSIM développé à l'université de Berkeley, le MOSMODEL de Philips ainsi que le modèle SP (Surface Potential) développé par Gildenblat et Chen à l'Université de Pennsylvanie et qui est qualifié à la fois de modèle le plus proche de la physique et aussi le plus mathématique [5,74]. Par exemple, la version du BSIM3v3 comprend à peu près 400 paramètres afin d'assurer tous les régimes de fonctionnement et un grand nombre d'effets physiques [8,12,75]. Une grande partie des effets sont décrits par des équations semi-empiriques qui, finalement, ne sont plus vraiment reliées à la physique du composant [5]. D'autre part, le nombre de transistors tests exigés pour l'extraction des paramètres est très élevé. Ceci oblige les ingénieurs de modélisation à incorporer un nombre non négligeable de structures de mesures sur les masques technologiques. De ce fait, le nombre de mesures requises afin d'extraire les paramètres est très élevé. Enfin, l'extraction exige de la part de l'ingénieur de modélisation une formation technique très spécifique sur le modèle précis.

Aujourd'hui, le temps d'extraction d'un modèle de type BSIM est tellement élevé qu'il ne se prête pas à la modélisation de technologies en cours de développement.

### 3.2. La modélisation phénoménologique (ou empirique)

La modélisation phénoménologique est une approche purement empirique, c'est-à-dire qu'elle se base uniquement sur la représentation des effets observables et mesurables, indépendamment de leur nature.

Cette catégorie regroupe les modèles utilisant un circuit électrique équivalent qui comporte des éléments linéaires et non linéaires. Ces éléments non-linéaires sont décrits par des expressions mathématiques les plus simples possibles pour ne pas altérer la convergence et le temps de calcul des simulateurs. Les expressions mathématiques sont représentatives du fonctionnement global, elles peuvent avoir une signification physique ou non, on emploie alors le terme d'expression ou de modèle empirique. Ce type de modèle présuppose de réaliser des composants avant de les modéliser car les paramètres des expressions sont déterminés à partir de mesures électriques de ces mêmes composants [73,76].

Ces circuits équivalents peuvent être très simples ou au contraire d'une complexité importante, leur conception devant dépendre de l'application visée [35].

Parmi la liste des points énoncés dans le paragraphe §2, un modèle empirique peut n'en satisfaire qu'un nombre restreint. Il ne peut être utilisé pour faire une étude statistique sur les composants en fonction des paramètres de fabrication technologiques. Les lois d'échelle sur la géométrie des composants (surtout sur  $L_g$ ) ne sont pas valables, car le modèle ne tient pas compte de l'évolution de chaque élément physique en fonction des dimensions du composant. D'autre part, les effets de température sur les éléments modélisés empiriquement sont très difficiles à incorporer. Finalement, l'extraction requiert obligatoirement une procédure d'optimisation, chose qui peut mener à différents ensembles de valeurs de paramètres pour un même composant.

Toutefois, les avantages de la modélisation phénoménologique ne doivent pas être négligés. L'élaboration d'un tel modèle peut s'avérer très rapide ; des équations simples peuvent très bien décrire le comportement électrique du transistor, sur tous les régimes de polarisation et sur la gamme de fréquence de

fonctionnement envisagés. Même certaines lois d'échelle peuvent être incluses dans les équations. Une fois le modèle élaboré, l'extraction des paramètres est rapide et les mesures requises sont simples et peu nombreuses. Par ailleurs, à cause de la nature de la modélisation empirique, le modèle est facilement incorporable dans un simulateur de circuits quelconque. Grâce à la simplicité de tels modèles, le temps de calcul numérique, peut être considérablement réduit [8].

### **3.3. La modélisation à base de données expérimentales (ou par tables)**

La modélisation à base de données expérimentales est très similaire à la modélisation phénoménologique. La différence majeure est que les éléments non linéaires ne sont pas décrits par des fonctions mathématiques, mais par des matrices de données de mesures paramétrées suivant plusieurs entrées ( $V_{gs}$ ,  $V_{ds}$ , température ...) [76]. Les points de mesures sont reliés entre eux par des fonctions d'interpolation. Ceci entraîne certains avantages et inconvénients [73].

Le modèle est valable uniquement dans la plage des mesures effectuées [77], car, au-delà, les fonctions d'interpolation ne peuvent nullement assurer le comportement du composant. Il en découle que, pour des polarisations proches à la limite des mesures, ces modèles présentent d'énormes problèmes de discontinuité. Ceci est un inconvénient majeur, car il peut entraîner la divergence lors d'un calcul. D'autre part, peu de lois d'échelle peuvent être prises en compte et chaque composant doit être individuellement mesuré.

On peut désigner le modèle par table comme le plus simple et le plus rapide à mettre au point puisqu'il ne nécessite pas d'étapes d'optimisations parfois coûteuses en temps [57,76,78].

Les avantages sont similaires à ceux des modèles phénoménologiques, avec, de plus, une rapidité d'extraction plus élevée.

## **4. Choix de la modélisation**

Afin de modéliser les transistors MOS en hyperfréquence, nous avons d'abord considéré les besoins et le but de l'étude. Le transistor mis en avant dans

cette étude est destinée à des applications de puissance. Le composant est d'abord modélisé puis son modèle est implanté dans le logiciel de simulation ADS d'Agilent. Les concepteurs utilisent ces modèles pour concevoir des circuits hyperfréquences (amplificateurs de puissance, mélangeurs, LNA, oscillateurs, ...).

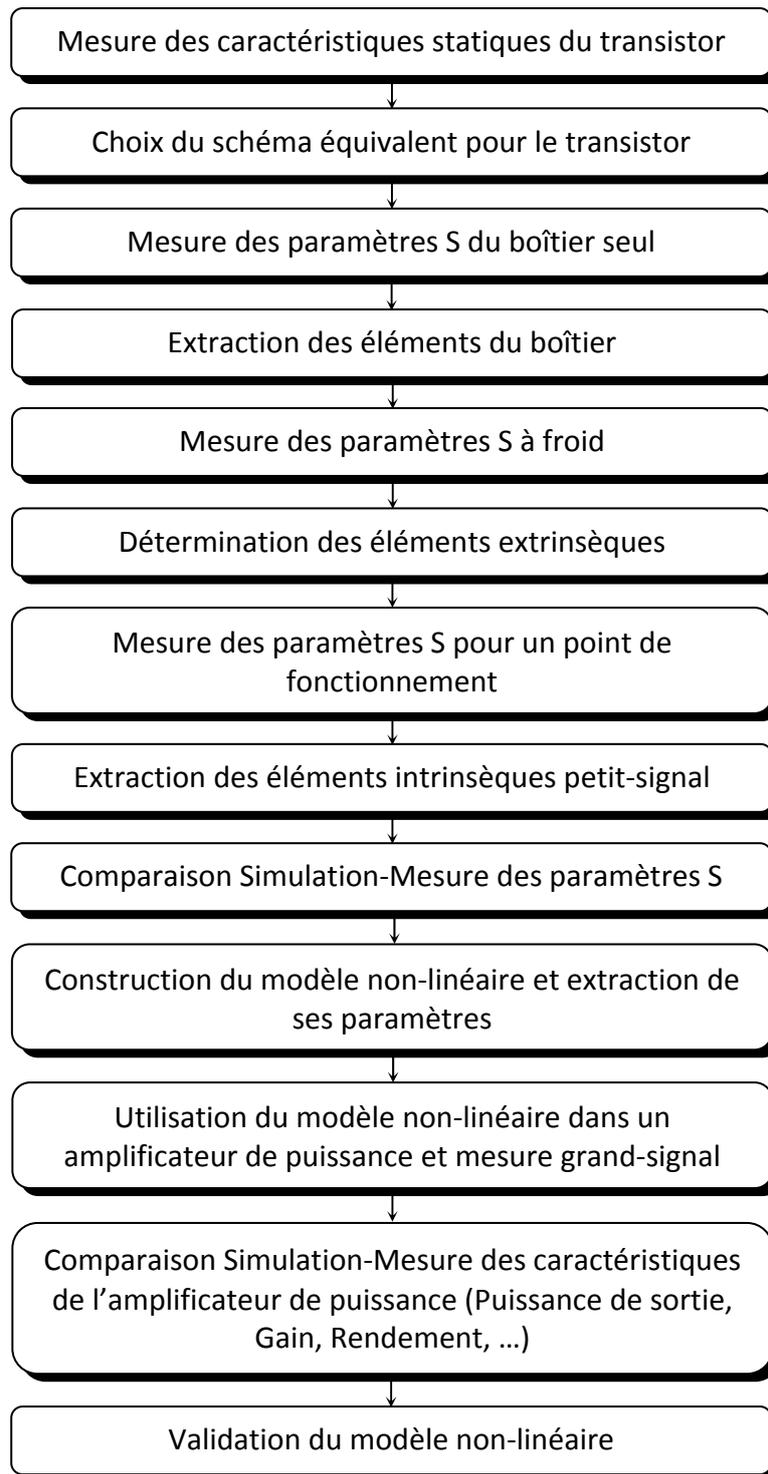
Les modèles physiques représentent, de façon précise, le comportement physique interne du composant, mais ils exigent des temps de calcul très importants et des ressources informatiques conséquentes pour l'étude du régime grand-signal. Le modèle BSIM3v3, par exemple, ne peut pas répondre à ces besoins, pour les raisons évoquées précédemment (Plus précisément, à cause de la complexité et du temps d'extraction du modèle).

Les modèles par tables constituent un bon compromis calcul-précision-facilité de mise en œuvre, mais il faut élaborer un modèle pour chaque transistor utilisé, et de plus, le modèle est valide uniquement dans la zone mesurée car l'extrapolation du modèle peut-être inexacte.

Nous avons donc fait le choix du modèle phénoménologique qui rendait le travail beaucoup plus flexible et rapide. Ces modèles nécessitent des caractérisations spécifiques de composants déjà existants. Ces méthodes de caractérisation seront expliquées plus loin dans ce chapitre.

## **5. Méthodologie suivie pour l'extraction du modèle électrique**

Dans ce paragraphe, nous allons présenter la méthode d'extraction de tous les éléments et les paramètres du modèle. Elle se base sur des mesures statiques et des mesures petit-signal en hyperfréquences. Dans un premier temps, nous discuterons des mesures hyperfréquences et des techniques d'étalonnage nécessaires lors des mesures. Par la suite, la méthode de détermination de chaque élément et de chaque paramètre du modèle sera donnée. La procédure générale d'extraction est schématisée sur la figure II.1.



**Figure II.1** - Diagramme reflétant la chronologie à suivre pour l'extraction du modèle et sa validation

## 6. Choix du schéma équivalent

Un modèle électrique grand-signal de transistor se base sur une approche de type schéma équivalent électrique. Les éléments grand-signal sont déterminés à partir de mesures donnant leurs variations en fonction des potentiels appliqués. Avant de passer dans les détails de l'élaboration d'un modèle grand-signal pour MOSFET, il est important de rappeler le schéma équivalent petit-signal qui est intimement lié au modèle grand-signal. Un schéma équivalent électrique petit-signal (linéarisation autour d'un point de polarisation) représente le fonctionnement dynamique d'un transistor autour d'un point de polarisation.

Dans ce paragraphe, nous allons présenter en détail le schéma équivalent électrique petit-signal, utilisé pour la modélisation de notre transistor en hyperfréquences.

### 6.1. Schéma équivalent électrique petit-signal

Nous nous sommes basés sur un schéma équivalent (SE) petit-signal, largement utilisé dans la littérature [6,12,76,79-85], hérité de la culture des transistors FET en III-V [12,86]. Il est défini selon une approche non-quasi statique pour une topologie à source commune et un potentiel de substrat nul (connecté à la source). Les différents éléments électriques constituant le schéma équivalent représentent les diverses parties du transistor et leurs mécanismes physiques.

D'après sa structure et son fonctionnement physique, le transistor (sans boîtier) est divisé en deux parties : sa partie intrinsèque et sa partie extrinsèque [73]. La partie intrinsèque correspond à la partie active du transistor, c'est-à-dire au canal. La partie extrinsèque correspond aux zones reliant la partie active du composant avec les métallisations de contact. De même, le schéma équivalent est constitué par ses éléments extrinsèques et ses éléments intrinsèques.

Dans la littérature [42,87,88], on parle souvent de ces deux parties (intrinsèque et extrinsèque) pour la modélisation des transistors de type FET sans prendre en considération l'effet du boîtier. Or, on peut distinguer les applications où les circuits intégrés ne peuvent pas assurer toutes les performances demandées et, par conséquent, les composants discrets se révèlent

indispensables. Il s'agit la plupart du temps de fonctions de commande qui demandent des puissances ou des tensions élevées tels que les amplificateurs de puissance [89,90].

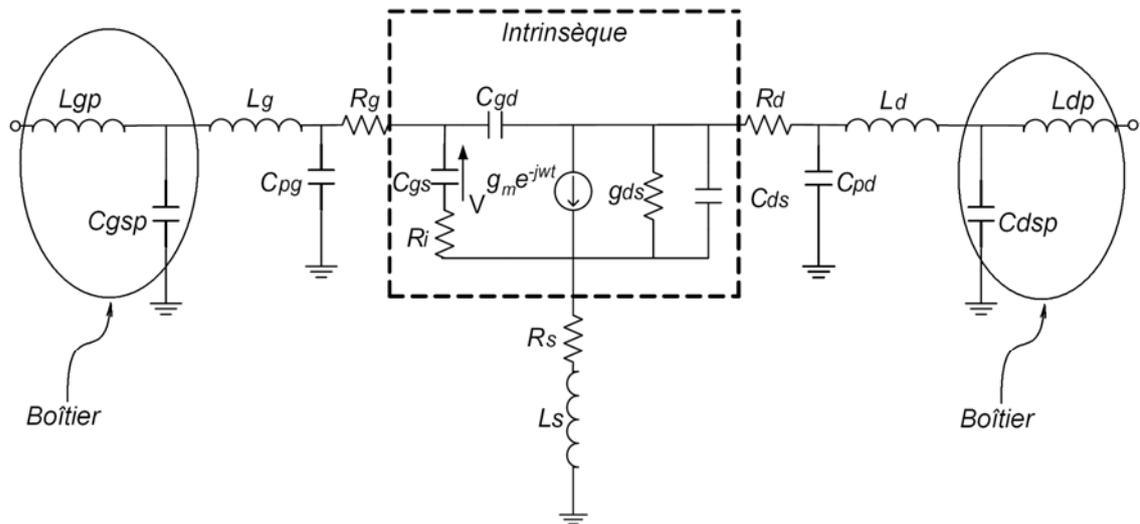
Les enjeux du packaging sont principalement [91] :

- La tenue mécanique, le package doit supporter les contraintes dues aux variations de température, et offrir une protection contre les chocs et la corrosion qui conduisent à une altération du scellement entre le substrat et le capot.
- La protection thermique.
- L'herméticité.
- La transmission de l'information et de l'énergie avec le MEMS, et donc les questions de connectique, électrique ou optique.

Notre contribution consiste à introduire une troisième partie modélisant l'effet du boîtier, du fait que le composant utilisé dans ce travail est un transistor MOSFET discret.

Que ce soit pour l'une ou l'autre des parties, le schéma équivalent repose sur l'hypothèse que ses éléments sont indépendants de la fréquence jusqu'à la fréquence de coupure du transistor [6,92]. En d'autres termes, le schéma équivalent utilisé est suffisant pour décrire le comportement du transistor tant que ses éléments sont constants en fonction de la fréquence. Cette hypothèse est primordiale pour l'extraction des éléments du schéma équivalent à partir des mesures [86,93-95].

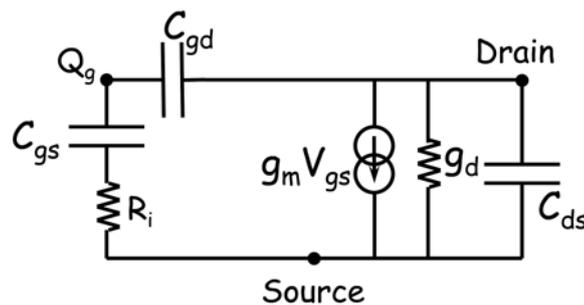
Le schéma équivalent petit-signal tel qu'il est usuellement utilisé est illustré sur la figure II.2.



**Figure II.2** - Modèle petit-signal pour les transistors MOS en source commune, incluant les éléments du boîtier

## 6.2. Éléments Intrinsèques

La figure II.3 montre le schéma équivalent de la partie intrinsèque. Chaque élément du schéma équivalent intrinsèque reflète un mécanisme physique ou une propriété électrique du transistor. Ces éléments sont des fonctions de la polarisation et de la longueur de grille. L'extraction de la partie intrinsèque du transistor se fait ensuite lorsque celui-ci est polarisé [96].



**Figure II.3** - Schéma équivalent électrique petit-signal de la partie intrinsèque d'un transistor MOS

L'effet transistor est modélisé par une source de courant donnée par  $g_m \cdot V_{gs}$ ,  $g_m$  étant la transconductance et traduisant la commande du canal par la

tension  $V_{gs}$ .  $V_{gs}$  est le signal appliqué aux bornes de la capacité  $C_{gs}$ . La transconductance est définie par [97] :

$$g_m = \left. \frac{\partial I_{ds}(V_{gs}, V_{ds})}{\partial V_{gs}} \right|_{V_{ds}=cte} \quad (II.1)$$

L'élément  $g_d$  représente la conductance de drain du transistor qui est définie par :

$$g_d = \left. \frac{\partial I_{ds}(V_{gs}, V_{ds})}{\partial V_{ds}} \right|_{V_{gs}=cte} \quad (II.2)$$

Dans les équations (II.1) et (II.2),  $I_{ds}$  est le courant circulant entre le drain et la source du transistor et dépend des potentiels  $V_{gs}$  et  $V_{ds}$ .

$C_{ds}$  correspond aux capacités en série des jonctions de source et de drain. Elle est définie par la relation suivante :

$$C_{ds} = \left. \frac{\partial Q_d(V_{gs}, V_{ds})}{\partial V_{ds}} \right|_{V_{gs}=cte} \quad (II.3)$$

$Q_d$  est la charge accumulée sous l'électrode de drain.

Les capacités  $C_{gs}$  et  $C_{gd}$  sont les charges qui fluctuent en fonction du champ électrique émanant de la grille vers les métallisations, les régions  $N^+$  de drain et de source. L'estimation de ces capacités dans un dispositif MOSFET est très importante, et cela particulièrement pour la simulation des circuits RF (Radio Frequency) [96].

Ces capacités représentent la commande de la charge stockée sous l'effet des tensions  $V_{gs}$  et  $V_{gd}$ . Les équations décrivant leur évolution reposent sur le principe de la conservation de la charge. Ce principe assure la convergence des simulations en grand-signal et correspond à une réalité physique [84] :

$$C_{gs} = \left. \frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gs}} \right|_{V_{gd}=cte} \quad (II.4)$$

$$C_{gd} = \left. \frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gd}} \right|_{V_{gs}=cte} \quad (II.5)$$

$Q_g$  est la charge totale stockée dans la grille et dépend aussi des potentiels  $V_{gs}$  et  $V_{ds}$ . Dans les équations (II.4) et (II.5),  $C_{gs}$  et  $C_{gd}$  sont définies par rapport aux potentiels  $V_{gs}$  et  $V_{gd}$ . Néanmoins, dans la topologie source commune, les potentiels de contrôle usuels sont  $V_{gs}$  et  $V_{ds}$ . A partir de la relation entre les trois potentiels ( $V_{gd}=V_{gs}-V_{ds}$ ),  $C_{gs}$  et  $C_{gd}$  peuvent être exprimées sous la forme :

$$C_{gs} = \left. \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{gs}} \right|_{V_{ds}=cte} + \left. \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{ds}} \right|_{V_{gs}=cte} \quad (II.6)$$

$$C_{gd} = - \left. \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{ds}} \right|_{V_{gs}=cte} \quad (II.7)$$

L'élément  $R_i$  est lié aux effets non-quasi statiques. Le caractère distribué de la capacité de grille et de la résistance du canal conduit à considérer la partie du canal sous la grille comme une ligne de transmission « R-C » non uniforme. L'impédance d'entrée de cette ligne est équivalente à la capacité grille-source en série avec une résistance  $R_i$  [98]. La détermination de cette résistance demeure difficile, particulièrement dans la région ohmique et en régime très pincé. Elle est souvent dépendante des tensions de commande du composant. Cependant, elle montre sa limite lors de la montée en fréquence du composant [80].

### 6.3. Eléments Extrinsèques

Les éléments extrinsèques du schéma équivalent sont illustrés sur la figure II.4. Ils sont supposés indépendants des polarisations et du régime de fonctionnement du composant [88,99,100].

Les résistances  $R_s$  et  $R_d$  modélisent la résistivité des caissons fortement dopés, respectivement, de source et de drain.

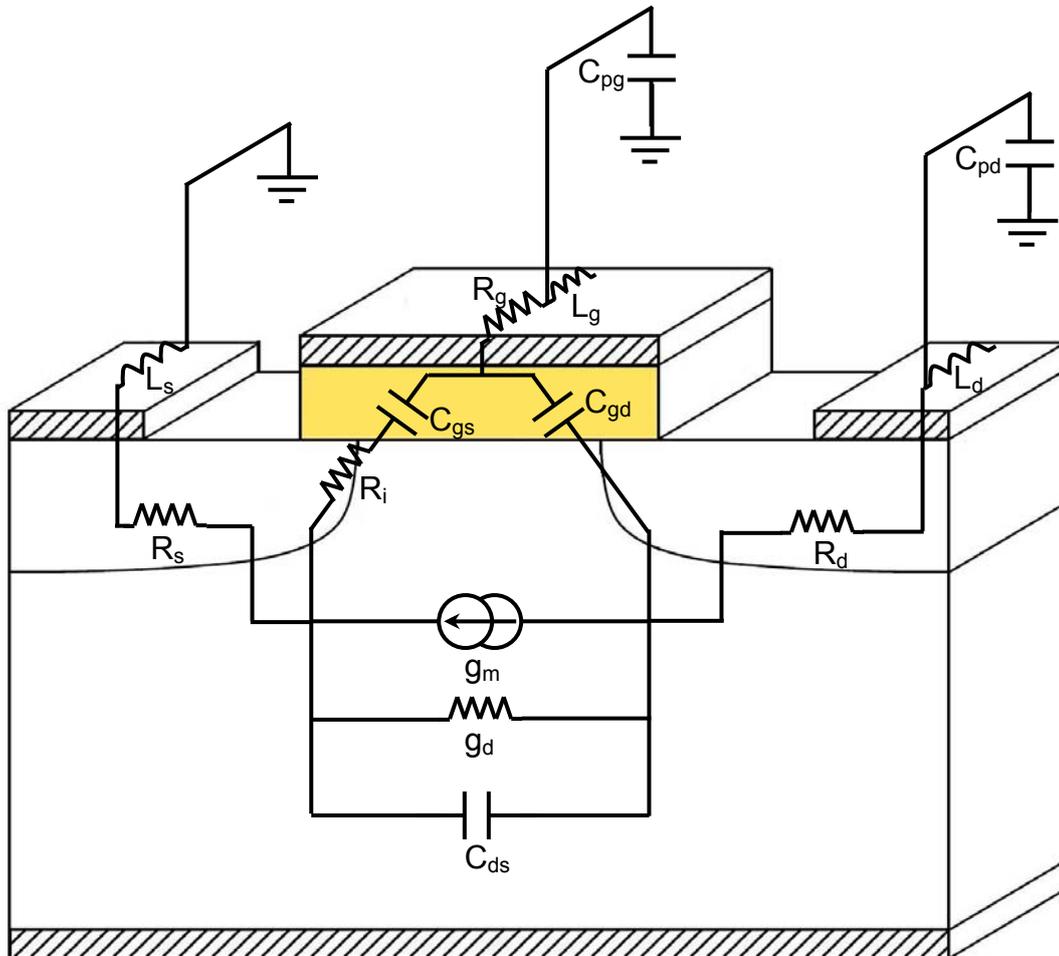
La résistance  $R_g$  est due principalement à la résistance de la siliciuration de la grille, ainsi qu'aux pertes métalliques [86]. Ces résistances sont distribuées sur toute la largeur de la grille.

Il est important de noter que  $R_d$  et  $R_s$  sont inversement proportionnelles à la largeur du transistor, alors que  $R_g$  est proportionnelle à la largeur totale (Tableau II.1).

Les deux inductances  $L_g$  et  $L_d$  appelées aussi selfs parasites de connexion, modélisent les fils de connexion aux électrodes du composant. Le comportement inductif des fils de contact « bonding », peut être pris en compte par ces éléments [80].

L'inductance  $L_s$  modélise essentiellement les effets inductifs dus aux trous de contact afin de joindre le plan de masse de la puce « via-hole » [80].

Les capacités  $C_{pg}$  et  $C_{pd}$  sont des capacités électrostatiques parasites des plots de métallisation de grille et de drain par rapport au substrat [82].



**Figure II.4** - Signification physique des éléments intrinsèques et extrinsèques du schéma équivalent

#### 6.4. Éléments du boîtier

Le transistor LDMOSFET utilisé est le BLF2043F de NXP Semiconductors. C'est un transistor encapsulé dans un boîtier en céramique de type SOT467C (figure II.5). La source commune est connectée au support de fixation [101].

Pour cela, nous avons modélisé l'effet du boîtier en ajoutant les inductances  $L_{gp}$  et  $L_{dp}$  et les capacités  $C_{gsp}$  et  $C_{dsp}$  (figure II.6).

$L_{gp}$  et  $L_{dp}$  modélisent les inductances équivalentes des pattes (languettes) grille et drain du boîtier.

$C_{gsp}$  et  $C_{dsp}$  modélisent les capacités parasites entre les pattes grille et drain respectivement et celle de la source.

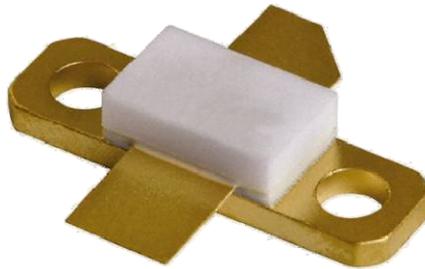


Figure II.5 - Photo du boîtier SOT467C utilisé pour les transistors BLF2043F

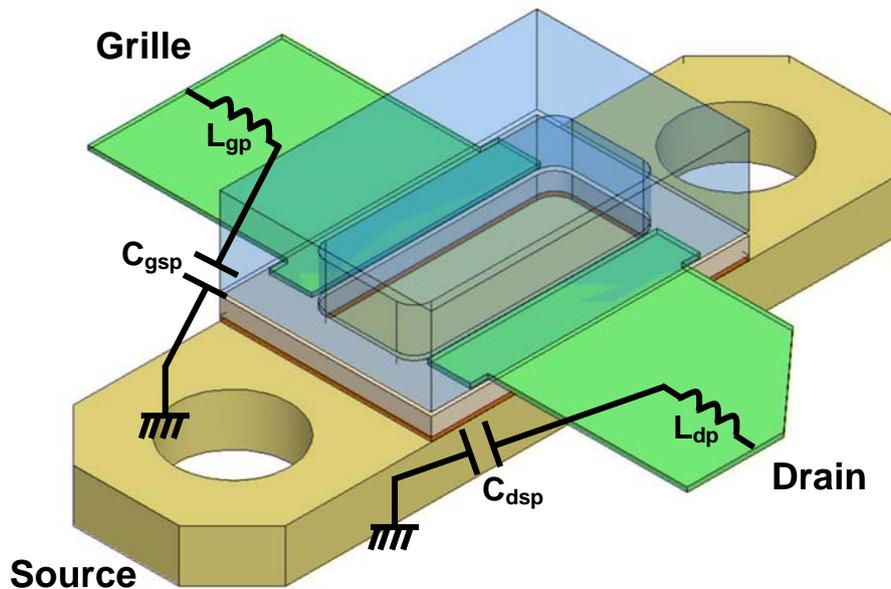


Figure II.6 - Origine physique des éléments du boîtier

## 6.5. Facteurs d'échelle

La plupart des éléments du schéma équivalent répondent à des lois d'échelle [86,102], c'est-à-dire que leur valeur varie en fonction de la largeur de la grille  $W$ . Le Tableau II.1 donne les dépendances des éléments du schéma équivalent.

$g_m$	$g_d$	$C_{gs}$	$C_{gd}$	$C_{ds}$	$R_i$	$R_g$	$R_d$	$R_s$	$L_g$	$L_d$	$L_s$	$C_{pg}$	$C_{pd}$	$L_{gp}$	$L_{dp}$	$C_{gsp}$	$C_{dsp}$
$\infty$	<i>Ind.</i>	<i>Ind.</i>	<i>Ind.</i>	<i>Ind.</i>	$\infty$	<i>Ind.</i>	<i>Ind.</i>	<i>Ind.</i>	<i>Ind.</i>								
$W$	$W$	$W$	$W$	$W$	$1/W$	$W$	$1/W$	$1/W$					$W$				

**Tableau II.1** - Lois d'échelle des éléments du schéma équivalent

*Ind.* : indépendance vis à vis de la largeur de grille,  $W$ .

## 7. Les mesures sur les transistors

Le transistor LDMOSFET utilisé est le BLF2043F (de NXP Semiconductors) monté en boîtier. Il est destiné aux applications dans les stations de base de téléphonie mobile. Il peut générer une puissance de 10W pour une fréquence de travail autour de 2.2GHz avec une tension de seuil de grille  $V_{th}$  d'environ 4V [101].

Afin de caractériser ce transistor, nous avons eu recours à deux types de mesures couramment utilisées : les mesures en continu et les mesures hyperfréquences. Il faut préciser que nos mesures statiques sont effectuées point par point. Aussi, étant donné que l'exploitation des mesures hyperfréquences n'est pas automatisée dans notre laboratoire, nous avons reporté les mesures sur le logiciel ADS tout en définissant les équations permettant d'extraire le modèle équivalent du transistor.

### 7.1. Les mesures en continu

Les premières informations qu'il est possible d'extraire de ce type de mesures sont le réseau  $I_{ds}=f(V_{ds})$  à différentes valeurs de  $V_{gs}$  et la caractéristique de transfert  $I_{ds}=f(V_{gs})$  à différentes valeurs de  $V_{ds}$ . Cela permet de vérifier le bon fonctionnement du transistor. De plus, le premier réseau de caractéristiques  $I_{ds}=f(V_{ds})$  (figure II.7) donne des informations sur le courant de drain maximum que

peut délivrer le composant et sur sa tension de pincement. La conductance extrinsèque  $g_{d\ ext}$  est donnée par :

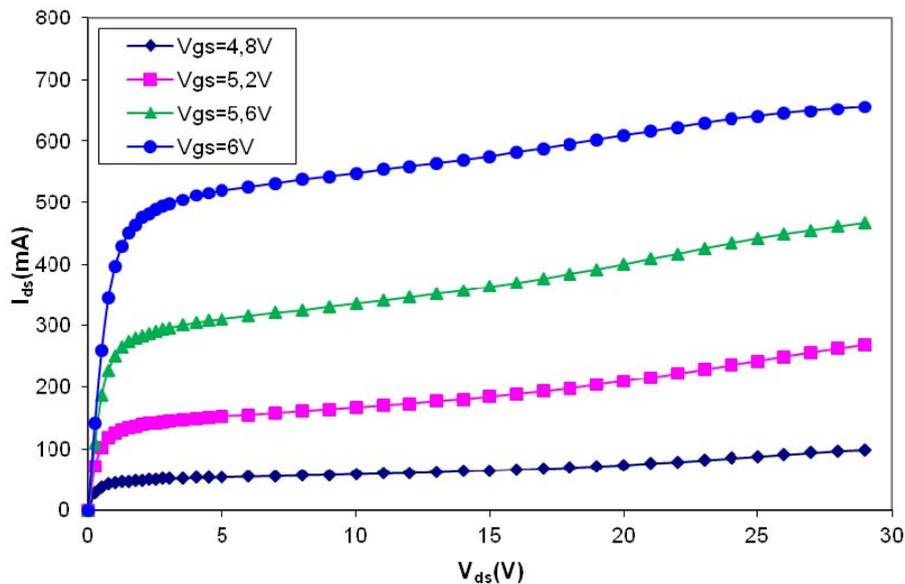
$$g_{d\ ext} = \left. \frac{\partial I_{ds}}{\partial V_{ds}} \right|_{V_{gs}=cte} \quad (II.8)$$

Le second réseau de caractéristiques  $I_{ds} = f(V_{gs})$  donne la valeur maximale du courant, de la tension de pincement et permet de déduire la transconductance extrinsèque  $g_{m\ ext}$  :

$$g_{m\ ext} = \left. \frac{\partial I_{ds}}{\partial V_{gs}} \right|_{V_{ds}=cte} \quad (II.9)$$

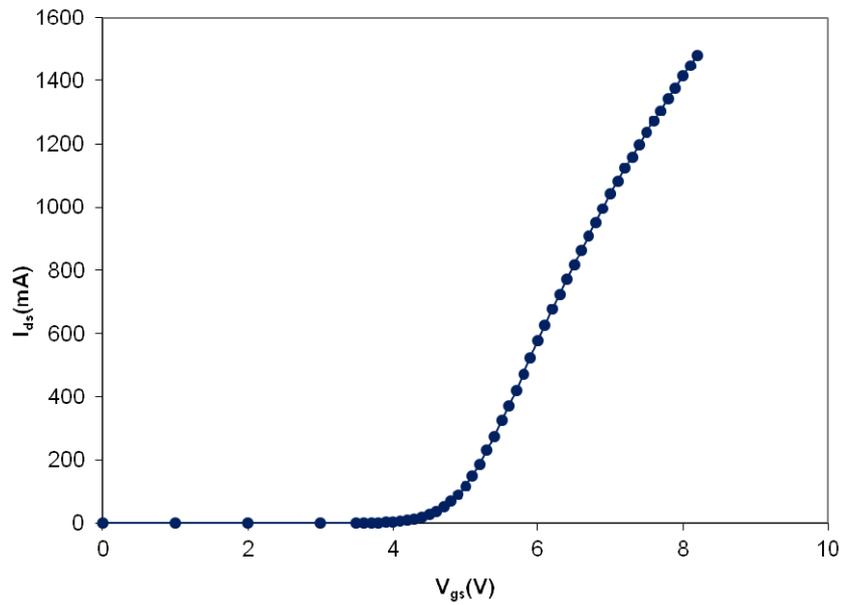
Bien qu'elles ne soient pas directement utilisables pour notre modélisation, à cause des effets critiques non pris en compte tels que les effets thermiques, ces caractéristiques servent en tant qu'éléments de comparaison et donnent une information sur les limites d'utilisation du composant.

A titre d'exemple, la figure II.7 montre le réseau de caractéristique  $I_{ds} = f(V_{ds})$  pour le transistor BLF2043F élaboré point par point pour différentes valeurs de  $V_{gs}$ .



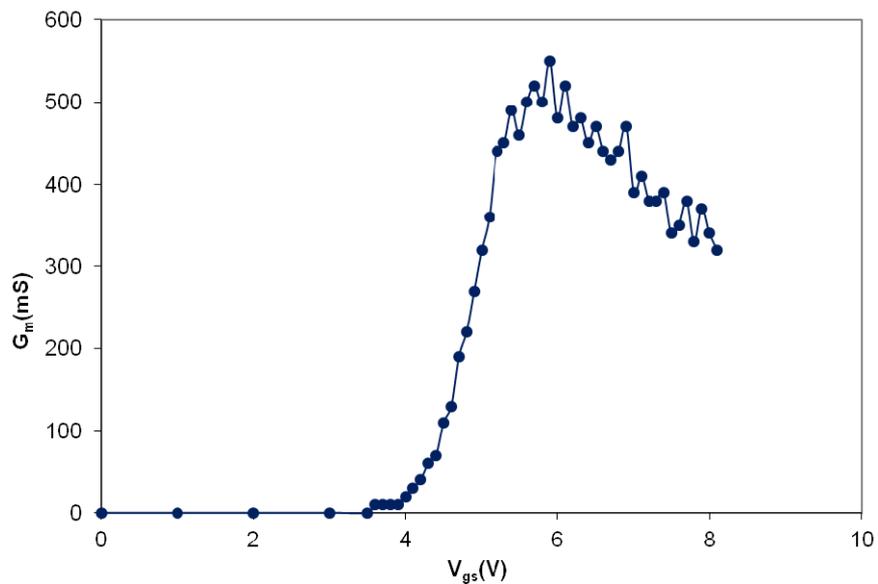
**Figure II.7** - Réseaux de caractéristiques de sortie  $I_{ds} = f(V_{ds})$  du transistor BLF2043F

La figure II.8 présente le courant  $I_{ds}$  en fonction de la tension  $V_{gs}$  du transistor utilisé à  $V_{ds}=16V$ .



**Figure II.8** - Caractéristiques de transfert  $I_{ds}=f(V_{gs})$  du transistor BLF2043F à  $V_{ds}=16V$

La figure II.9 présente la transconductance statique du transistor à  $V_{ds}=16V$ .

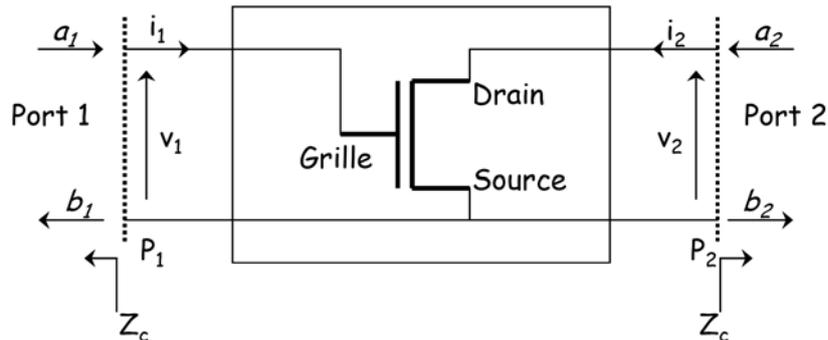


**Figure II.9** - Transconductance statique  $g_m$  du transistor BLF2043F à  $V_{ds}=16V$

## 7.2. Les mesures hyperfréquences

### 7.2.1. Paramètres de répartition

Les transistors sont généralement représentés sous la forme de quadripôles avec un port d'entrée et un port de sortie, où sont définis les courants et les tensions. La figure II.10 illustre schématiquement un transistor MOSFET sous sa représentation quadripôle en source commune.



**Figure II.10** - Représentation d'un transistor en source commune, sous la forme d'un quadripôle

En régime de fonctionnement petit-signal (faibles amplitudes d'excitation), le quadripôle peut être caractérisé par des relations linéaires entre les courants  $i_i$  et les tensions  $v_i$ . En hyperfréquences, les notions de courant et de tension sont difficiles à utiliser [8]. En effet, au delà de 100 MHz, la condition circuit ouvert (impédance infinie) est difficile à réaliser ; quant à la mise en court-circuit, elle entraîne souvent l'oscillation du montage, ceci est dû aux capacités et aux inductances parasites. Au contraire, les mesures des paramètres S se font sur entrée et sortie adaptées et n'entraînent pas ces difficultés [103]. De plus, en raison des phénomènes de propagation qui peuvent exister en haute fréquence, on se rend compte que les tensions et les courants dépendent de la position où ils sont mesurés (la longueur des éléments est souvent du même ordre de grandeur que la longueur d'onde) [9].

Pour cela, nous utilisons le concept de la puissance d'onde. En un plan du circuit (plan  $P_1$  ou plan  $P_2$  de la figure II.10) sont définies la puissance de l'onde incidente  $a_i$  et la puissance d'onde réfléchie  $b_i$ . Entre deux plans ( $P_1$  et  $P_2$ ), nous

définissons la notion de la puissance transmise. Les puissances  $a_i$  et  $b_i$  sont reliées avec les courants  $i_i$  et les tensions  $v_i$  par les relations :

$$a_i = \frac{v_i + Z_c i_i}{2\sqrt{\Re(Z_c)}} \quad (\text{II.10})$$

$$b_i = \frac{v_i - Z_c^* i_i}{2\sqrt{\Re(Z_c)}} \quad (\text{II.11})$$

$Z_c$  est l'impédance caractéristique sur laquelle le quadripôle est chargé. Le quadripôle est caractérisé par les paramètres S qui sont définis par des relations linéaires entre les ondes incidentes, réfléchies et transmises. Ils sont définis par :

$$\left\{ \begin{array}{l} b_1 = S_{11}a_1 + S_{12}a_2 \\ b_2 = S_{21}a_1 + S_{22}a_2 \end{array} \right. \quad (\text{II.12})$$

$$\left\{ \begin{array}{l} b_1 = S_{11}a_1 + S_{12}a_2 \\ b_2 = S_{21}a_1 + S_{22}a_2 \end{array} \right. \quad (\text{II.13})$$

Ou sous forme matricielle :

$$\begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = (S) \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} \quad (\text{II.14})$$

Les 4 paramètres  $S_{ij}$  sont des grandeurs complexes.

La signification physique des paramètres S est la suivante :

$$S_{11} = \left. \frac{b_1}{a_1} \right|_{a_2=0} \quad (\text{II.15})$$

C'est le coefficient de réflexion à l'entrée, la sortie étant adaptée.

$$S_{12} = \left. \frac{b_1}{a_2} \right|_{a_1=0} \quad (\text{II.16})$$

C'est le coefficient de transmission sortie  $\rightarrow$  entrée, l'entrée étant adaptée.

$$S_{21} = \left. \frac{b_2}{a_1} \right|_{a_2=0} \quad (\text{II.17})$$

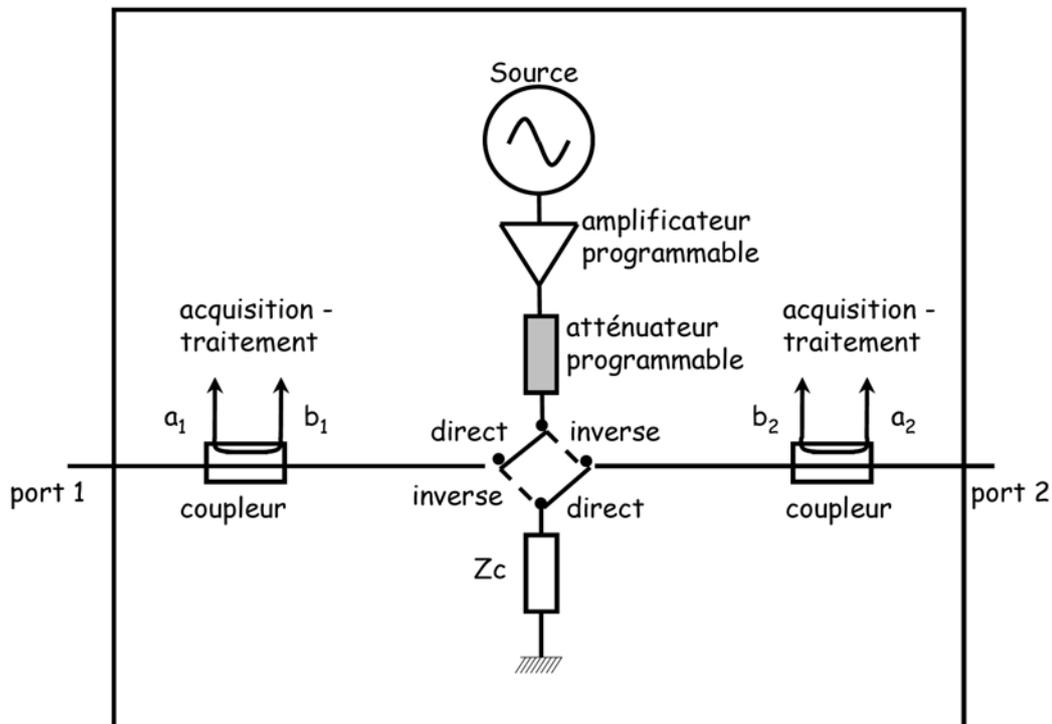
C'est le coefficient de transmission entrée  $\rightarrow$  sortie, la sortie étant adaptée.

$$S_{22} = \left. \frac{b_2}{a_2} \right|_{a_1=0} \quad (\text{II.18})$$

C'est le coefficient de réflexion en sortie, l'entrée étant adaptée.

### 7.2.2. Mesure des paramètres S

La mesure des paramètres S d'un quadripôle se fait à l'aide d'un analyseur de réseau vectoriel (ou VNA, Vector Network Analyzer). Le principe de fonctionnement d'un VNA est illustré schématiquement sur la figure II.11. Il comprend un synthétiseur de fréquences, un amplificateur, un atténuateur, un commutateur et deux coupleurs bidirectionnels. La source génère le signal incident au composant dont la puissance est réglée par l'amplificateur et l'atténuateur. Le signal est dirigé par le commutateur selon qu'on fait une mesure directe ou inverse. Les ondes incidentes et réfléchies par le composant sont séparées par les coupleurs. Le traitement se fait en basse fréquence après avoir effectué une division de fréquence par mélange.

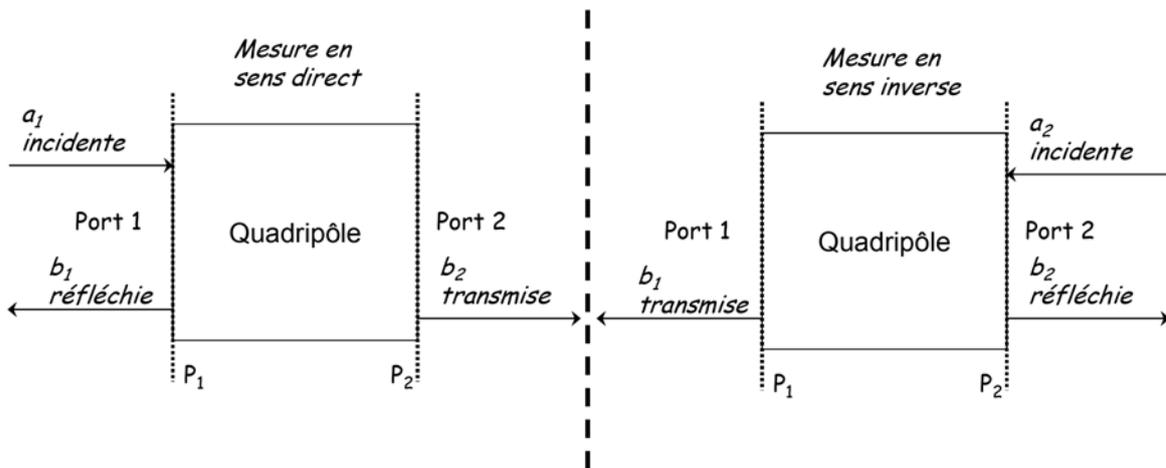


**Figure II.11** - Principe de fonctionnement schématique d'un analyseur de réseau vectoriel [8]

La mesure se fait en deux étapes :

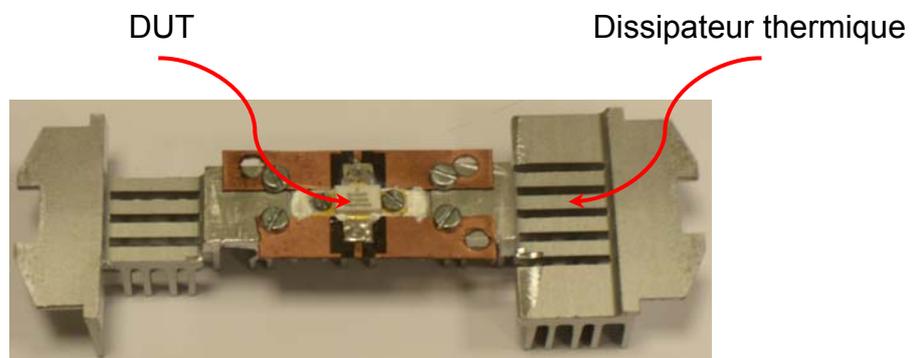
- D'abord, en sens direct, l'onde incidente (l'onde  $a_1$ ) est injectée à l'entrée du dispositif sous test (DUT de l'Anglais : Device Under Test), et permet d'obtenir les paramètres  $S_{11}$  et  $S_{21}$  à partir des ondes mesurées  $b_1$  et  $a_2$  ;
- Ensuite, dans le sens inverse, l'onde incidente (l'onde  $a_2$ ) est injectée à la sortie du DUT, et les paramètres obtenus sont  $S_{22}$  et  $S_{12}$ .

La figure II.12 illustre le principe de mesure des paramètres S.



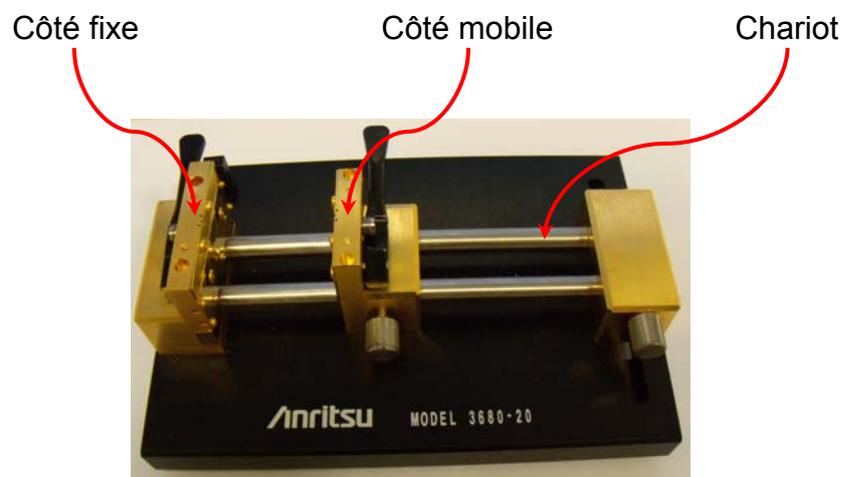
**Figure II.12** - Principe de mesure des paramètres S [8]

Nous avons utilisé l'analyseur de réseau ANRITSU 37325C pour effectuer les mesures hyperfréquences sur le transistor, pour différents points de polarisation. La gamme de fréquences choisie est de 0.2-2.7 GHz. Le transistor est placé dans une cellule avec un dissipateur thermique approprié (figure II.13).



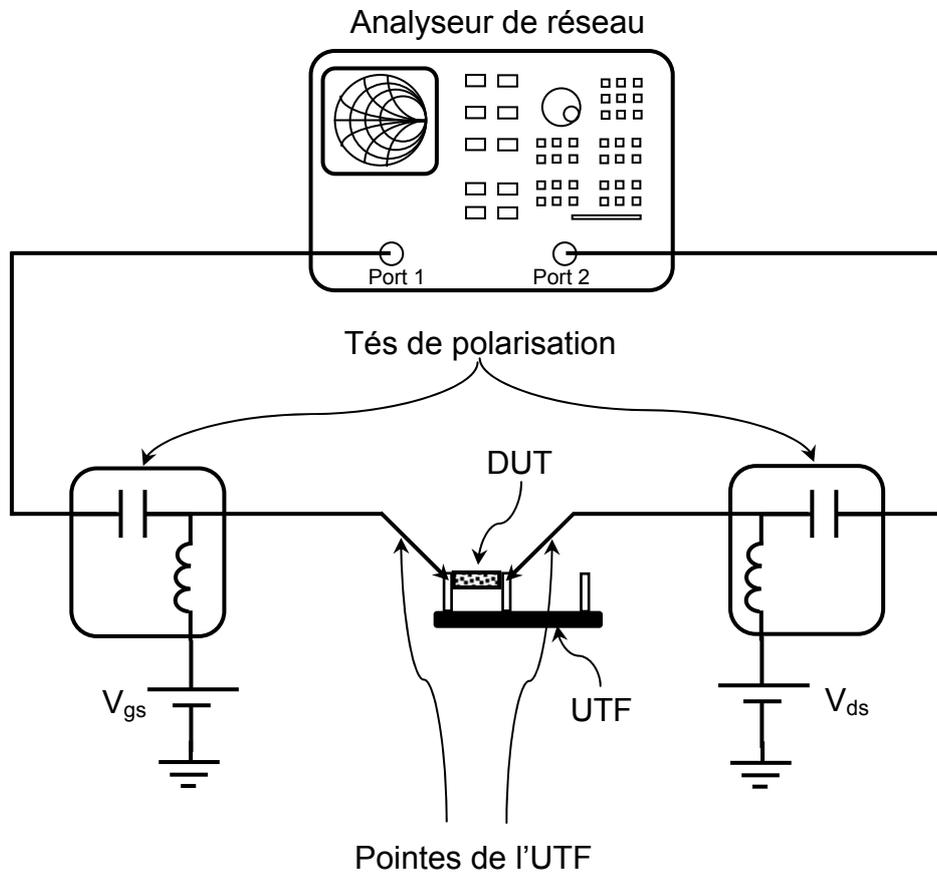
**Figure II.13** - Le transistor BLF2043F placé sur le dissipateur thermique pour les mesures

Nous avons utilisé également le support de test de type UTF (Universal Test Fixture) modèle ANRITSU 3680-20, afin de s'affranchir des problèmes liés aux connecteurs (figure II.14). Ce support contient deux côtés de fixation, un côté fixe et l'autre mobile à l'aide d'un chariot (glissière). Chaque côté possède un conducteur central (une pointe) pour le signal et deux pinces latérales pour la masse.



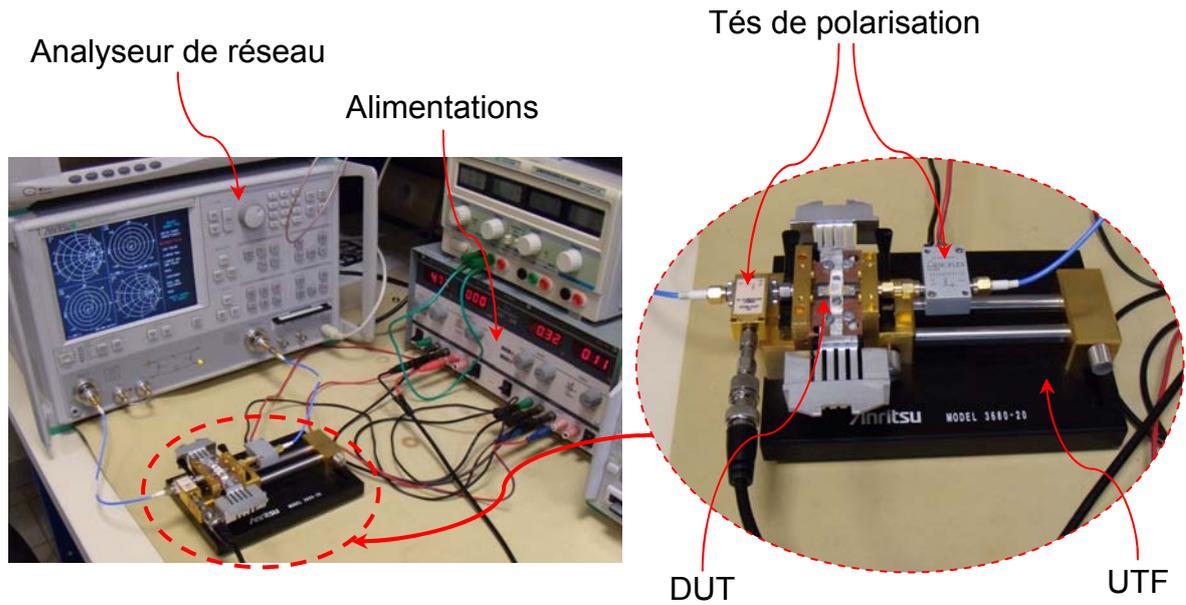
**Figure II.14** - Support de test universel UTF (Universal Test Fixture) modèle ANRITSU 3680-20

La figure II.15 montre schématiquement le banc de mesures utilisé pour la mesure des paramètres S.



**Figure II.15** - Schéma du banc de mesures des paramètres S

Hormis le VNA, le banc inclut une alimentation de tension continue afin de polariser les transistors, deux tés de polarisation permettant de découpler le régime statique et le régime dynamique, et la connectique coaxiale nécessaire à la propagation des signaux. La figure II.16 illustre une photo du banc utilisé pour la mesure des paramètres S du transistor BLF2043F.



**Figure II.16** - Photo du banc de mesures de paramètres S

Le transistor est connecté aux lignes d'accès par des soudures. Le contact de masse est réalisé par le dessous du substrat. Les sources du transistor sont reliées à la masse par l'intermédiaire de trous dans le substrat.

### 7.2.3. Etalonnage

La mesure hyperfréquences est entachée d'erreurs dues aux éléments de mesure, à l'analyseur de réseau vectoriel (erreurs systématiques) mais aussi aux conditions environnementales (erreurs de dérive) [104]. Pour s'affranchir des erreurs systématiques, des techniques d'étalonnage sont utilisées afin de corriger la mesure brute [88].

En effet, les paramètres S d'un dispositif se rapportent à un plan de référence. Le but du calibrage (étalonnage) est donc de ramener le plan de référence dans le plan du dispositif sous test DUT et à normaliser les paramètres S résultants par rapport à  $50 \Omega$  [9].

Nous ne disposons pas de kit de calibration étalon. Nous avons réalisé le kit de calibration en utilisant un substrat en téflon (le transistor est monté sur le même substrat que le kit réalisé).

Dans le cadre de ces travaux, la méthode utilisée pour effectuer le calibrage est du type LRL (Line - Reflect - Line). Ce processus de calibrage utilise pratiquement deux lignes de transmission d'impédance caractéristique, et de longueurs différentes, et un dipôle quelconque à fort facteur de réflexion en module (trois lignes si la bande couvre plusieurs octaves) [105,106]. Contrairement à la méthode standard ; SOLT (Short Open Load Thru : court-circuit, circuit ouvert, charge adaptée, connexion directe) la connaissance préalable exacte des éléments n'est pas nécessaire (différence de longueur entre les deux lignes, facteur de réflexion). C'est pourquoi ils sont plus faciles à réaliser : le facteur de réflexion peut être une simple ligne laissée en circuit ouvert sans que l'on ait besoin de déterminer sa capacité équivalente en fonction de la fréquence si celle-ci n'est pas une véritable capacité [107]. Malgré ça, la méthode de calibrage LRL assure une grande précision de mesure [108].

La première ligne  $L_1$  constitue la ligne de référence. Cette ligne présente une impédance de  $50\Omega$ . Afin de nous ramener dans les plans du transistor, nous utilisons une ligne de référence de 1cm et nous effectuons le calibrage au centre de cette ligne. La deuxième ligne  $L_2$  est choisie en fonction de la bande de fréquence dans laquelle on désire effectuer l'étalonnage tout en respectant l'écart de phase avec la ligne de référence. Cette deuxième ligne est de longueur de 2.25cm présentant aussi une impédance de  $50\Omega$ . Le résultat obtenu est satisfaisant pour permettre l'extraction des modèles à partir de ces mesures.

Toutefois, avec un tel support de test, il n'est pas possible d'effectuer des mesures au plus près du transistor. En effet, les soudures de connexion ne peuvent pas être prises en considération lors de l'étalonnage de l'analyseur de réseau vectoriel, ce qui nous obligera par la suite à effectuer une correction des mesures pour se ramener dans les plans d'accès du transistor. D'une manière générale, les soudures sont modélisées par des inductances.

## 8. Détermination des éléments électriques du modèle

La détermination des éléments du schéma équivalent électrique petit-signal se base sur des propriétés des transistors MOS dépendant du régime de

polarisation et de la fréquence de fonctionnement. Elle se fait par étapes selon une méthode d'épluchage « deembedding » qui consiste à déterminer en premier les éléments du boîtier puis les éléments extrinsèques pour se rapprocher progressivement de la zone intrinsèque.

Pour cela, nous avons besoin de 3 types de mesures :

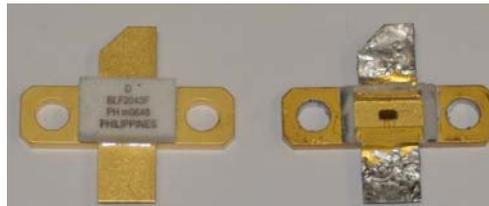
### 8.1 Extraction des éléments du boîtier

De nombreux travaux ont été déjà réalisés concernant la caractérisation, la modélisation et la simulation des transistors FET et circuits actifs micro-ondes associés [47,74,88,95,109]. Cependant, la plupart de ces travaux ne prennent pas en considération l'effet du boîtier [110]. Or les transistors LDMOSFET de puissance sont disponibles généralement encapsulés en boîtier.

Nous proposons dans ce paragraphe une méthode simple pour extraire les éléments du boîtier.

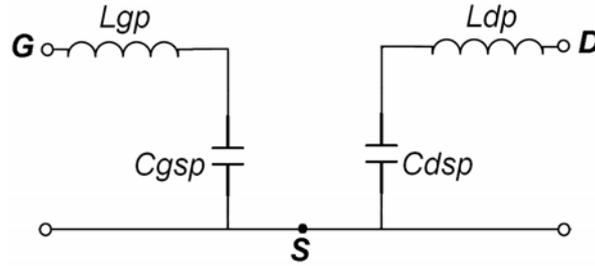
Pour rendre possible l'extraction des éléments extrinsèques, il est nécessaire de commencer par déterminer leurs valeurs.

Nous avons mesuré les paramètres S du boîtier seul en enlevant la puce (transistor), figure II.17.



**Figure II.17** - Photo du transistor utilisé ainsi que celle du boîtier seul

Le boîtier peut être modélisé en entrée par une inductance  $L_{gp}$  en série avec une capacité  $C_{gsp}$ . De même, en sortie il est modélisé par une inductance  $L_{dp}$  et une capacité  $C_{dsp}$  (figure II.18) [71,72].



**Figure II.18** - Schéma équivalent du boîtier

Les impédances  $Z_{11}$  et  $Z_{22}$  du circuit sont données par les relations suivantes :

$$Z_{11} = jL_{gp}\omega + \frac{1}{jC_{gsp}\omega} \quad (\text{II.19})$$

$$Z_{22} = jL_{dp}\omega + \frac{1}{jC_{dsp}\omega} \quad (\text{II.20})$$

Pour les faibles fréquences, les inductances se comportent comme des courts-circuits, les impédances liées à ces dernières seront négligées, nous pouvons donc déterminer les capacités :

- Pour les pulsations  $\omega$  faibles :

$$|Z_{Lgp}| \ll |Z_{Cgsp}| \Rightarrow Z_{11} \approx Z_{Cgsp} = \frac{1}{jC_{gsp}\omega} \quad (\text{II.21})$$

$$|Z_{Ldp}| \ll |Z_{Cdsp}| \Rightarrow Z_{22} \approx Z_{Cdsp} = \frac{1}{jC_{dsp}\omega} \quad (\text{II.22})$$

Les valeurs des capacités sont données, alors par les expressions suivantes :

$$C_{gsp} = \frac{-1}{\text{Im}(Z_{11}).2.\pi.f} \quad (\text{II.23})$$

$$C_{dsp} = \frac{-1}{\text{Im}(Z_{22}).2.\pi.f} \quad (\text{II.24})$$

Nous traçons les courbes des capacités et nous prenons les valeurs pour les fréquences les plus faibles,  $C_{gsp0}$  et  $C_{dsp0}$ .

- Connaissant  $C_{gsp}$  et  $C_{dsp}$ , nous les remplaçons dans les équations (II.19) et (II.20) pour tracer les courbes de  $L_{gp}$  et  $L_{dp}$  et nous prenons les valeurs pour les fréquences les plus élevées.

Les expressions des inductances sont données ci-dessous [71,72] :

$$L_{gp} = \frac{\text{Im}(Z_{11}) + \frac{1}{C_{gsp0} \cdot 2 \cdot \pi \cdot f}}{2 \cdot \pi \cdot f} \quad (\text{II.25})$$

$$L_{dp} = \frac{\text{Im}(Z_{22}) + \frac{1}{C_{dsp0} \cdot 2 \cdot \pi \cdot f}}{2 \cdot \pi \cdot f} \quad (\text{II.26})$$

## 8.2 Extraction des éléments extrinsèques

Les éléments extrinsèques sont la matérialisation des phénomènes que l'on qualifie de parasites. Ils ne participent pas à l'effet transistor qui se produit dans le canal. Ils sont engendrés le plus souvent par les métallisations d'accès à la zone active. Il est nécessaire de déterminer leurs valeurs pour rendre possible l'extraction des éléments intrinsèques et donc des données principales et primordiales du modèle. Plusieurs méthodes nous sont proposées pour leur extraction [57] :

**Calcul analytique** [111] : il nécessite une bonne connaissance des propriétés physiques et géométriques des matériaux du transistor. En utilisant les simples lois ohmiques on approche les valeurs de ces composants extrinsèques. Cependant cette technique n'est pas une fin en soit, elle permet juste d'avoir un point de départ, une idée pour les autres méthodes, et en particulier pour l'optimisation.

**Optimisation** [47,95,112] : on trouve des algorithmes de gradient, de recuit simulé, de diffusion simulée, des algorithmes génétiques... Ces méthode consistent à trouver le minimum global d'une fonction objectif (ou fonction erreur) entre valeurs mesurées et valeurs simulées. Pratiquement, on optimise les valeurs des composants extrinsèques de telle sorte que le modèle équivalent ait une réponse électrique la plus proche possible des mesures. Extrêmement performante et rapide, cette méthode nécessite cependant de connaître la valeur

d'échelle des paramètres recherchés afin d'éviter de tomber dans des minimums locaux de la fonction d'erreur.

**Simulation électromagnétique** [57] : à l'aide de simulateur électromagnétique du type Momentun, Sonnet, Ansys, HFSS ; on matérialise les métallisations d'accès à la zone active du transistor, et l'on simule les paramètres S associés sur une bande de fréquence donnée. De ces paramètres S on en déduit des éléments extrinsèques localisés. C'est une technique rapide et relativement précise.

**Méthode statistique** : elle est basée sur une technique de régression linéaire. Elle permet, à partir d'une mesure de paramètres S à un point de polarisation donnée, de faire coïncider une expression analytique avec les paramètres Z, puis de faire une régression linéaire pour obtenir les paramètres Z à une fréquence hypothétique infinie et en déduire ainsi les éléments extrinsèques.

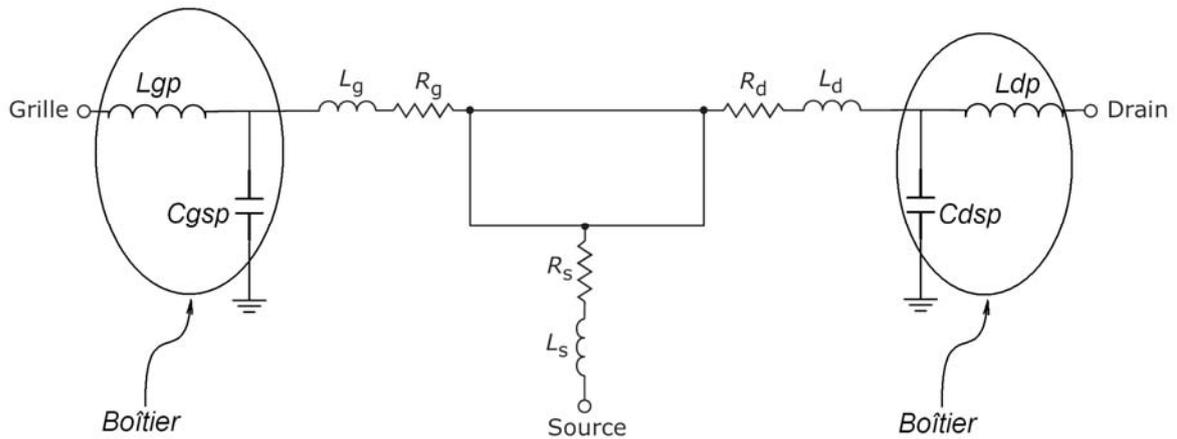
**Le FET « froid »** (ou Cold FET) [6,35,99,113,114] : comme son nom l'indique, cette méthode est uniquement destinée aux transistors de technologie FET. Elle consiste à effectuer des mesures de paramètres S sur le transistor polarisé de façon à ce que les éléments intrinsèques ne masquent pas les éléments extrinsèques. Ces états de polarisations sont :

$V_{ds}=0V$  &  $V_{gs}>V_{th}$  (tension de seuil) : le canal du transistor est en « conduction », dans cet état on peut déterminer les valeurs des composants séries des éléments extrinsèques.

$V_{ds}=0$  &  $V_{gs}\ll V_{th}$  : le canal du transistor est déplété, on a alors accès aux valeurs des composants parallèles des éléments extrinsèques.

C'est une méthode fiable et largement utilisée dans la littérature scientifique. D'ailleurs, c'est la méthode utilisée dans le cadre de ce projet.

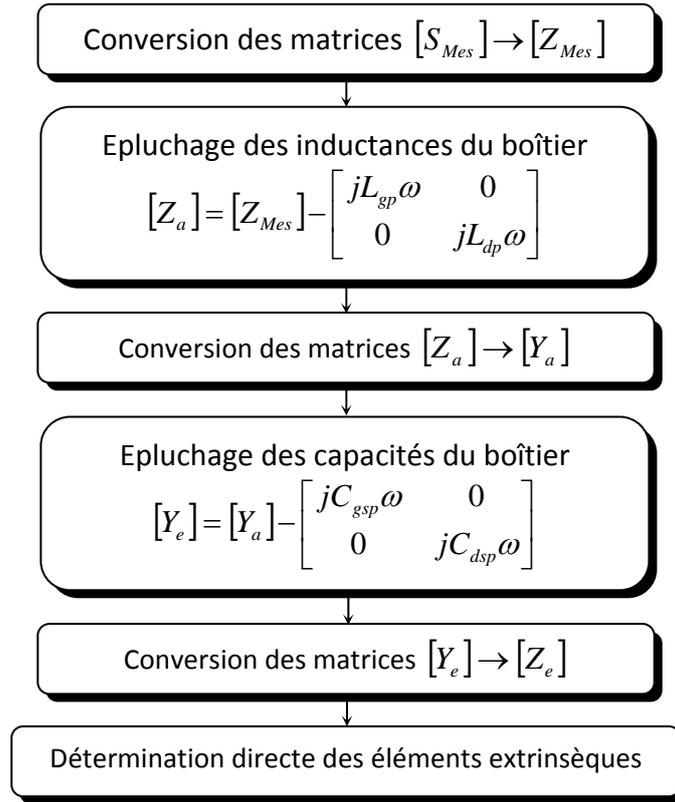
Nous polarisons la grille en direct, c'est-à-dire en appliquant une tension  $V_{gs}=14V$  et  $V_{ds}=0V$ . Ceci a pour effet de court-circuiter les éléments parallèles de la figure II.2, les capacités de plot peuvent être négligées, seuls les éléments séries sont pris en compte, comme indiqué sur la figure II.19 [35].



**Figure II.19** - Schéma équivalent petit-signal à polarisation froide pour  $V_{ds}=0V$  et  $V_{gs} \gg V_{th}$

Les parties réelles et imaginaires des éléments de la matrice  $Z$  extraites des mesures permettent alors, par identification, de déterminer les éléments résistifs et les réactances de ce quadripôle, à savoir les résistances et inductances extrinsèques du transistor.

Nous utilisons le principe d'extraction des éléments du schéma équivalent à polarisation froide, à savoir la méthode basée sur des transformations successives (Annexe) des paramètres  $S$  en paramètres  $Z$  ou  $Y$  selon la procédure d'épluchage décrit dans le schéma de la figure II.20.



**Figure II.20** - Procédure d'extraction des éléments extrinsèques du transistor LDMOS en boîtier

On en déduit les éléments extrinsèques en fonction des éléments de la matrice  $[Z_e]$ .

A partir de la figure II.21, la matrice  $[Z_e]$  du quadripôle est exprimée comme suite :

$$\begin{pmatrix} V_1 \\ V_2 \end{pmatrix} = \begin{pmatrix} I_1 \\ I_2 \end{pmatrix} \begin{pmatrix} Z_{11e} & Z_{12e} \\ Z_{21e} & Z_{22e} \end{pmatrix} \Rightarrow \begin{cases} V_1 = Z_{11e}I_1 + Z_{12e}I_2 \\ V_2 = Z_{21e}I_1 + Z_{22e}I_2 \end{cases} \quad (\text{II.27})$$

$$Z_{11e} = \left. \frac{V_1}{I_1} \right|_{I_2=0} = (R_g + R_s) + j\omega(L_g + L_s) \quad (\text{II.28})$$

$$Z_{12e} = \left. \frac{V_1}{I_2} \right|_{I_1=0} = R_s + jL_s\omega \quad (\text{II.29})$$

$$Z_{21e} = \left. \frac{V_2}{I_1} \right|_{I_2=0} = R_s + jL_s\omega \quad (\text{II.30})$$

$$Z_{22e} = \left. \frac{V_2}{I_2} \right|_{I_1=0} = (R_d + R_s) + j\omega(L_d + L_s) \quad (\text{II.31})$$

$$[Z_e] = \begin{pmatrix} (R_g + R_s) + j\omega(L_g + L_s) & R_s + jL_s\omega \\ R_s + jL_s\omega & (R_d + R_s) + j\omega(L_d + L_s) \end{pmatrix} \quad (\text{II.32})$$

Les éléments électriques extrinsèques sont donc exprimés comme suit :

$$R_g = \text{Re}(Z_{11e}) - \text{Re}(Z_{12e}) \quad (\text{II.33})$$

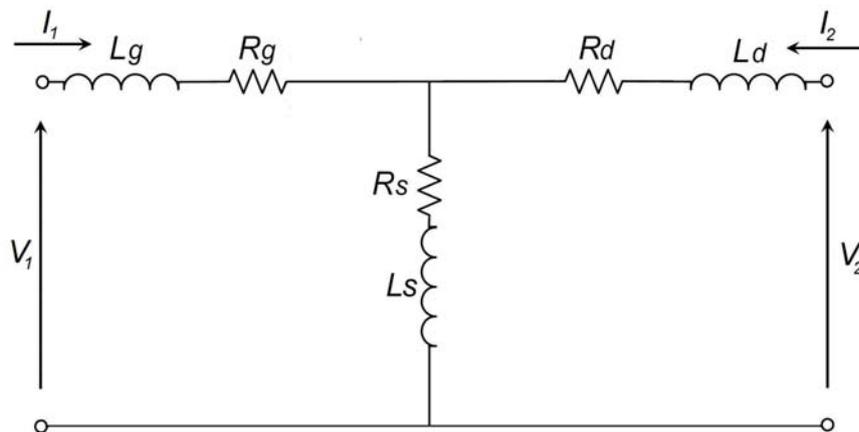
$$R_d = \text{Re}(Z_{22e}) - \text{Re}(Z_{12e}) \quad (\text{II.34})$$

$$R_s = \text{Re}(Z_{12e}) \quad (\text{II.35})$$

$$L_g = \frac{[\text{Im}(Z_{11e}) - \text{Im}(Z_{12e})]}{2\pi \cdot f} \quad (\text{II.36})$$

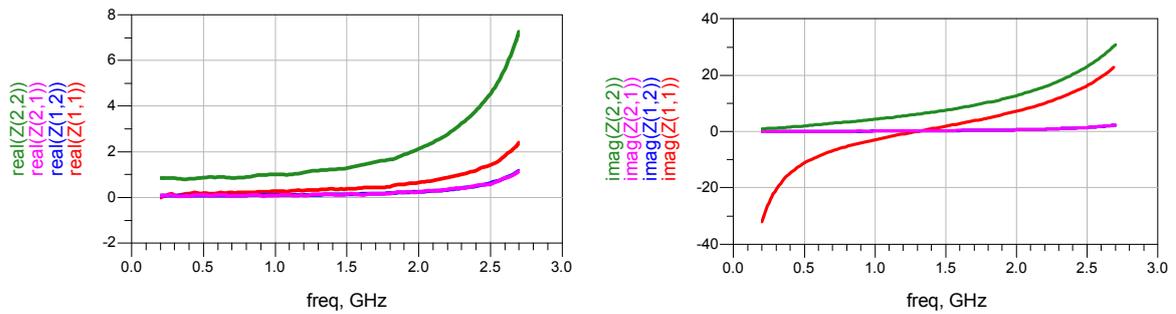
$$L_d = \frac{[\text{Im}(Z_{22e}) - \text{Im}(Z_{12e})]}{2\pi \cdot f} \quad (\text{II.37})$$

$$L_s = \frac{\text{Im}(Z_{12e})}{2\pi \cdot f} \quad (\text{II.38})$$

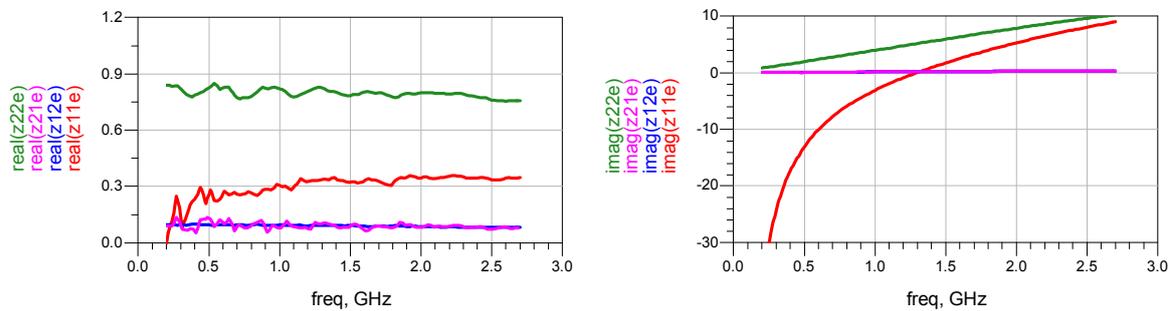


**Figure II.21** - Schéma équivalent à polarisation froide sans boîtier

Les figures II.22 et II.23 illustrent les courbes des matrices  $[Z_{Mes}]$  et  $[Z_e]$  successivement sous forme de parties réelles et imaginaires pour la gamme de fréquence d'extraction à  $V_{ds}=0V$  et  $V_{gs}=14V$ .

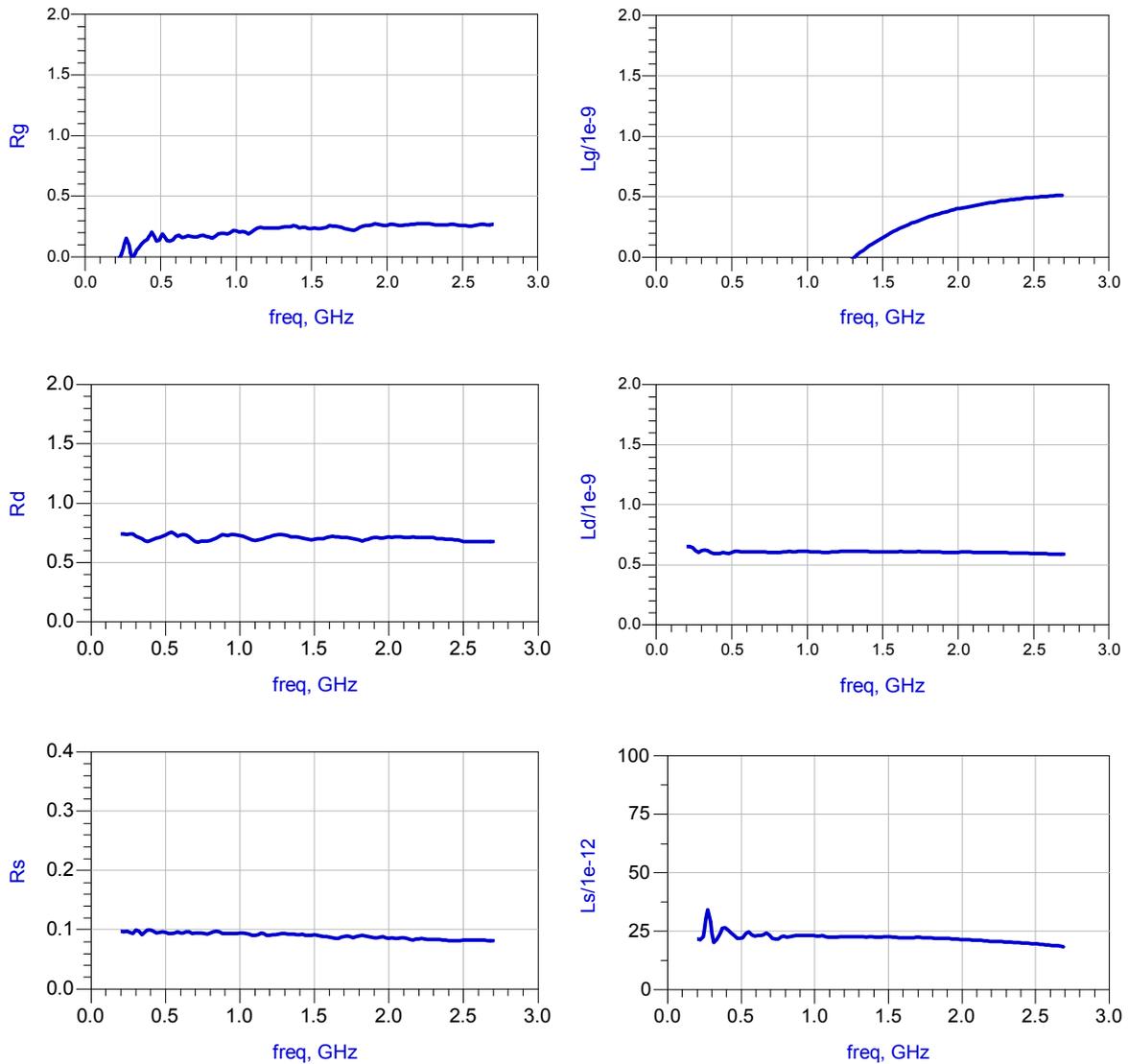


**Figure II.22** - Parties réelles et imaginaires de la matrice  $[Z_{Mes}]$  extraites en fonction de la fréquence pour  $V_{ds}=0V$  et  $V_{gs}=14V$



**Figure II.23** - Parties réelles et imaginaires de la matrice  $[Z_e]$  extraites en fonction de la fréquence pour  $V_{ds}=0V$  et  $V_{gs}=14V$

La figure II.24 illustre les graphes des éléments extrinsèques en fonction de la fréquence à  $V_{ds}=0V$  et  $V_{gs}=14V$ .



**Figure II.24** - Eléments extrinsèques ( $R_g$ ,  $R_d$ ,  $R_s$ ,  $L_g$ ,  $L_d$  et  $L_s$ ) extraits en fonction de la fréquence pour  $V_{ds}=0V$  et  $V_{gs}=14V$

Nous remarquons que les graphes des éléments extrinsèques  $R_g$ ,  $R_d$ ,  $R_s$ ,  $L_d$  et  $L_s$  sont assez plats (figure II.24), ce qui veut dire que leurs valeurs sont indépendantes de la fréquence. Leurs valeurs respectives RMS (**R**oot **M**ean **S**quare, Moyenne racine carrée) dans cette bande fréquentielle pour  $V_{gs}=14V$ , par exemple, est de 4.66, 1.03, 2.42, 1.36 et 5.81% autour de la valeur moyenne.

$$(RMS = \sqrt{\sum \frac{1}{N} \left( \frac{V_i - V_m}{V_m} \right)^2}), \text{ où } N \text{ est le nombre de point, } V_i \text{ la valeur de chaque}$$

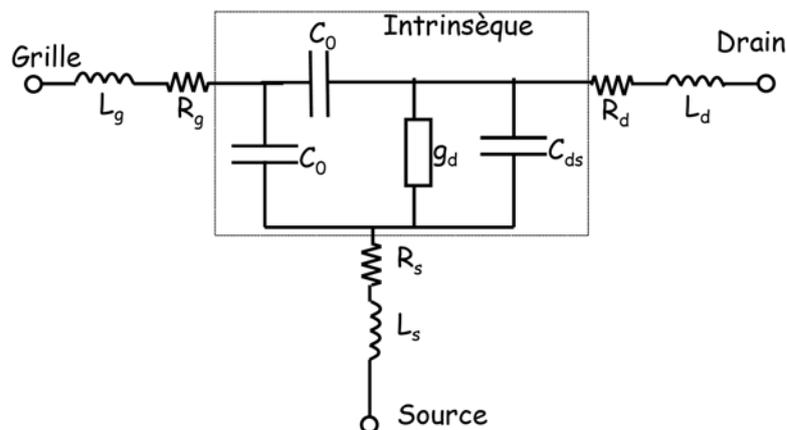
point mesuré et  $V_m$  la valeur moyenne dans la zone 0.2-2.7GHz). Néanmoins, pour l'inductance  $L_g$ , nous remarquons que la courbe n'est pas plate et que les

valeurs sont négatives pour les basses fréquences ce qui n'a pas de sens physique. Cette erreur est due à la mesure. En fait, l'inductance  $L_g$  dépend de la partie imaginaire de l'impédance  $Z_{11e}$  qui dépend elle-même de l'impédance mesurée  $Z_{11Mes}$  et qui possède des valeurs négatives pour les fréquences inférieures à 1.3 GHz (figures II.22 et II.23).

Nous prenons comme valeur de  $L_g$  celle des fréquences les plus élevées, pour lesquelles on remarque une convergence vers une valeur stable. Cette valeur possède une signification physique et pour laquelle les éléments intrinsèques sont plats, comme nous le verrons dans la suite de ce chapitre.

Les résistances  $R_d$ ,  $R_s$  et  $R_g$  sont traversées par le courant de drain continu : leurs valeurs exactes sont essentielles pour le calcul des tensions intrinsèques de drain et de grille, nécessaires à l'extraction des paramètres du modèle de courant. Il est important de noter que la détermination précise des résistances est primordiale pour la validité du modèle. La moindre erreur dans la valeur extraite est immédiatement répercutée dans les valeurs des éléments intrinsèques [99]. Pour cela, nous avons utilisé une deuxième méthode pour une détermination plus précise des résistances d'accès ( $R_g$ ,  $R_d$  et  $R_s$ ) [8,88,94,115] :

Les résistances séries du modèle sont déterminées à courant nul (polarisation froide :  $V_{ds}=0V$ ) pour plusieurs valeurs de polarisation de la grille. Dans ces conditions, la transconductance est nulle et le schéma équivalent électrique est celui de la figure II.25. La résistance  $R_i$  traduisant les effets non quasi statiques est négligée.



**Figure II.25** - Schéma équivalent électrique (sans boîtier) à  $V_{ds}=0V$  utilisé pour la détermination des résistances d'accès [8]

Pour des fortes tensions de grille (forte inversion), les paramètres Z en fonction des éléments du schéma équivalent peuvent être approchés par les relations suivantes :

$$\operatorname{Re}(Z_{11e} - Z_{12e}) \approx R_g + \frac{1}{4g_d} \quad (\text{II.39})$$

$$\operatorname{Re}(Z_{22e} - Z_{12e}) \approx R_d + \frac{1}{2g_d} \quad (\text{II.40})$$

$$\operatorname{Re}(Z_{12e}) \approx R_s + \frac{1}{2g_d} \quad (\text{II.41})$$

Afin d'obtenir les valeurs des résistances, nous utilisons une relation physique donnant la dépendance de la conductance de drain en fonction de la tension de grille :

$$g_d = \frac{\mu W C_{ox}}{L_g (1 + \alpha)} (V_{gs} - V_{th}) \quad (\text{II.42})$$

Si l'on remplace  $g_d$  dans les relations (II.39-II.41) par la relation (II.42), on obtient :

$$\operatorname{Re}(Z_{11e} - Z_{12e}) \approx R_g + \frac{1}{4K(V_{gs} - V_{th})} \quad (\text{II.43})$$

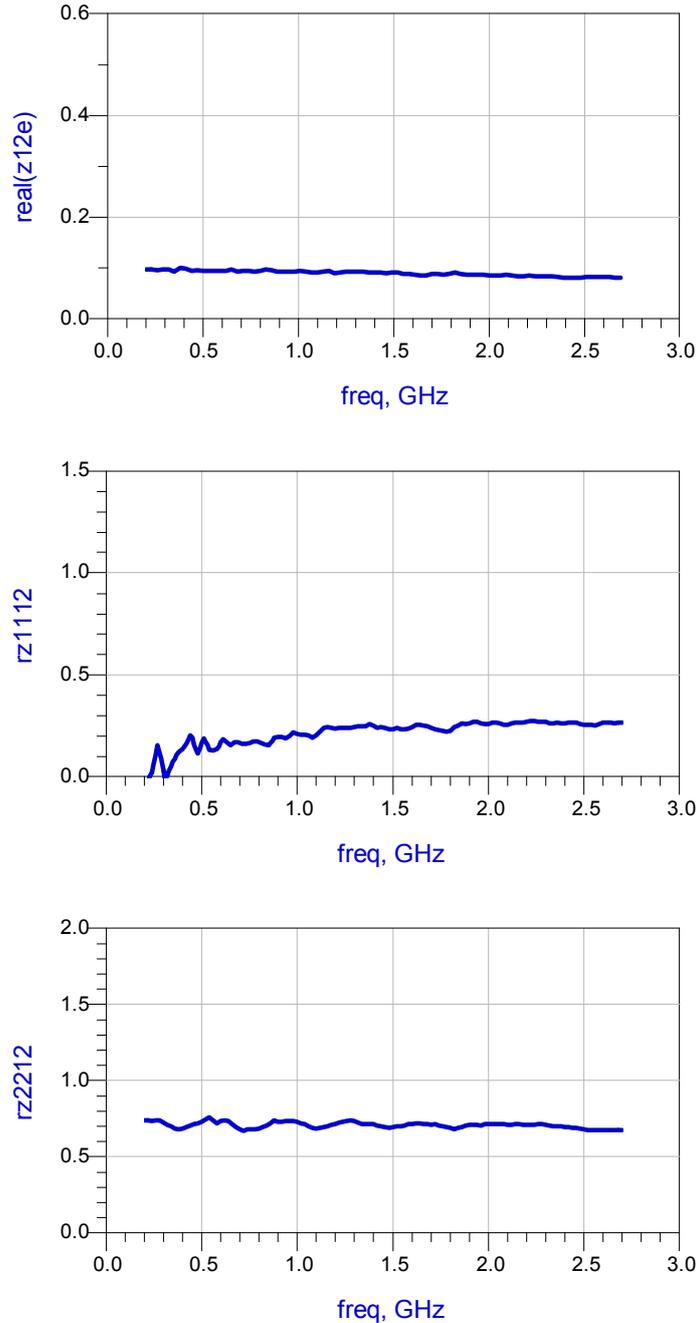
$$\operatorname{Re}(Z_{22e} - Z_{12e}) \approx R_d + \frac{1}{2K(V_{gs} - V_{th})} \quad (\text{II.44})$$

$$\operatorname{Re}(Z_{12e}) \approx R_s + \frac{1}{2K(V_{gs} - V_{th})} \quad (\text{II.45})$$

Avec

$$K = \frac{\mu W C_{ox}}{L_g (1 + \alpha)} \quad (\text{II.46})$$

Comme exemple, la figure II.26 illustre  $\operatorname{Re}(Z_{12e})$ ,  $\operatorname{Re}(Z_{11e} - Z_{12e})$  et  $\operatorname{Re}(Z_{22e} - Z_{12e})$  en fonction de la fréquence de mesure pour  $V_{gs} = 14\text{V}$  et  $V_{ds} = 0\text{V}$ .

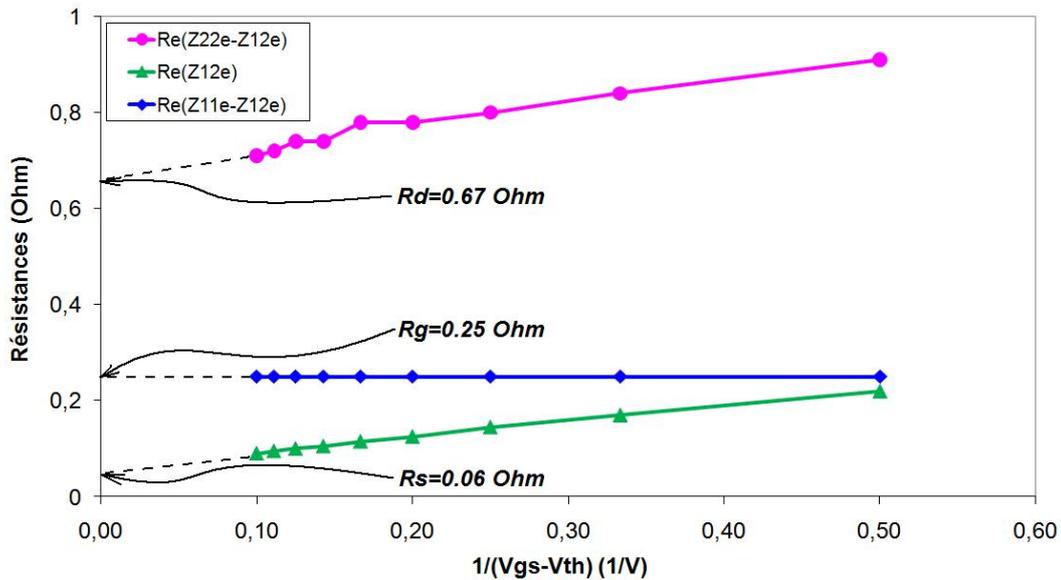


**Figure II.26** - Partie réelle de  $Z_{12e}$ ,  $Z_{11e}-Z_{12e}$  et  $Z_{22e}-Z_{12e}$  en fonction de la fréquence pour  $V_{gs}=14V$  et  $V_{ds}=0V$

Nous remarquons que les trois grandeurs sont constantes en fonction de la fréquence. Les valeurs respectives RMS de  $\text{Re}(Z_{22e}-Z_{12e})$ ,  $\text{Re}(Z_{11e}-Z_{12e})$  et de  $\text{Re}(Z_{12e})$  dans cette bande fréquentielle pour  $V_{gs}=14V$ , sont de 1.03, 5.81 et 2.42% autour de la valeur moyenne. Ce résultat étant très satisfaisant, nous procédons à

une régression linéaire en fonction de  $1/(V_{gs} - V_{th})$  des valeurs moyennes des paramètres  $Z_e$ .

Sur la figure II.27 sont illustrées les régressions linéaires des paramètres. D'après les équations (II.43-II.45), les valeurs des résistances sont celles obtenues à l'origine des axes des ordonnées.



**Figure II.27** - Régressions linéaires des termes  $Re(Z_{12e})$ ,  $Re(Z_{11e}-Z_{12e})$  et  $Re(Z_{22e}-Z_{12e})$  en fonction de  $1/(V_{gs}-V_{th})$  et détermination des valeurs de  $R_g$ ,  $R_d$  et  $R_s$

En ce qui concerne les capacités de plots  $C_{pg}$  et  $C_{pd}$ , les techniques d'extraction existantes ne donnant pas de résultats physiques, nous déterminons leurs valeurs de manière empirique, elles sont choisies de façon que les éléments intrinsèques ( $C_{gs}$ ,  $C_{ds}$ ,  $C_{gd}$ ,  $g_m$ ,  $g_d$  et  $R_i$ ) soient plats en fonction de la fréquence. Cependant, comme nous allons le voir, la détermination de  $C_{pg}$  et  $C_{pd}$  n'est pas prépondérante pour la validité du modèle.

Les valeurs des éléments extrinsèques extraites sont données dans le tableau II.2 :

Eléments extrinsèques extraits	$C_{pg}$	$C_{pd}$	$L_g$	$L_d$	$L_s$	$R_g$	$R_d$	$R_s$
Unité	pF	pF	nH	nH	pH	$\Omega$	$\Omega$	$\Omega$
Valeur	0.10	0.10	0.70	0.61	23	0.25	0.67	0.06

**Tableau II.2** - Les valeurs des éléments extrinsèques extraites

Les éléments extrinsèques ainsi que les éléments du boîtier du schéma équivalent étant déterminés, il reste maintenant à passer au dernier maillon de la chaîne : l'extraction des éléments intrinsèques.

### **8.3 Extraction des éléments intrinsèques**

Le principe d'extraction des éléments intrinsèques du schéma équivalent est celui mis au point par G. Dambrine [6]. Il consiste à extraire les différents éléments à partir de la matrice admittance intrinsèque  $[Y_i]$  du fait de la topologie en  $\pi$  du schéma équivalent intrinsèque (figure II.3).

Cette matrice admittance est obtenue par transformations successives de la matrice  $S$  mesurée. Dans notre configuration (l'existence du boîtier), les transformations successives de la matrice  $S$  mesurée jusqu'à la matrice  $[Y_i]$  suit le principe de la figure II.28. Ensuite, à partir de la matrice admittance intrinsèque, nous extrayons, par calcul analytique, l'ensemble des éléments intrinsèques du schéma équivalent.

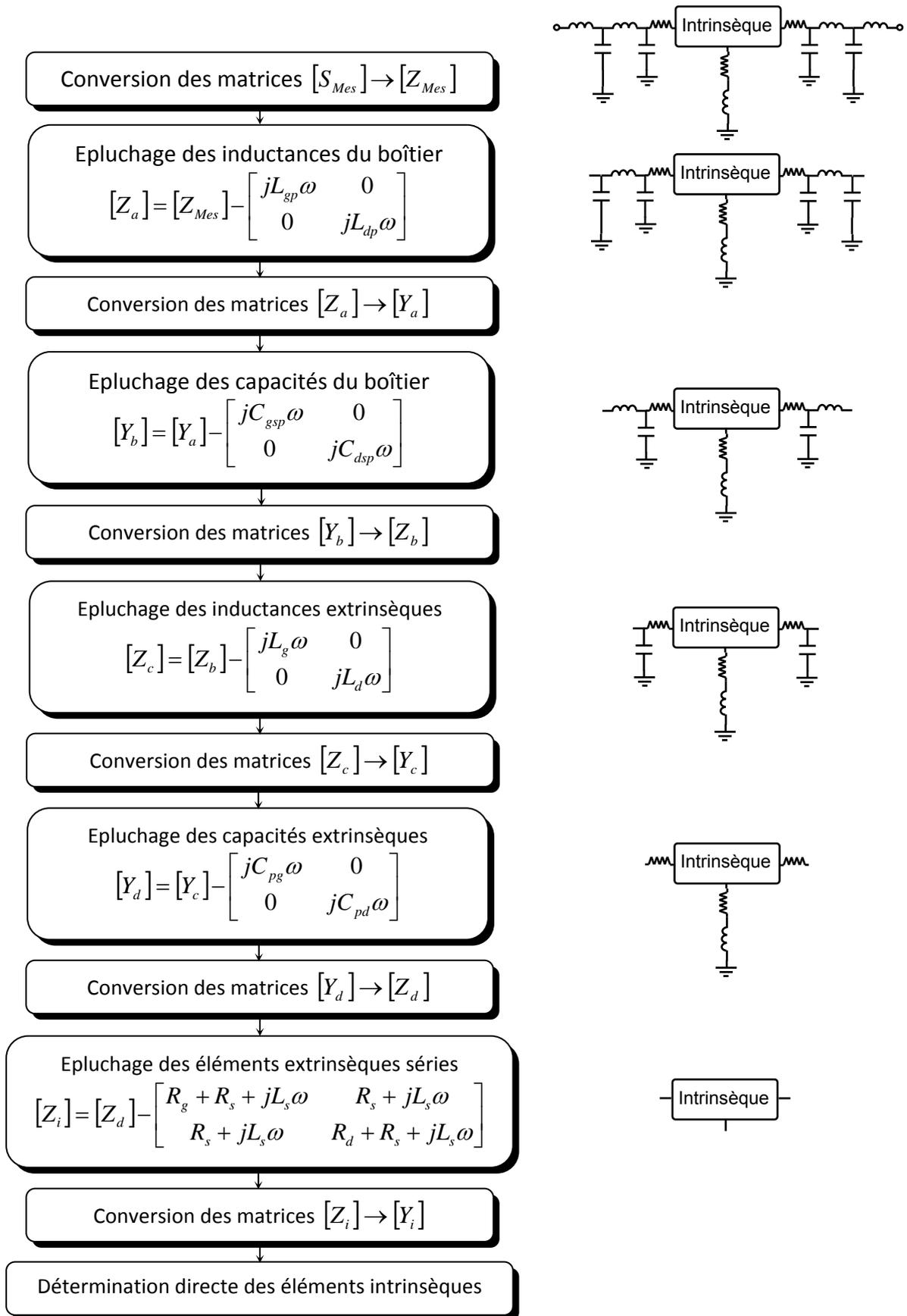
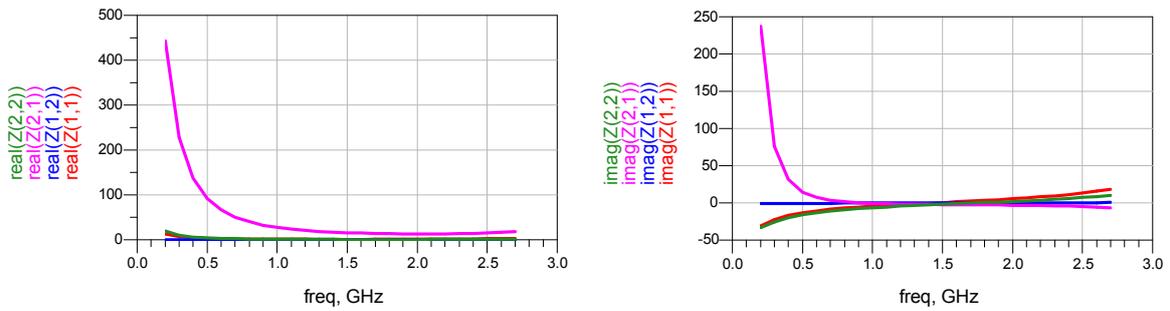


Figure II.28 - Procédure d'extraction des éléments intrinsèques du composant

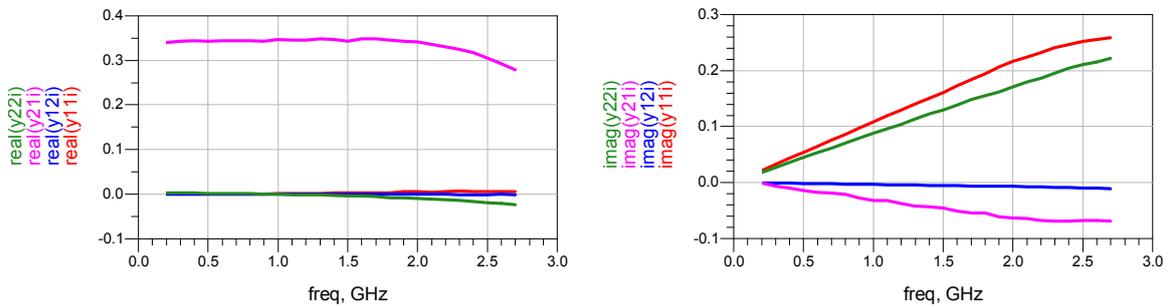
La matrice  $[Y_i]$  est donnée par [6,81,82,98,103,116-119] :

$$[Y_i] = \begin{bmatrix} Y_{11i} & Y_{12i} \\ Y_{21i} & Y_{22i} \end{bmatrix} = \begin{bmatrix} \frac{jC_{gs}\omega}{1+jR_iC_{gs}\omega} + jC_{gd}\omega & -jC_{gd}\omega \\ \frac{g_m}{1+jR_iC_{gs}\omega} - jC_{gd}\omega & g_d + j\omega(C_{ds} + C_{gd}) \end{bmatrix} \quad (II.47)$$

Les figures II.29 et II.30 illustrent les graphes des matrices  $[Z_{Mes}]$  et  $[Y_i]$  sous forme de parties réelles et imaginaires pour la gamme de fréquence d'extraction à  $V_{gs}=4.8V$  et  $V_{ds}=26V$ .



**Figure II.29** - Parties réelles et imaginaires de la matrice  $[Z_{Mes}]$  extraites en fonction de la fréquence pour  $V_{gs}=4.8V$  et  $V_{ds}=26V$



**Figure II.30** - Parties réelles et imaginaires de la matrice  $[Y_i]$  extraites en fonction de la fréquence pour  $V_{gs}=4.8V$  et  $V_{ds}=26V$

On en déduit les éléments électriques intrinsèques en fonction des éléments  $[Y_i]$  :

$$C_{gs} = \frac{\text{Im}(Y_{11i}) + \text{Im}(Y_{12i})}{\omega} \left[ 1 + \left( \frac{\text{Re}(Y_{11i}) + \text{Re}(Y_{12i})}{(\text{Im}(Y_{11i}) + \text{Im}(Y_{12i}))} \right)^2 \right] \quad (\text{II.48})$$

$$C_{gd} = \frac{-\text{Im}(Y_{12i})}{\omega} \left[ 1 + \left( \frac{\text{Re}(Y_{12i})}{\text{Im}(Y_{12i})} \right)^2 \right] \quad (\text{II.49})$$

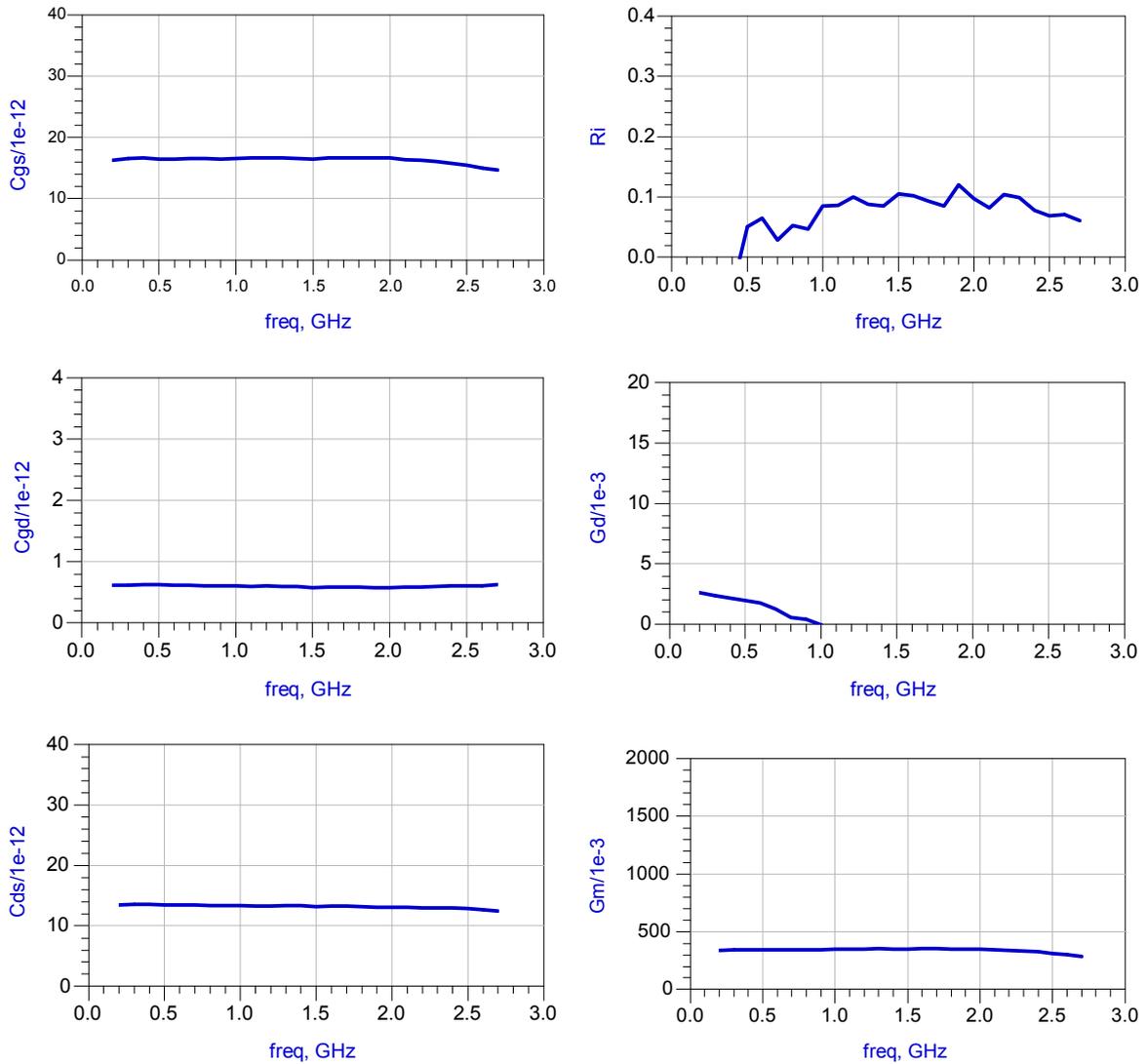
$$C_{ds} = \frac{\text{Im}(Y_{22i}) + \text{Im}(Y_{12i})}{\omega} \quad (\text{II.50})$$

$$R_i = \frac{\text{Re}(Y_{11i}) + \text{Re}(Y_{12i})}{C_{gs} \omega [\text{Im}(Y_{11i}) + \text{Im}(Y_{12i})]} \quad (\text{II.51})$$

$$g_d = \text{Re}(Y_{22i}) + \text{Re}(Y_{12i}) \quad (\text{II.52})$$

$$g_m = \sqrt{\left( 1 + (R_i C_{gs} \omega)^2 \right) \left[ [\text{Re}(Y_{21i}) - \text{Re}(Y_{12i})]^2 + [\text{Im}(Y_{21i}) - \text{Im}(Y_{12i})]^2 \right]} \quad (\text{II.53})$$

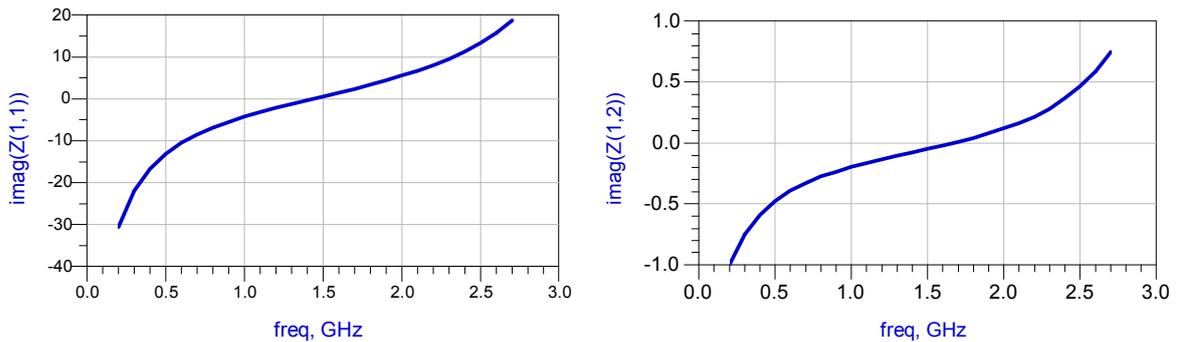
Les éléments extraits du transistor à  $V_{gs}=4.8\text{V}$  et  $V_{ds}=26\text{V}$  sont illustrés sur la figure II.31.



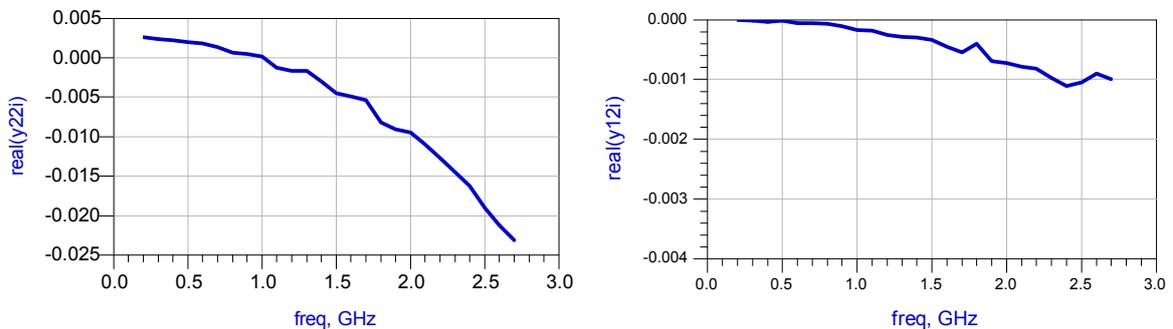
**Figure II.31** - Eléments intrinsèques  $g_d$ ,  $g_m$ ,  $C_{gs}$ ,  $C_{gd}$ ,  $C_{ds}$  et  $R_i$  extraits en fonction de la fréquence à  $V_{ds}=26V$  et  $V_{gs}=4.8V$

Nous observons que les éléments  $C_{gs}$ ,  $C_{gd}$ ,  $C_{ds}$  et  $g_m$  sont constants dans la bande fréquentielle 0.2–2.7GHz. Leurs valeurs RMS autour de la valeur moyenne dans cette bande est de 3.24, 2.48, 2.22 et 4.81% respectivement. Néanmoins, la conductance de drain  $g_d$  présente une nette variation en fonction de la fréquence. En effet, elle diminue lorsque la fréquence augmente et les valeurs sont négatives pour les fréquences supérieures à 1GHz ce qui n'a pas de sens physique. Cette erreur est due à la mesure des paramètres S. En fait, la conductance  $g_d$  dépend des parties réelles des admittances intrinsèques  $Y_{12i}$  et  $Y_{22i}$  qui dépendent elles-mêmes des parties imaginaires des impédances mesurées  $Z_{11Mes}$  et  $Z_{12Mes}$  qui

possèdent des valeurs négatives pour les fréquences inférieures à environ 1.4GHz (figures II.32 et II.33). Ceci est dû à la sur-correction faite par le calibrage LRL sur les accès du composant-test. De ce fait, nous prenons comme valeur de  $g_d$  celle des fréquences les plus faibles. Cependant, nous verrons dans la suite que malgré la valeur de  $g_d$  prise, le modèle reproduit précisément les caractéristiques électriques hyperfréquences.



**Figure II.32** - Parties imaginaires des impédances mesurées  $Z_{11Mes}$  et  $Z_{12Mes}$  extraites en fonction de la fréquence pour  $V_{gs}=4.8V$  et  $V_{ds}=26V$



**Figure II.33** - Parties réelles des admittances intrinsèques  $Y_{22i}$  et  $Y_{12i}$  extraites en fonction de la fréquence pour  $V_{gs}=4.8V$  et  $V_{ds}=26V$

D'autre part, l'incertitude sur la valeur de  $R_i$  est attribuée au fait qu'un composant MOSFET présente un facteur de réflexion ( $S_{11}$ ) très élevé. Par conséquent, le terme  $Y_{11i}$  dont  $R_i$  dépend est faible, et l'influence de  $R_i$  dans  $Y_{11i}$  est « masquée » par l'influence de la capacité  $C_{gs}$ . Néanmoins, l'influence de la résistance  $R_i$  n'est pas prédominante dans la validité du modèle.

A titre d'exemple, le tableau II.3 donne les valeurs des éléments intrinsèques ainsi obtenus pour le transistor BLF2043F à  $V_{ds}=26V$  et  $V_{gs}=4.8V$ .

Eléments intrinsèques extraits	$C_{gs}$	$C_{gd}$	$C_{ds}$	$R_i$	$g_d$	$g_m$
Unité	pF	pF	pF	$\Omega$	mS	mS
Valeur	16.5	0.6	13.3	0.1	2.3	344

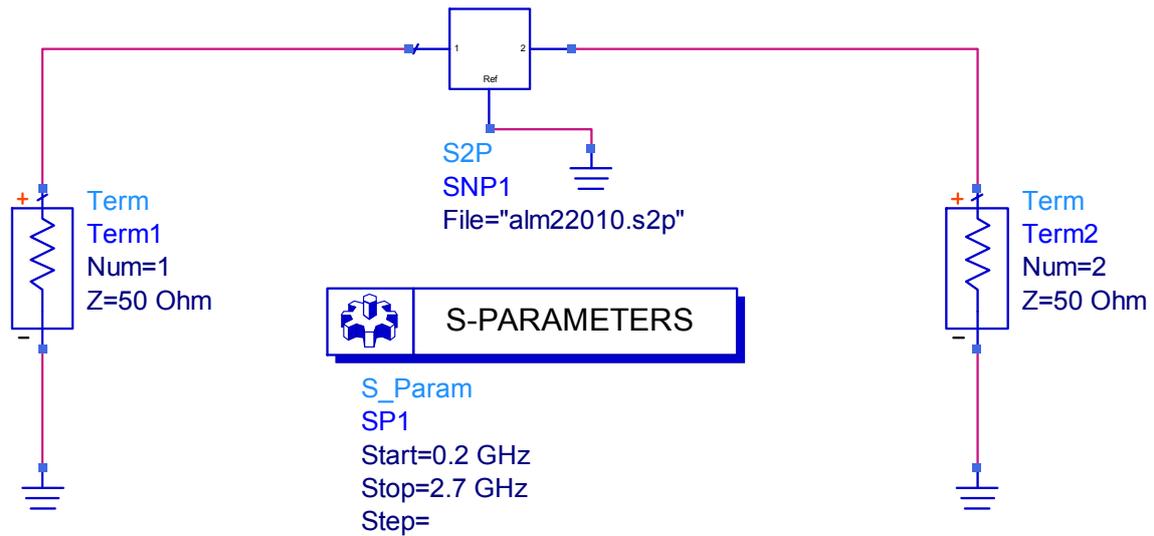
**Tableau II.3** - Les éléments intrinsèques extraits à  $V_{ds}=26V$  et  $V_{gs}=4.8V$

## 9. Intégration du schéma équivalent dans le simulateur

Nous avons implanté les paramètres S mesurés pour chaque point de polarisation dans le logiciel ADS sous forme de fichier Touchstone à extension S2P.

La figure II.34 montre comment est introduit le fichier contenant les mesures des paramètres S dans le simulateur ADS. Les mesures sont faites à l'aide d'un analyseur de réseaux vectoriel (VNA). Ce dernier fournit les résultats sous forme de fichier S2P contenant les valeurs des paramètres S pour la gamme de fréquence de travail (0,2 à 2,7GHz).

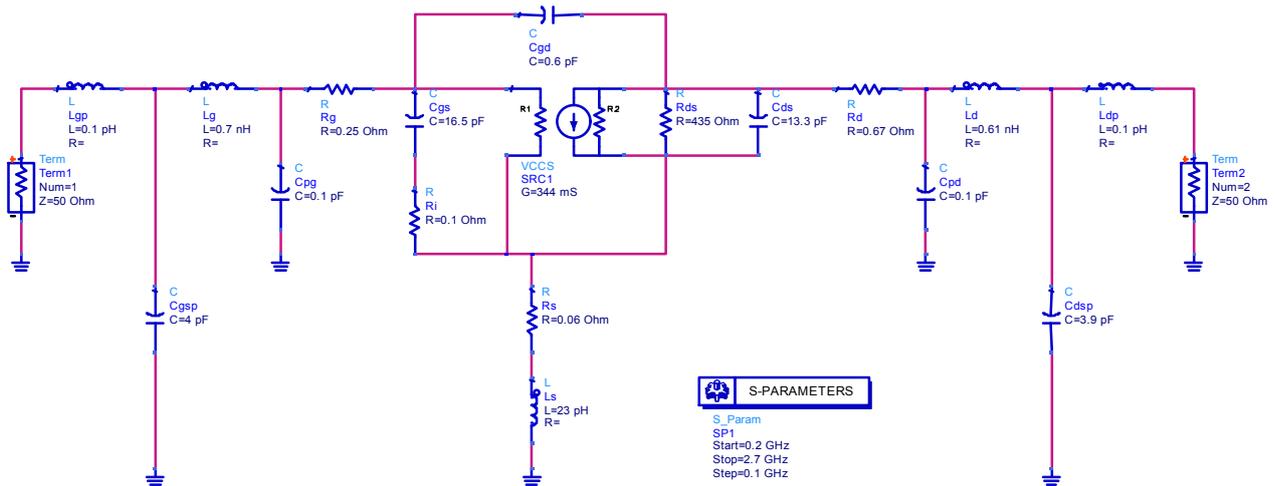
Le fichier est introduit dans un composant du logiciel ADS, le S2P qui est un composant à deux ports (2-Port S-Parameters). Le port 1, supposé port d'entrée, est relié au *Term1*, et le deuxième port (de sortie) est relié au *Term2*. Nous indiquons aussi les fréquences de début, de fin et le pas dans le simulateur *S-Parameters*. Le fichier des mesures S2P doit être copié dans le dossier *data* du projet. Par conséquent, nous pouvons visualiser les différents résultats sous forme d'abaque de Smith, de courbes de module et de phase, ou encore sous forme de tableau de valeurs.



Un bon avantage de ADS c'est qu'il permet de visualiser les résultats de plusieurs design (fichier *.dsn*) en même temps, et donc la possibilité de comparer les résultats des mesures avec ceux des calculs.

Nous disposons à présent de tous les éléments du schéma équivalent petit-signal.

Le modèle petit-signal final implémenté sous ADS est présenté sur la figure II.35 :



**Figure II.35** - Schéma équivalent petit-signal introduit dans le simulateur ADS pour  $V_{gs}=4.8V$  et  $V_{ds}=26V$

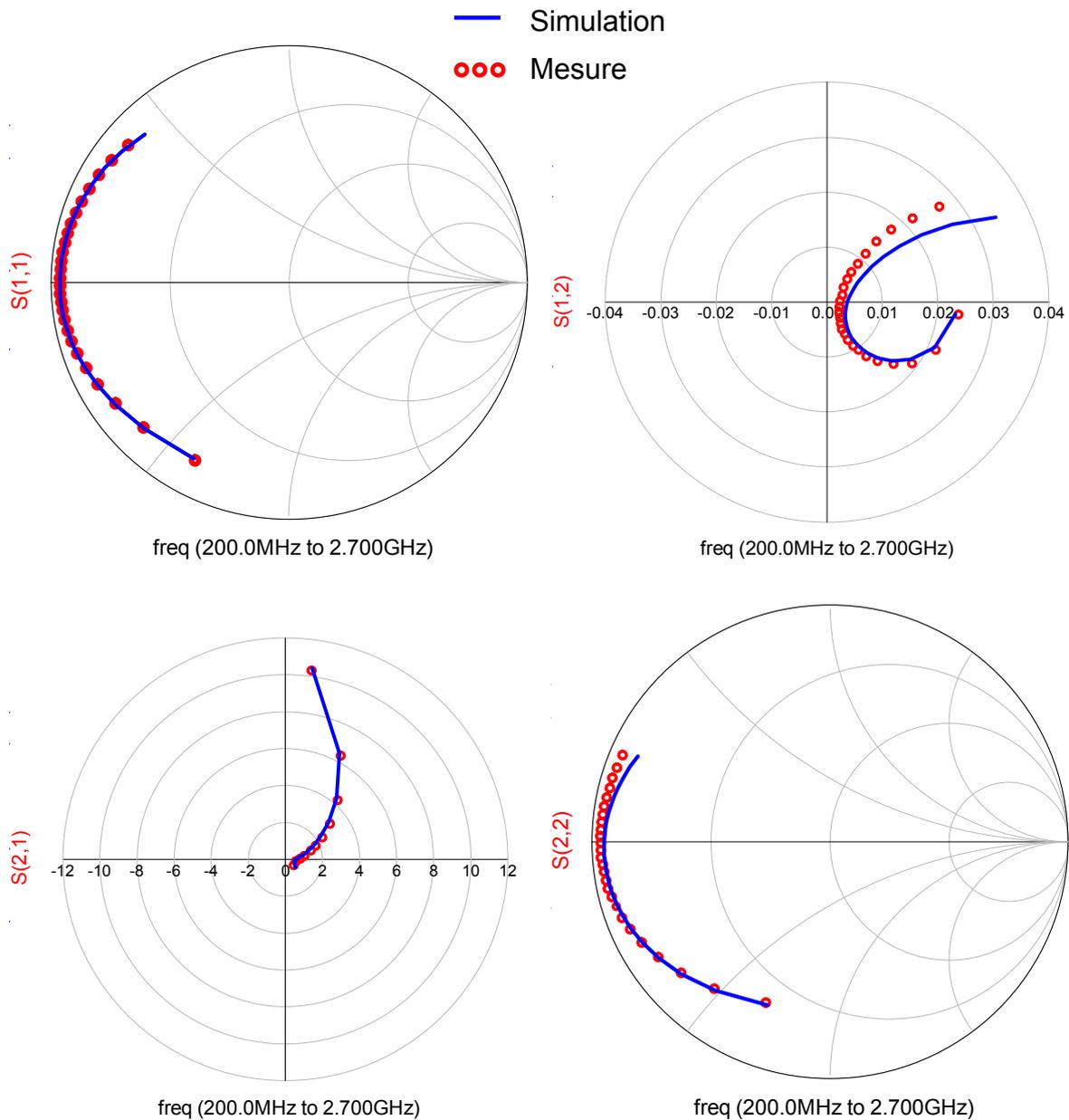
## 10. Validation du modèle en régime petit-signal

De toutes les étapes de la procédure qui constituent la modélisation d'un transistor, il en reste une ultime, qui n'est pas de moindre importance, c'est la validation.

Plusieurs moyens permettent de vérifier la qualité des méthodes d'extraction et la validité du schéma équivalent ainsi obtenu [86] :

- Invariabilité des éléments intrinsèques avec la fréquence (cette vérification fait partie des méthodes d'extraction),
- Comparaison entre paramètres S mesurés et simulés,
- Comparaison des fréquences de coupures  $f_t$  et  $f_{max}$  mesurées et calculées,
- Comparaison entre transconductances extraites en statique et en dynamique.

La figure II.36 montre la comparaison entre les paramètres S mesurés et calculés du transistor pour des fréquences allant de 200MHz à 2.7GHz. Le composant est polarisé en saturation pour  $V_{gs}=4,8V$ ,  $V_{ds}=26V$ .

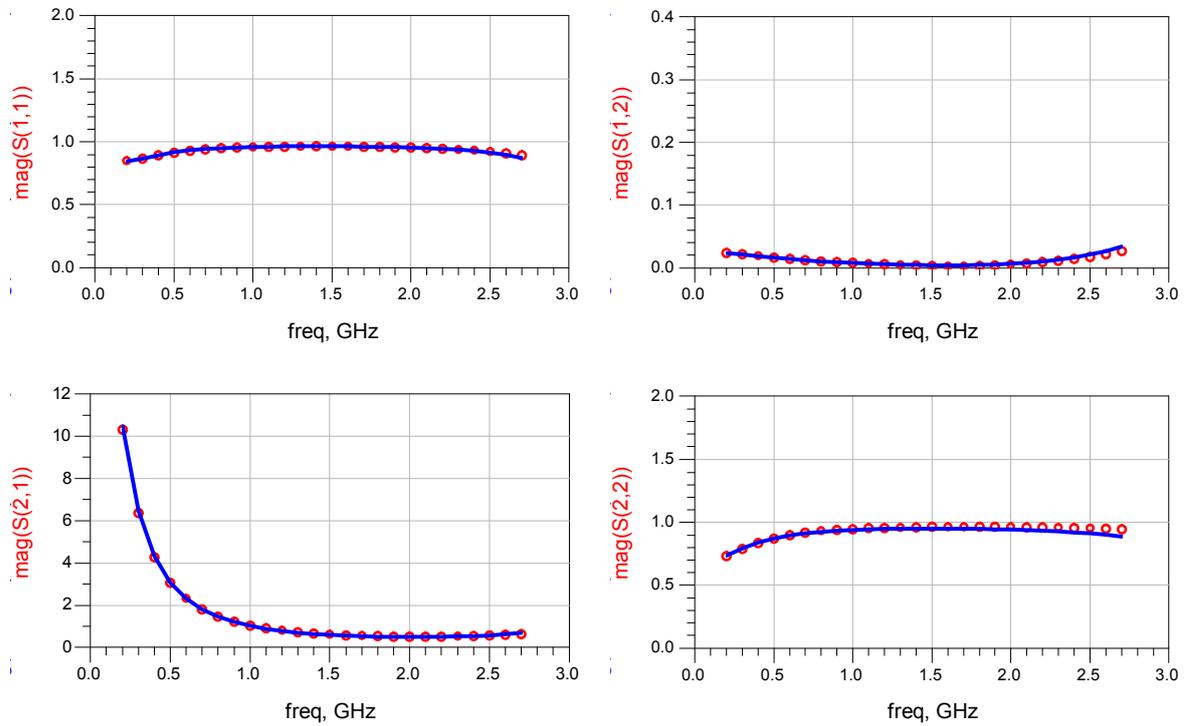


**Figure II.36** - Comparaison entre mesure et simulation des paramètres S pour  $V_{gs} = 4,8V$  et  $V_{ds} = 26V$  (— Simulation, ●●● Mesure)

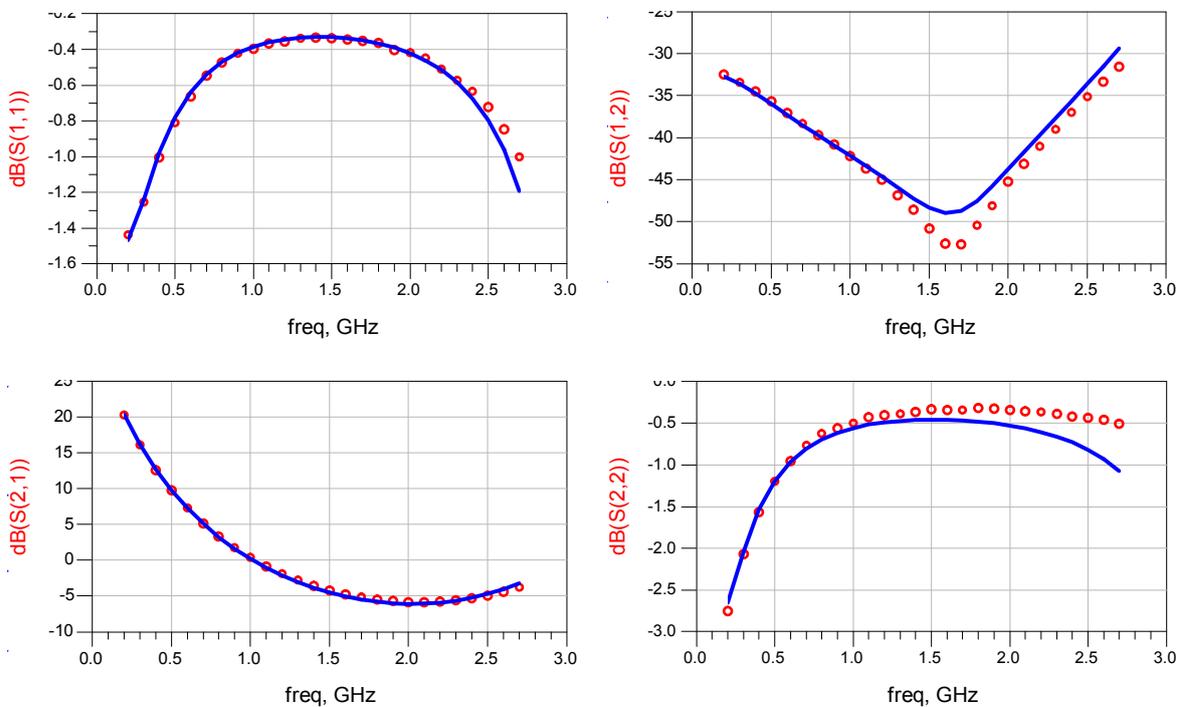
Nous observons une excellente concordance de ces évolutions, ce qui traduit une reproduction satisfaisante du fonctionnement du composant en régime petit-signal [71].

Il faut noter que cette comparaison ne peut être qu'indicative [8], car la représentation sur l'abaque de Smith donne une information mixte du module et de la phase de chacun des paramètres S. Pour plus de précision, nous

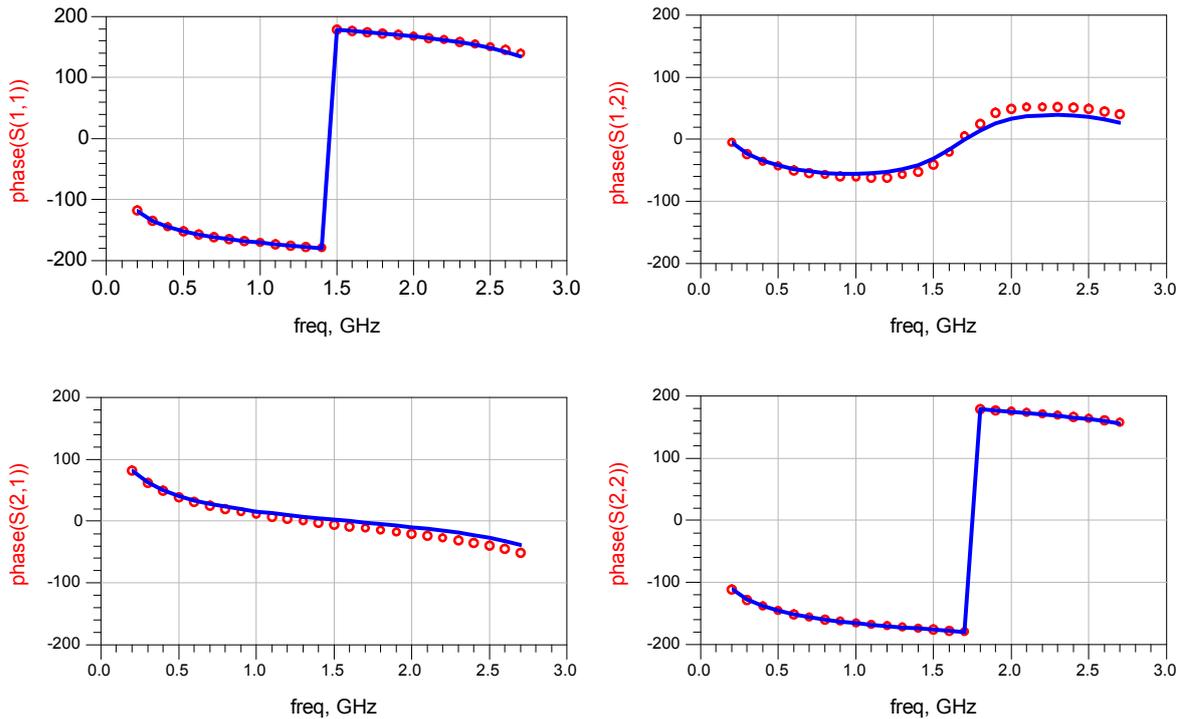
représentons le module et la phase des paramètres S, mesurés et simulés, comme le montrent les figures II.37, II.38 et II.39.



**Figure II.37** - Comparaison des modules des paramètres S mesurés et simulés (— Simulation, ○○ Mesure)



**Figure II.38** - Comparaison des paramètres S mesurés et simulés (en dB) (— Simulation, ○○ Mesure)



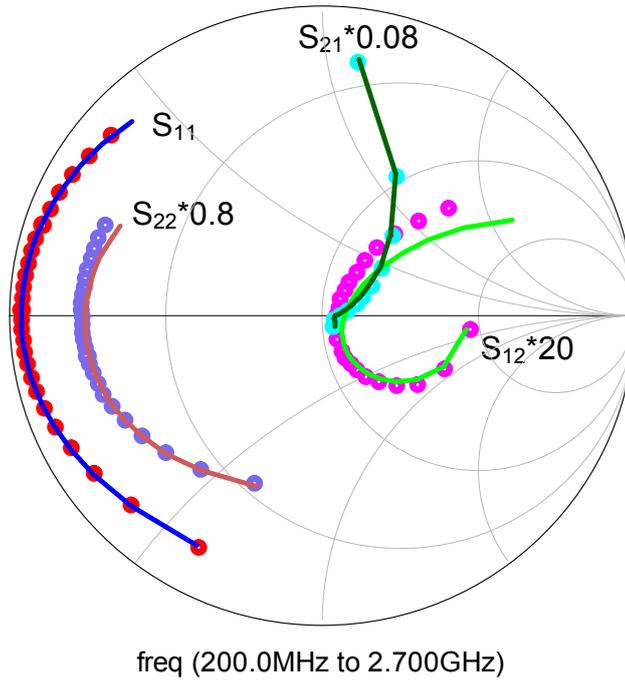
**Figure II.39** - Comparaison des phases des paramètres S mesurés et simulés  
( — Simulation, ○○ Mesure)

Les figures montrent un bon accord obtenu sur les paramètres de dispersions, entre les données provenant de la simulation et celles de la mesure.

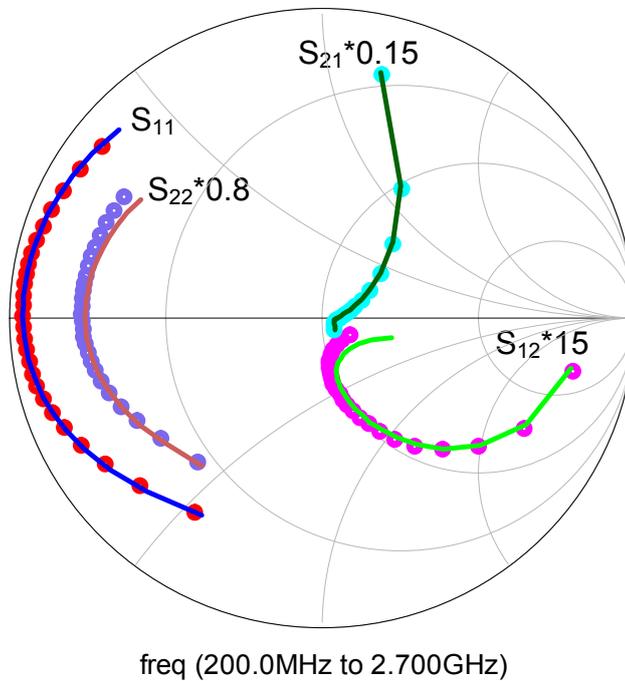
Pour ce qui est du facteur de transmission  $S_{12}$ , nous remarquons une légère différence entre simulation et mesure, ceci est dû au fait que sa valeur est trop faible, donc, comparable à l'erreur absolue du VNA, aussi, d'après la figure II.38, représentant les valeurs de ce dernier en dB, nous remarquons que sa valeur est inférieure à -30dB pour toute la bande de fréquence de travail, ce qui veut dire qu'il n'y a pas de transmission sortie-entrée, et par conséquent, cette erreur peut être omise.

Pour valider le modèle dans les différents régimes de polarisation, nous faisons une comparaison des paramètres S mesurés et calculés pour différents points de polarisation.

Nous prenons comme exemple les points ( $V_{gs}=4,8V$ ,  $V_{ds}=7V$  et  $26V$ ) pour le régime de faible inversion - saturation, les courbes obtenues sont illustrées sur les figures II.40 et II.41.

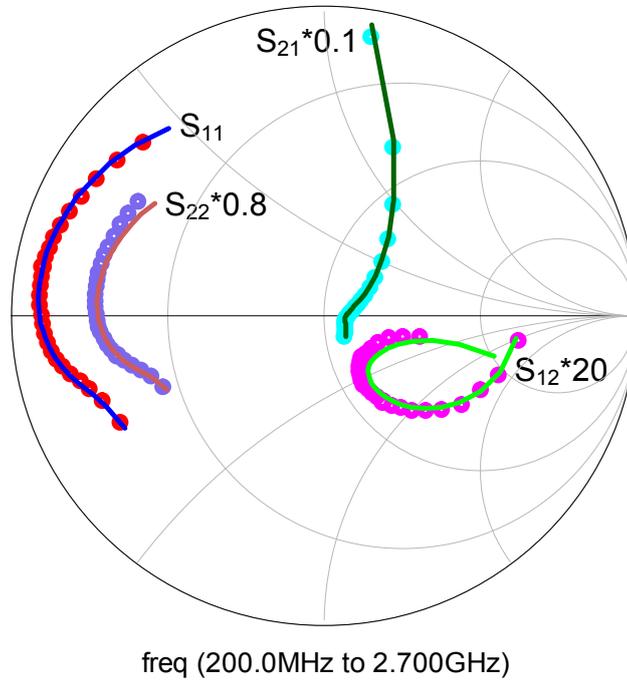


**Figure II.40** - Comparaison entre mesure et simulation des paramètres S pour  $V_{gs}=4,8V$  et  $V_{ds}=26V$  (— Simulation, ●●● Mesure)

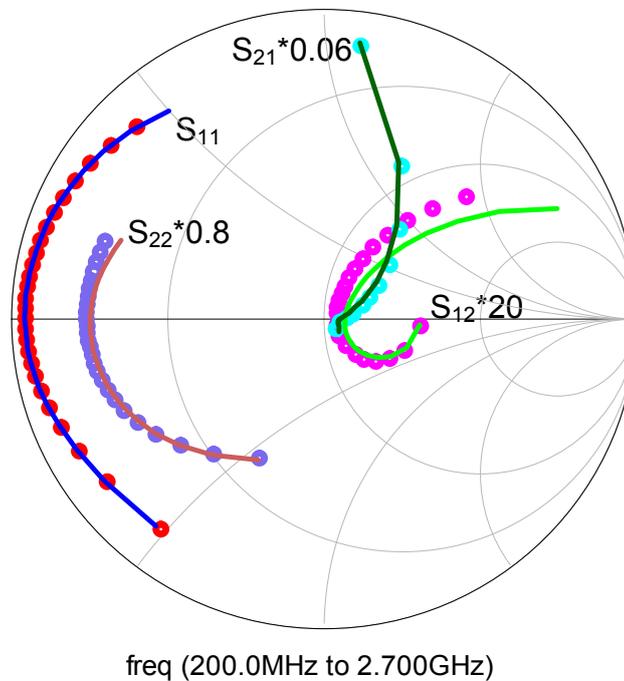


**Figure II.41** - Comparaison entre mesure et simulation des paramètres S pour  $V_{gs}=4,8V$  et  $V_{ds}=7V$  (— Simulation, ●●● Mesure)

Pour les fortes inversions, et en régime de saturation nous prenons les points :  $V_{gs}=6V$ ,  $V_{ds}=7V$  et  $26V$ . Les résultats sont donnés sur les figures II.42 et II.43.

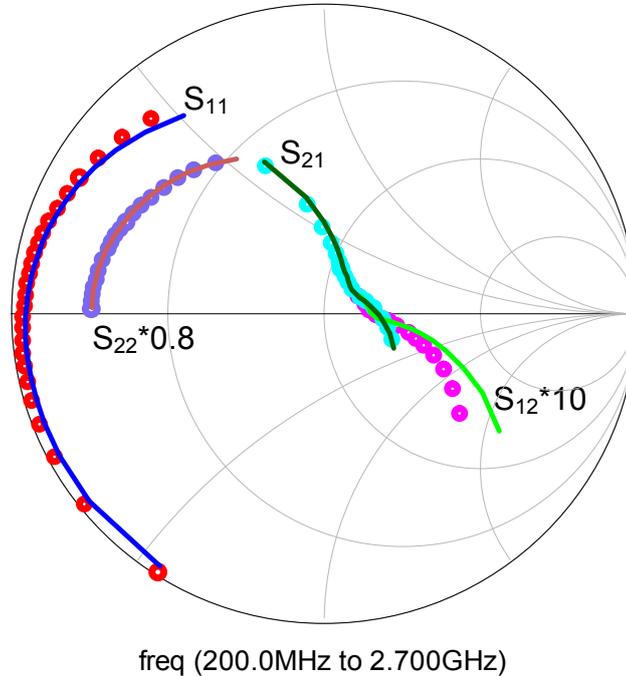


**Figure II.42** - Comparaison entre mesure et simulation des paramètres S pour  $V_{gs}=6V$  et  $V_{ds}=7V$  (— Simulation, ●●● Mesure)

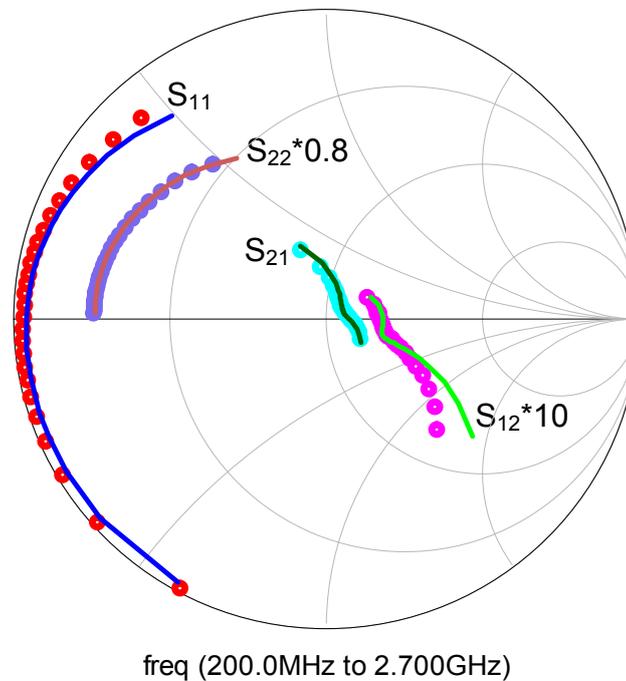


**Figure II.43** - Comparaison entre mesure et simulation des paramètres S pour  $V_{gs}=6V$  et  $V_{ds}=26V$  (— Simulation, ●●● Mesure)

Pour le régime linéaire, nous prenons les points ( $V_{gs}=6,6V$ ,  $V_{ds}=1V$ ) et ( $V_{gs}=5,6V$ ,  $V_{ds}=0.25V$ ), figures II.44 et II.45.



**Figure II.44** - Comparaison entre mesure et simulation des paramètres S pour  $V_{gs}=6,6V$  et  $V_{ds}=1V$  (— Simulation, ●●● Mesure)



**Figure II.45** - Comparaison entre mesure et simulation des paramètres S pour  $V_{gs}=5,6V$  et  $V_{ds}=0.25V$  (— Simulation, ●●● Mesure)

D'après ces résultats de simulation pour les points de polarisations cités, nous pouvons remarquer qu'il ya un bon accord entre la mesure et la simulation, et cela, pour les points de fonctionnement en régime de faible inversion et de forte inversion, soit en saturation ou en régime linéaire.

On note que le transistor LDMOS étudié est souvent utilisé pour concevoir des amplificateurs de puissance en classe AB qui constituent un élément essentiel des stations de base, cela veut dire que les transistors sont souvent polarisés en faible inversion-saturation. Pour ce régime, nous avons déjà cité un exemple pour  $V_{gs}=4.8V$  et  $V_{ds}=26V$ . D'après la figure II.40 nous remarquons une très bonne concordance entre la mesure et la simulation.

D'après les résultats, nous pouvons dire que le schéma choisi pour notre étude est convenable pour la modélisation et la caractérisation du transistor LDMOS, pour les différents régimes de fonctionnement ; faible inversion, forte inversion, linéaire ou saturation et cela pour les fréquences allant de 0.2 à 2.7GHz. Ce résultat est très intéressant car il prouve la validité de la méthode pour les différents régimes de fonctionnement du transistor.

## 11. Conclusion

Dans ce chapitre, nous avons montré la possibilité d'une caractérisation fine d'un transistor LDMOSFET monté en boîtier.

Dans un premier temps, nous avons abordé certains principes fondamentaux de la modélisation et, par la suite, nous avons décrit le schéma équivalent petit-signal des transistors LDMOSFET en donnant la signification physique pour chaque élément. Nous avons détaillé, en particulier, comment modéliser l'effet du boîtier, souvent négligé dans la littérature, et la méthode utilisée pour l'extraction de ces éléments.

Ensuite, nous avons développé les techniques d'extraction des éléments électriques, basées sur des mesures hyperfréquences de paramètres S. Le modèle petit-signal a été implémenté dans le simulateur commercial ADS.

Enfin, les résultats de simulations ont été confrontés aux résultats expérimentaux afin de vérifier la validité du modèle petit-signal. Nous en avons déduit la validité du modèle pour plusieurs points de polarisation.

Ces résultats montrent que le schéma équivalent utilisé est très convenable pour ce genre de transistors, en particulier, ceux possédant un boîtier, et que la technique utilisée pour l'extraction des éléments du schéma équivalent est assez précise et rapide.

Le schéma équivalent petit-signal extrait va servir pour développer le modèle grand-signal ; objet du prochain chapitre.

## *Chapitre 3*

# **Modélisation non-linéaire du transistor LDMOS**

## 1. Introduction

La conception assistée par ordinateur des circuits intégrés suscite un besoin de modèles pour tous les éléments utilisés par le concepteur. Dans le domaine des microondes, nous trouvons un grand nombre de modèles petit-signal (linéaire) pour les transistors MOS [93,113,117,120-122]. Il existe divers effets non-linéaires qui ne sont pas pris en compte par une modélisation petit-signal. Afin de pouvoir obtenir tous ces effets par simulation, un concepteur a besoin d'un modèle grand-signal [42,77,88,123-125].

Le modèle d'un élément quelconque est construit par des équations décrivant ses propriétés physiques. Le simulateur doit résoudre toutes ces équations à tous les points d'excitation requis par le concepteur. Par conséquent, le temps de calcul et de résolution d'un circuit dépend directement des équations et donc des modèles utilisés pour les composants [8,73].

C'est vrai que la façon la plus rigoureuse de modéliser physiquement un transistor est de décrire les équations de base des semi-conducteurs dans les trois dimensions et de les appliquer dans des volumes infiniment petits. Ceci est très efficace lors de l'étude et de la conception d'un transistor, mais le temps de calcul s'avère tellement long qu'il est difficile d'appliquer une telle méthode pour la conception de circuits. C'est pour cette raison que nous avons préféré la modélisation empirique qui se caractérise par sa simplicité, sa rapidité d'extraction des paramètres ainsi qu'un temps de calcul numérique réduit.

Dans ce chapitre, nous présentons le modèle grand-signal que nous avons développé dans le cadre de cette thèse. En premier lieu, nous discutons l'approche de la modélisation grand-signal nécessaire à l'élaboration du modèle. Nous proposons aussi une analyse sur les éléments intrinsèques en étudiant leur évolution en fonction de la polarisation de drain  $V_{ds}$  et de grille  $V_{gs}$ , et cela, afin d'écartier les éléments non-linéaires du modèle. Par la suite, nous donnons les

équations grand-signal élaborées pour chaque élément, ainsi que la technique d'extraction de tous les paramètres du modèle. Nous allons ensuite, détailler la méthode avec laquelle le modèle non-linéaire a été implémenté dans un simulateur électrique de circuits. Finalement, dans le dernier paragraphe, nous présentons la validation des équations du modèle, à travers des comparaisons entre simulations et mesures.

## **2. Approche fondamentale pour la modélisation électrique grand-signal**

Tous les éléments intrinsèques des transistors MOS dépendent de la polarisation du composant et du régime de fonctionnement. Une description petit-signal ne suffit pas et chaque élément doit être représenté par une équation grand-signal qui décrit ses variations en fonction des différents signaux d'excitation appliqués. Avant de passer à la description de chacun des éléments et des modèles élaborés, il est nécessaire de définir l'approche grand-signal.

Le principe se base sur une définition très simple de modèle électrique : Tout composant est décrit électriquement par des charges stockées sur un point physique du composant et des charges en mouvement entre deux points physiques du composant. Un point physique d'un composant est représenté électriquement par un nœud d'un circuit. Les charges en mouvement sont représentées par des courants électriques entre deux nœuds. Les courants vont donner, par dérivation, des conductances (ou résistances) et des transconductances (ou transimpédances). A partir des charges stockées, on peut dériver des capacités entre deux ou plusieurs nœuds [8,73].

## **3. Les non-linéarités dans les composants - Modélisation non-linéaire**

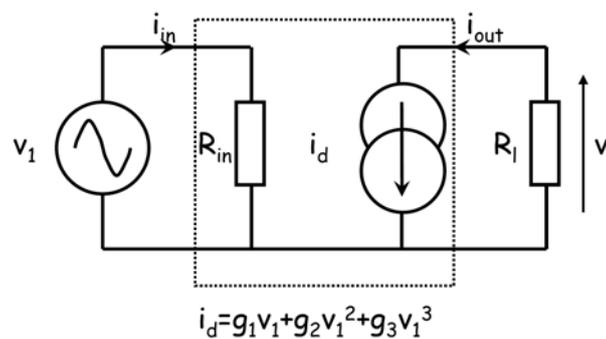
Nous avons vu dans les chapitres précédents les principales caractéristiques concernant les composants MOS. Il est évident que leurs caractéristiques électriques présentent une dépendance non-linéaire par rapport aux potentiels de contrôle. Ceci a pour conséquence l'apparition d'effets non-

linéaires dans le comportement d'un composant ou d'un circuit dans le cas de régime de fonctionnement grand-signal [66,126]. Pour illustrer ceci et comprendre l'importance des effets non-linéaires, nous allons prendre un exemple d'un composant non-linéaire très simple et en extraire certains résultats.

### 3.1. Exemple d'une non-linéarité dans un composant : effets non-linéaires

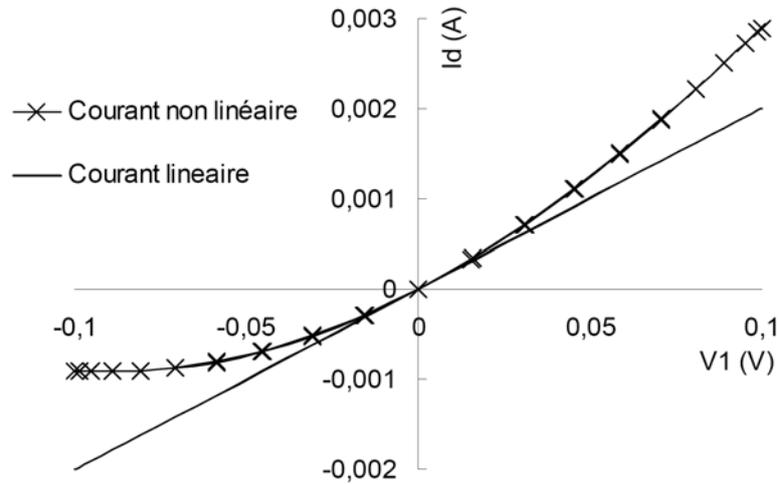
Supposons un schéma électrique équivalent d'un composant quelconque donné sur la figure III.1.  $v_1$  est le signal d'excitation du composant, et  $R_l$  l'impédance de charge (supposée réelle). Le composant présente une impédance d'entrée réelle  $R_{in}$  et une source de courant  $i_d$  non-linéaire contrôlée par  $v_1$ .  $i_d$  est une fonction du 3<sup>ème</sup> ordre de  $v_1$  donnée par :

$$i_d = g_1 v_1 + g_2 v_1^2 + g_3 v_1^3 \quad (\text{III.1})$$



**Figure III.1** - Schéma équivalent électrique d'un composant hypothétique contenant une source de courant non linéaire

Les éléments  $g_i$  sont des transconductances d'ordre  $i$ . Le courant  $i_d$  non-linéaire est illustré sur la figure III.2 en fonction de la tension statique  $V_1$ . Sur la même figure, nous représentons le même courant ; si les ordres 2 et 3 sont négligés, le courant  $i_d$  se réduit à une fonction linéaire de  $v_1$  ( $i_d = g_1 \cdot v_1$ ).



**Figure III.2** - Courants statiques, linéaire et non linéaire, en fonction de la tension d'entrée

### 3.2. Distorsion harmonique

Si l'on applique à  $v_1$  une tension sinusoïdale d'amplitude  $A_0$  et de pulsation angulaire  $\omega_0$ ,  $v_1 = A_0 \cos(\omega_0 t)$ , on peut aisément calculer le courant et la tension résultante sur la charge  $R_l$  :

$$i_d = g_1 A_0 \cos(\omega_0 t) + g_2 A_0^2 \cos^2(\omega_0 t) + g_3 A_0^3 \cos^3(\omega_0 t) \quad (\text{III.2})$$

$$i_d = \left( \frac{g_2 A_0^2}{2} \right) + \left( g_1 A_0 + \frac{3g_3 A_0^3}{4} \right) \cos(\omega_0 t) + \frac{g_2 A_0^2}{2} \cos(2\omega_0 t) + \frac{g_3 A_0^3}{4} \cos(3\omega_0 t) \quad (\text{III.3})$$

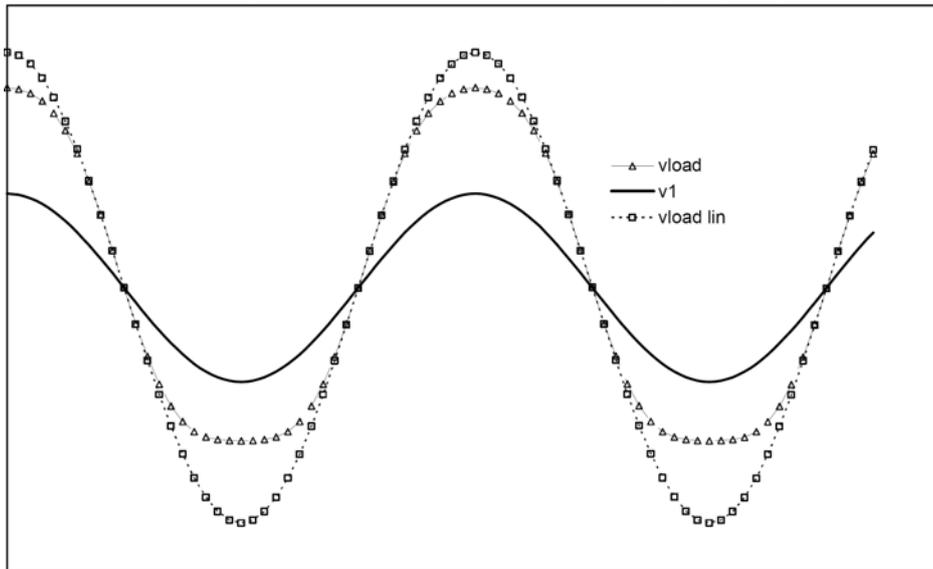
Et

$$v_{load} = \left( \frac{g_2 A_0^2}{2} \right) R_l + \left( g_1 A_0 + \frac{3g_3 A_0^3}{4} \right) R_l \cos(\omega_0 t) + \frac{g_2 A_0^2}{2} R_l \cos(2\omega_0 t) + \frac{g_3 A_0^3}{4} R_l \cos(3\omega_0 t) \quad (\text{III.4})$$

Dans le cas où la source de courant est linéaire, la tension  $v_{load}$  est égale à :

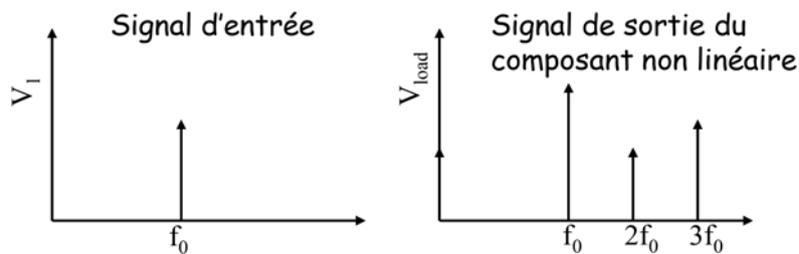
$$v_{load\_lin} = g_1 R_l A_0 \cos(\omega_0 t) \quad (\text{III.5})$$

L'équation (III.4) fait apparaître des termes fréquentiels multiples de la fréquence fondamentale  $\omega_0$ , appelés harmoniques [126]. Les formes d'ondes temporelles de  $v_{load}$ ,  $v_{load\_lin}$  et  $v_1$  sont données sur la figure III.3. On observe que la forme d'onde  $v_{load}$  présente une distorsion qui est due aux harmoniques.



**Figure III.3** - Formes d'ondes temporelles du potentiel à l'entrée du composant  $v_{in}$  et du potentiel sur la charge  $V_{load}$

La représentation de ce résultat dans le domaine spectral est d'autant plus intéressante qu'elle fournit des informations sur l'amplitude de chaque harmonique. Le spectre des harmoniques du circuit considéré est donné sur la figure III.4. Sur le tableau III.1 sont résumées les amplitudes de chaque harmonique.



**Figure III.4** - Spectre obtenu à la sortie du composant non-linéaire excité par une fréquence  $f_0$

Fréquence	DC	$\omega_0$	$2\omega_0$	$3\omega_0$
Amplitude $i_{load}$	$\frac{1}{2} g_2 A_0^2$	$g_1 A_0 + \frac{3}{4} g_3 A_0^3$	$\frac{1}{2} g_2 A_0^2$	$\frac{1}{4} g_3 A_0^3$
Amplitude $i_{load\_linéaire}$	-	$g_1 A_0^3$	-	-

**Tableau III.1** - Amplitudes des harmoniques 1 à 3 résultant du composant non-linéaire et du composant linéaire

Un développement de l'équation (III.2) en séries de Fourier donne le même résultat que l'équation (III.4). Par conséquent, l'amplitude de chaque harmonique correspond aux coefficients de Fourier  $C_n$ . De manière générale, si

$$i_d = g_1 v_1 + g_2 v_1^2 + g_3 v_1^3 + \dots + g_n v_1^n \quad (\text{III.6})$$

Avec  $n=2k$  et  $k$  entier positif, les coefficients de Fourier résultants de (III.6) dépendent de tous les éléments  $g_j$ . Le tableau III.2 résume cette observation.

Coefficient	DC $C_0$	$\omega_0$ $C_1$	$2\omega_0$ $C_2$	$3\omega_0$ $C_3$	$4\omega_0$ $C_4$	$n\omega_0$ $C_n$
Dépend de	$A_0, g_2, g_4, \dots, g_n$	$A_0, g_1, g_3, \dots, g_{n-1}$	$A_0, g_2, g_4, \dots, g_n$	$A_0, g_3, \dots, g_{n-1}$	$A_0, g_4, \dots, g_n$	$A_0, g_n$

**Tableau III.2** - Eléments dont dépendent les coefficients de Fourier

On remarque que les coefficients pairs et impairs sont respectivement générés par les éléments de non-linéarité pairs et impairs. Dans l'équation (III.6),  $n$  est l'ordre de la non-linéarité. Le phénomène décrit ci-dessus est appelé distorsion harmonique.

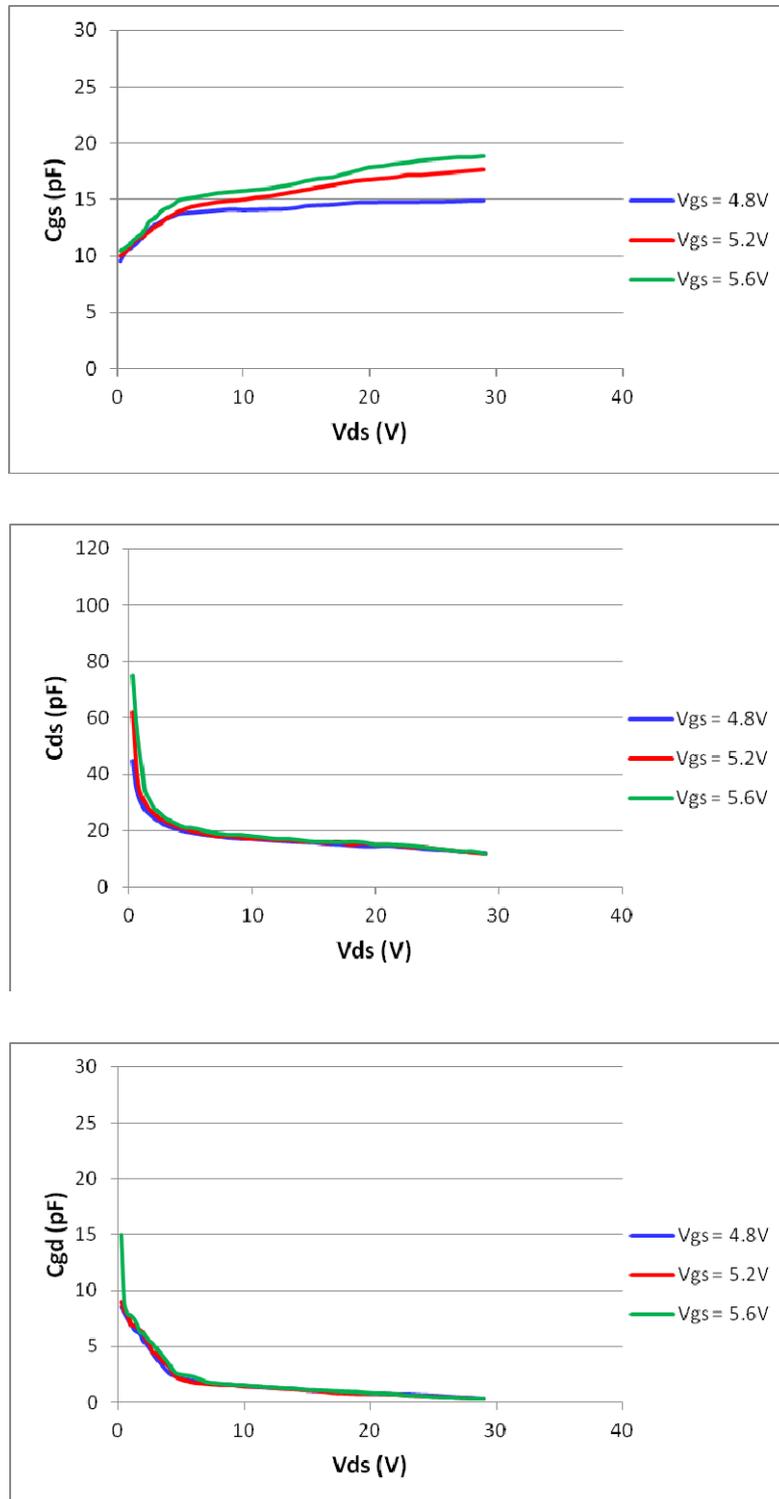
#### 4. Evolution des éléments intrinsèques en fonction de la polarisation

Une fois les éléments intrinsèques déterminés en fonction de la fréquence, il est nécessaire de déterminer leur évolution en fonction des polarisations de drain et de source afin de déterminer les éléments intrinsèques non-linéaires du transistor LDMOSFET. Pour cela, il suffit d'appliquer la même procédure que celle décrite au chapitre précédent sur des mesures de paramètres S du composant en faisant varier la polarisation à diverses fréquences (dans la bande 0.2 - 2.7 GHz). Une moyenne doit être effectuée sur les valeurs extraites aux fréquences mesurées.

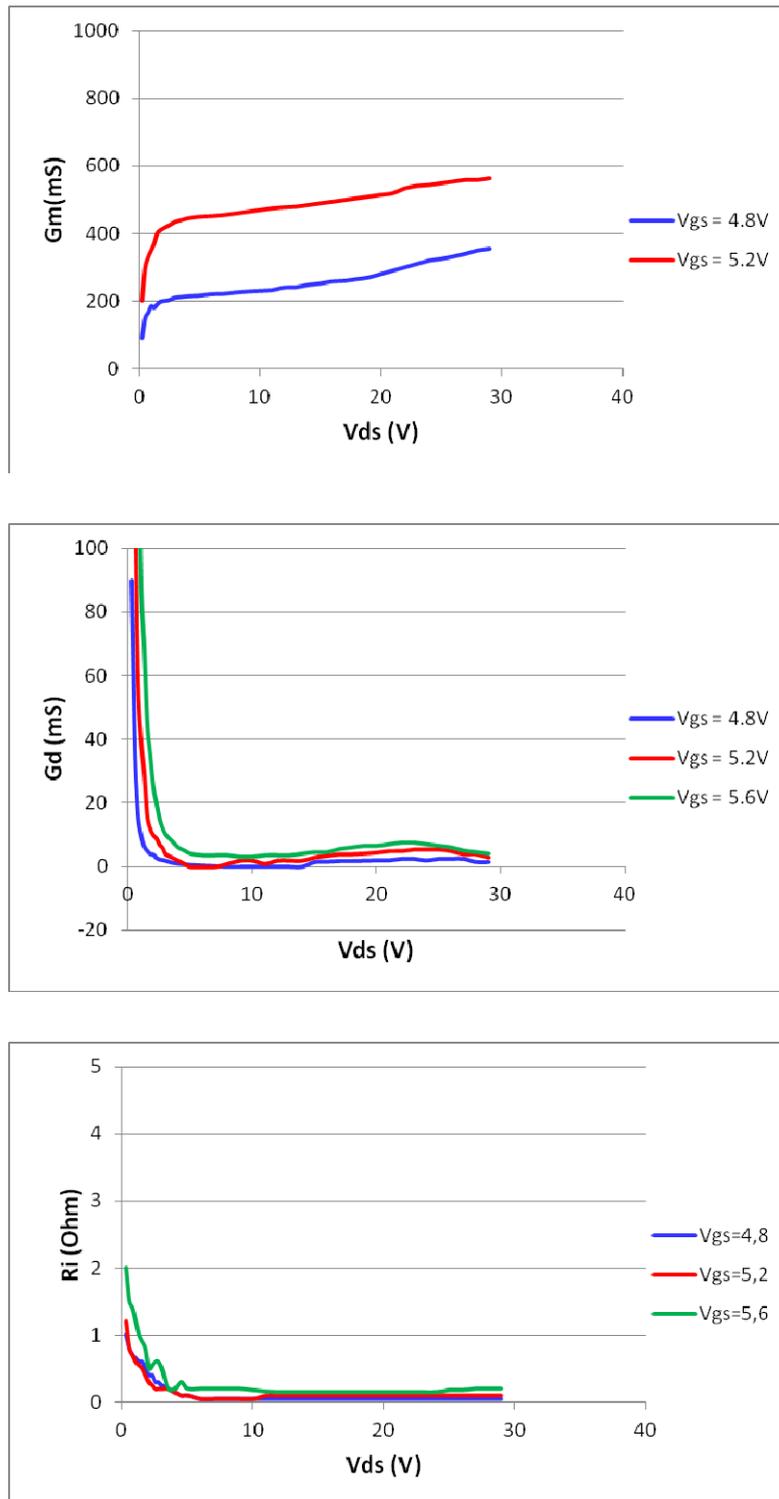
##### 4.1. Evolution des éléments intrinsèques en fonction de $V_{ds}$

La figure III.5 montre l'évolution des capacités  $C_{gs}$ ,  $C_{ds}$  et  $C_{gd}$  mesurées en fonction de la tension  $V_{ds}$  pour différentes valeurs de  $V_{gs}$ .

La figure III.6 montre la transconductance  $g_m$ , la conductance de sortie  $g_d$  et la résistance  $R_i$  mesurées en fonction de la tension  $V_{ds}$  pour différentes valeurs de  $V_{gs}$ .



**Figure III.5** - Variations des capacités  $C_{gs}$ ,  $C_{ds}$  et  $C_{gd}$  en fonction de  $V_{ds}$  pour différentes valeurs de  $V_{gs}$



**Figure III.6** - Variations de la transconductance  $g_m$ , de la conductance de sortie  $g_d$ , et de la résistance  $R_i$  en fonction de  $V_{ds}$  pour différentes valeurs de  $V_{gs}$

#### 4.2. Evolution des éléments intrinsèques en fonction de $V_{gs}$

La figure III.7 montre l'évolution des capacités  $C_{gs}$ ,  $C_{ds}$  et  $C_{gd}$  mesurées en fonction de la tension  $V_{gs}$  pour différentes valeurs de  $V_{ds}$ .

La figure III.8 montre la transconductance  $g_m$ , la conductance de sortie  $g_d$  et la résistance  $R_i$  mesurées en fonction de la tension  $V_{gs}$  pour différentes valeurs de  $V_{ds}$ .

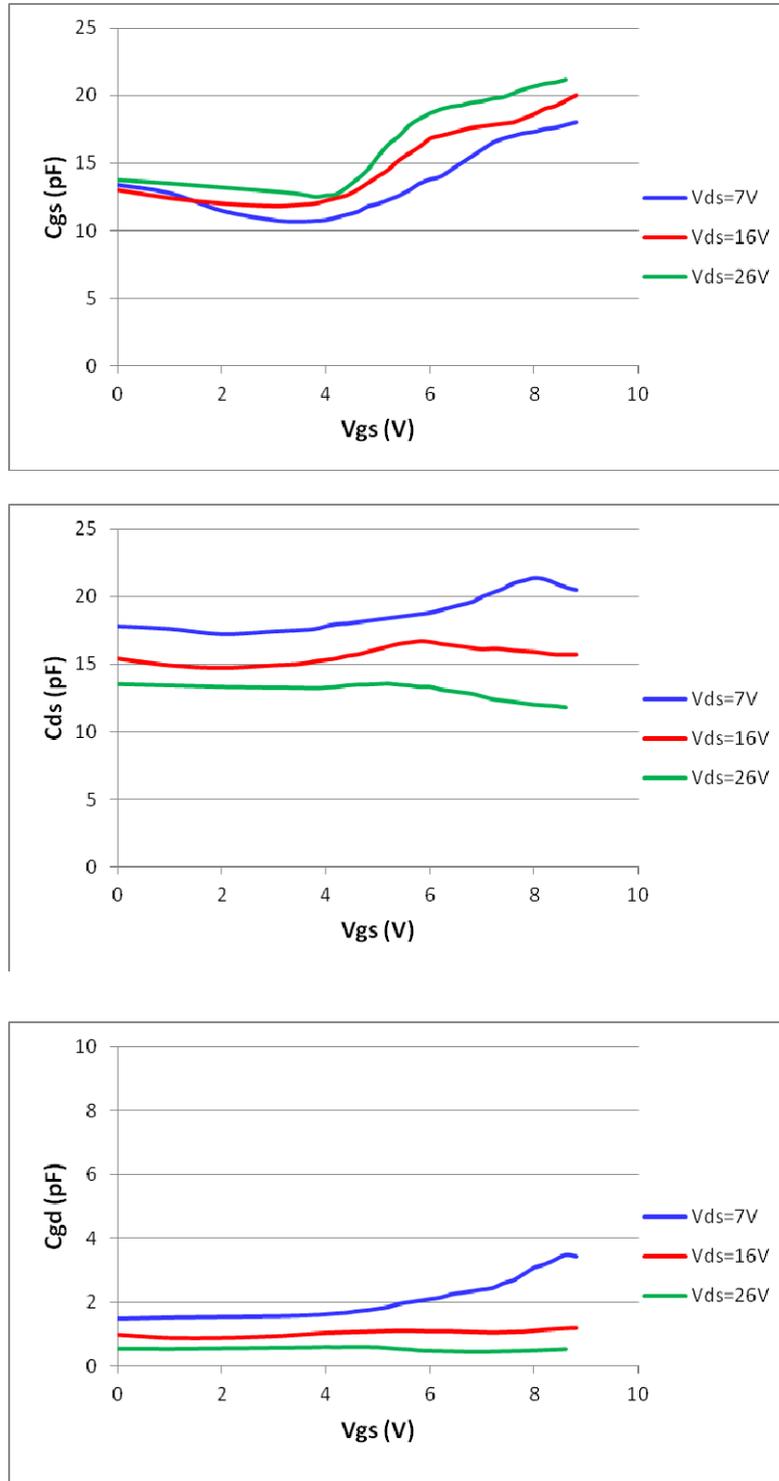
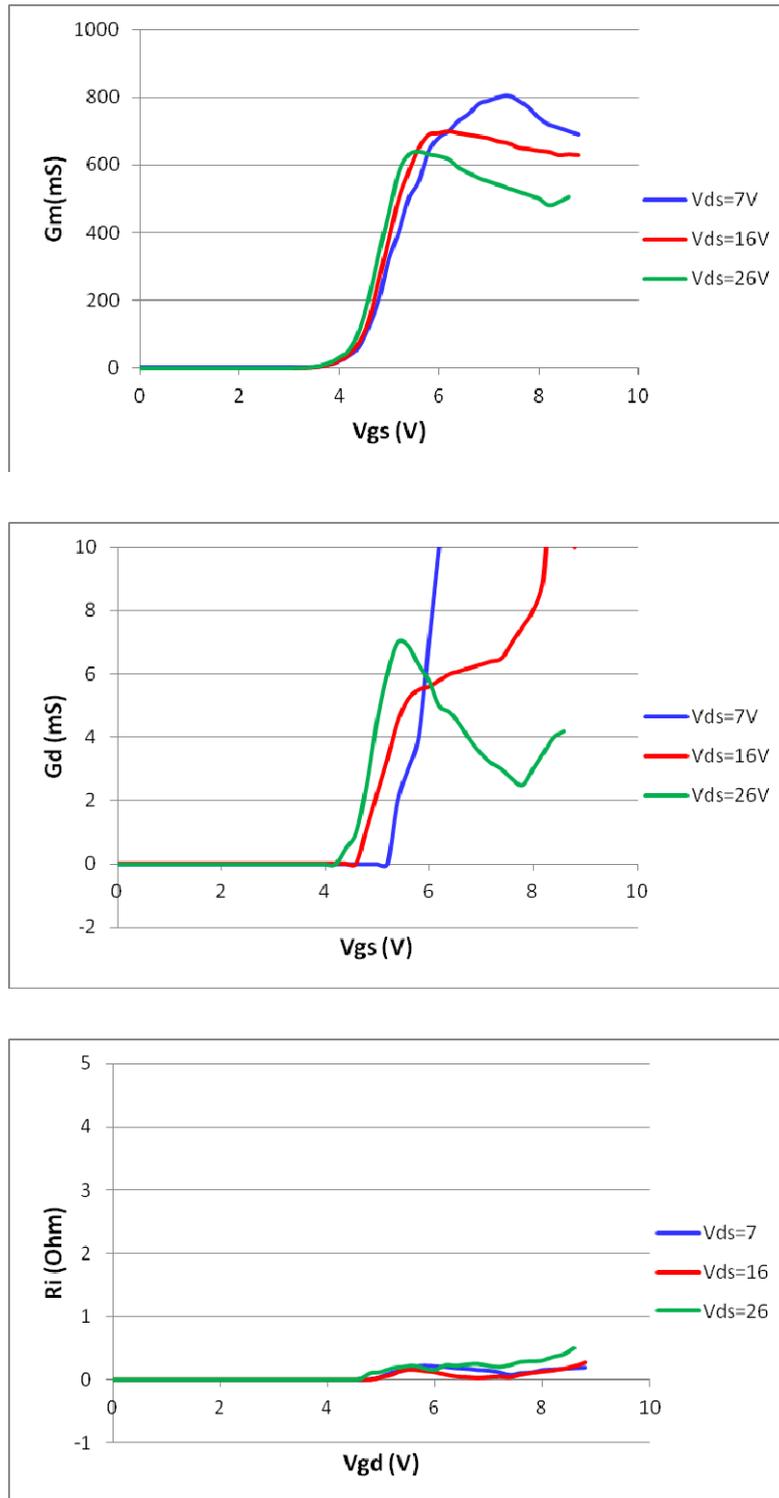


Figure III.7 - Variations des capacités  $C_{gs}$ ,  $C_{ds}$  et  $C_{gd}$  en fonction de  $V_{gs}$  pour différentes valeurs de  $V_{ds}$



**Figure III.8** - Variations de la transconductance  $g_m$ , de la conductance de sortie  $g_d$ , et de la résistance  $R_i$  en fonction de  $V_{gs}$  pour différentes valeurs de  $V_{ds}$

### 4.3. Hypothèses et approximations pour le modèle des MOSFET

Nous pouvons remarquer des figures III.5 à III.8 que :

- Les éléments intrinsèques ne sont pas beaucoup influencés par la variation de la polarisation  $V_{ds}$ , étant donné que le transistor utilisé est destiné à des applications fonctionnant dans le régime de saturation. Nous pouvons, donc, omettre l'influence de la polarisation de drain  $V_{ds}$  sur ces éléments.
- Les éléments qui présentent un effet remarquable de la polarisation de grille  $V_{gs}$  sont ; la capacité intrinsèque grille-source  $C_{gs}$ , la transconductance de sortie  $g_m$  et la conductance du drain  $g_d$ .
- Une autre approximation concerne les autres éléments (la capacité drain-source  $C_{ds}$ , la capacité grille-drain  $C_{gd}$  et la résistance  $R_i$ ). Par la suite, ils sont considérés linéaires : leur influence sur les propriétés non-linéaires du composant est négligeable, du fait qu'ils varient faiblement en fonction de la tension  $V_{gs}$ .

Enfin, cette étude nous a permis de connaître les éléments intrinsèques qui sont influencés par la polarisation et ceux qui ne le sont pas. Ces derniers peuvent être considérés comme linéaires.

Une fois les variations des éléments intrinsèques, en fonction de la polarisation déterminés, le prochain défi est de trouver les équations des éléments non-linéaires en fonction des tensions  $V_{gs}$  et  $V_{ds}$ . C'est l'objet des paragraphes suivants.

## 5. Formulation mathématique du modèle

### 5.1. Source de courant grand-signal $I_{ds}$

Dans un modèle grand-signal, l'équation définissant l'allure du courant drain-source  $I_{ds}$  en fonction des tensions de polarisation est très importante, car, il est l'élément qui présente la non-linéarité la plus dominante [75]. Dans ce paragraphe, nous allons discuter des équations grand-signal qui ont été élaborées afin de décrire le courant de drain grand-signal des composants MOS. Pour

assurer une continuité entre les régimes de fonctionnement, une seule équation de courant doit être utilisée et doit être valable sur tous les régimes de fonctionnement. Ceci peut être facilement atteint avec une modélisation empirique. La modélisation empirique de courant non-linéaire remonte au début des années 80, à l'époque où les composants à base de matériaux III-V (MESFET et HEMT) étaient en pleine expansion dans les applications microondes [32,84].

Il est évident que la validité d'un tel modèle va être très approximative dans certains régimes de fonctionnement, et très bonne dans d'autres. Mais, les applications hyperfréquences n'exigent pas, par exemple, une précision rigoureuse pour des polarisations sous le seuil car les composants fonctionnent en régime d'inversion [8].

La modélisation du courant  $I_{ds}$  repose sur l'utilisation de la transconductance hyperfréquence  $g_m$  et de la conductance de sortie hyperfréquence  $g_d$ .

D'après leur définition au chapitre II, (équations II.1 et II.2),  $g_m(V_{gs}, V_{ds})$  et  $g_d(V_{gs}, V_{ds})$  correspondent à des dérivées partielles de  $I_{ds}(V_{gs}, V_{ds})$ ; Le courant  $I_{ds}$  peut alors être défini soit par l'intégration de la transconductance  $g_m$  par rapport à  $V_{gs}$ , soit par l'intégration de la conductance de sortie  $g_d$  par rapport à  $V_{ds}$ . on peut donc écrire que [8,80,81] :

$$I_{ds}(V_{gs}, V_{ds}) = \int_{V_{th}}^{V_{gs0}} g_m(V_{gs}, V_{ds}) dV_{gs} \Big|_{V_{ds}=cte} = \int_0^{V_{ds0}} g_d(V_{gs}, V_{ds}) dV_{ds} \Big|_{V_{gs}=cte} \quad (III.7)$$

Les limites d'intégration étant définies entre  $V_{th}$  et  $V_{gs0}$  pour  $g_m$  et entre 0 et  $V_{ds0}$  pour  $g_d$ .

De l'équation (III.7), il découle que  $g_m(V_{gs}, V_{ds})$  et  $g_d(V_{gs}, V_{ds})$  ne peuvent pas être modélisées de manière indépendante. Dans le cas contraire, chacune des intégrales de l'équation (III.7) donnerait un résultat différent. D'un point de vue électrique, ceci se traduit par deux courants différents dans la même branche (Drain-Source). D'un point de vue physique, ceci revient à ne pas respecter la conservation de la matière. Cette erreur est fondamentale dans l'approche de la modélisation grand-signal. Afin d'éviter ce genre de problèmes, les équations de  $g_m$  et  $g_d$  doivent être consistantes entre elles et reliées par la relation (III.7) [8].

En utilisant l'intégration de  $g_m$ , l'expression de  $I_{ds}$  s'écrit alors sous la forme suivante :

$$I_{ds}(V_{gs}, V_{ds0}) = \int_{V_{th}}^{V_{gs}} g_m(V_{gs}, V_{ds0}) dV_{gs} + g_d(V_{gs}, V_{ds0})(V_{ds} - V_{ds0}) \quad (III.8)$$

$V_{th}$  est la tension de seuil.

$V_{gs}$ ,  $V_{ds}$  et  $V_{ds0}$  sont des tensions internes du composant.

$g_d$  et  $g_m$  sont des éléments hyperfréquences.

Si l'on dérive l'expression (III.8) on retrouve bien :

$$\left. \frac{\partial I_{ds}(V_{gs}, V_{ds})}{\partial V_{gs}} \right|_{V_{ds}=V_{ds0}} = g_m(V_{gs}, V_{ds0}) \quad (III.9)$$

$$\frac{\partial I_{ds}(V_{gs}, V_{ds})}{\partial V_{ds}} = g_d(V_{gs}, V_{ds0}) \quad (III.10)$$

Les expressions de  $g_m$  et  $g_d$  ont une forme polynomiale comme suit :

$$g_m = (a_0 + a_1 V_{gs} + a_2 V_{gs}^2 + \dots + a_n V_{gs}^n) F_1(V_{gs}) \quad (III.11)$$

$$g_d = (b_0 + b_1 V_{gs} + b_2 V_{gs}^2 + \dots + b_n V_{gs}^n) F_2(V_{gs}) \quad (III.12)$$

La fonction  $F_i$  avec ( $i=1$  ou  $2$ ) permet d'assurer la continuité du modèle au dessous de la tension de seuil  $V_{th}$  en gardant un courant  $I_{ds}=0$  pour  $V_{gs} < V_{th}$ . On a alors :

$$F_i(V_{gs}) = 0,5 \cdot [1 + \tanh((V_{gs} - V_{th}) \cdot 40)] \quad (III.13)$$

Les expressions mathématiques de chaque élément non-linéaire ainsi que les coefficients sont obtenus après l'introduction des résultats de mesures dans le logiciel Excel. Ces expressions sont introduites par la suite dans le logiciel ADS.

Une bonne optimisation entre le temps de calcul du simulateur pour le fonctionnement non-linéaire de l'amplificateur de puissance et l'ordre du polynôme donnant une bonne description des évolutions, nous amène à choisir un ordre d'environ 5 à 6 pour les expressions de  $g_m$  et de  $g_d$  (Tableau III.3).

Les constantes d'intégration de  $g_m$  et  $g_d$  sont déterminées en posant  $I_{ds}=0$  pour les bornes d'intégration inférieures c'est à dire à  $V_{gs}=V_{th}$ .

$a_0$	$a_1$	$a_2$	$a_3$	$a_4$	$a_5$	$a_6$
76524	-70458	25395	-4549.8	422.22	-18.588	0.2729
$b_0$	$b_1$	$b_2$	$b_3$	$b_4$	$b_5$	
1708.3	-1473	493.94	-80.563	6.4102	-0.1996	

**Tableau III.3** - Coefficients  $a_i$  et  $b_i$  permettant d'extraire  $g_m$  et  $g_d$

Le fonctionnement de l'amplificateur de puissance en Classe AB implique que le point de fonctionnement reste en zone saturée. C'est pourquoi la formulation mathématique (III.8) du courant  $I_{ds}$  permet de décrire parfaitement cette région, mais, elle ne permet pas de décrire le comportement de la zone ohmique. Nous avons donc ajouté un terme  $\tanh(\alpha V_{ds})$  à l'expression (III.8). Ce terme n'intervient en rien dans les simulations en régime établi de l'amplificateur de puissance. Il a pour but de donner un réseau I/V physiquement plus réaliste lors de l'établissement de l'équilibrage harmonique. Dans ces conditions la formulation finale du courant  $I_{ds}$  s'écrit :

$$I_{ds}(V_{gs}, V_{ds0}) = \tanh(\alpha V_{ds}) \int_{V_{th}}^{V_{gs}} g_m(V_{gs}, V_{ds0}) dV_{gs} + g_d(V_{gs}, V_{ds0})(V_{ds} - V_{ds0}) \quad (III.14)$$

Notons que le terme  $\alpha$  est ajustable de façon à pouvoir décrire un réseau simulé le plus proche possible de la mesure.

## 5.2. Capacité grille-source $C_{gs}$

La modélisation des capacités non-linéaires suscite aussi une attention particulière, à cause du problème de la conservation de la charge [77]. Il est équivalent au problème de la conservation de la matière, mais peut être moins évident lors de l'élaboration d'un modèle de capacités grand-signal. La difficulté est que la charge n'est pas une grandeur directement mesurable, comme l'est le

courant [8]. Si ce principe n'est pas respecté, il y a un risque de créer des divergences lors de simulations de circuits grand-signal.

L'introduction d'un modèle non-linéaire de capacité dans le logiciel ADS passe par les équations qui décrivent la charge de la capacité. Nous disposons, à partir de la caractérisation du composant, de l'évolution de la capacité  $C_{gs}$  en fonction de  $V_{gs}$  pour  $V_{ds}=V_{ds0}$ . Il convient donc de trouver une expression mathématique de la charge dans le logiciel ADS. Celui-ci propose certains modèles non-linéaires prédéfinis de la capacité qui sont plus adaptés aux MESFETs qu'aux MOSFETs.

Nous utilisons donc un modèle basé sur des expressions polynomiales décrites dans [81]. L'expression de charge est la suivante :

$$Q_{gs} = \int_{V_{th}}^{V_{gs}} C_{gs}(V_{gs}, V_{ds0}) dV_{gs} + K.V_{gs} \quad (\text{III.15})$$

$$C_{gs} = (c_0 + c_1 V_{gs} + c_2 V_{gs}^2 + \dots + c_n V_{gs}^n) F_3(V_{gs}) \quad (\text{III.16})$$

$F_3$  est définie telle que les  $F_i$  utilisées précédemment, permet d'assurer  $C_{gs} = K$  en dessous de la tension de seuil,  $K$  représente la valeur constante que prend  $C_{gs}$  pour  $V_{gs} < V_{th}$ .

Les coefficients  $c_i$  permettant d'interpoler la capacité  $C_{gs}$  du transistor BLF2043F sont donnés dans le tableau III.4 suivant :

$c_0$	$c_1$	$c_2$	$c_3$	$c_4$	$c_5$
15.218	4.4657	-5.4963	1.8724	-0.2384	0.0104

**Tableau III.4** - Coefficients  $c_i$  permettant d'extraire la capacité  $C_{gs}$

## 6. Implémentation du modèle dans un simulateur commercial

Le modèle de type phénoménologique utilisé nécessite d'être implémenté dans un logiciel de simulation électrique pour circuits. Parmi les nombreux logiciels commerciaux existants, nous avons choisi le logiciel commercial ADS (Advanced Design System) de Agilent Technologies largement utilisé par les concepteurs de circuits intégrés en microondes.

Dans ce paragraphe, nous allons présenter les techniques utilisées pour implémenter le modèle développé dans ADS. Dans un premier temps, l'implémentation des éléments non-linéaires est décrite. Par la suite, nous présentons la description du modèle complet, incluant les éléments non-linéaires et les éléments linéaires. Finalement, nous résumons les différents niveaux hiérarchiques des éléments du modèle.

### 6.1. Description des éléments non-linéaires dans ADS

Une fois l'équation du courant  $I_{ds}$  et celle de la capacité  $C_{gs}$  sont déterminées en fonction des tensions  $V_{gs}$  et  $V_{ds}$ , il faut implémenter le modèle non-linéaire dans un simulateur (dans notre cas ADS : Advanced Design System de Agilent Technologies).

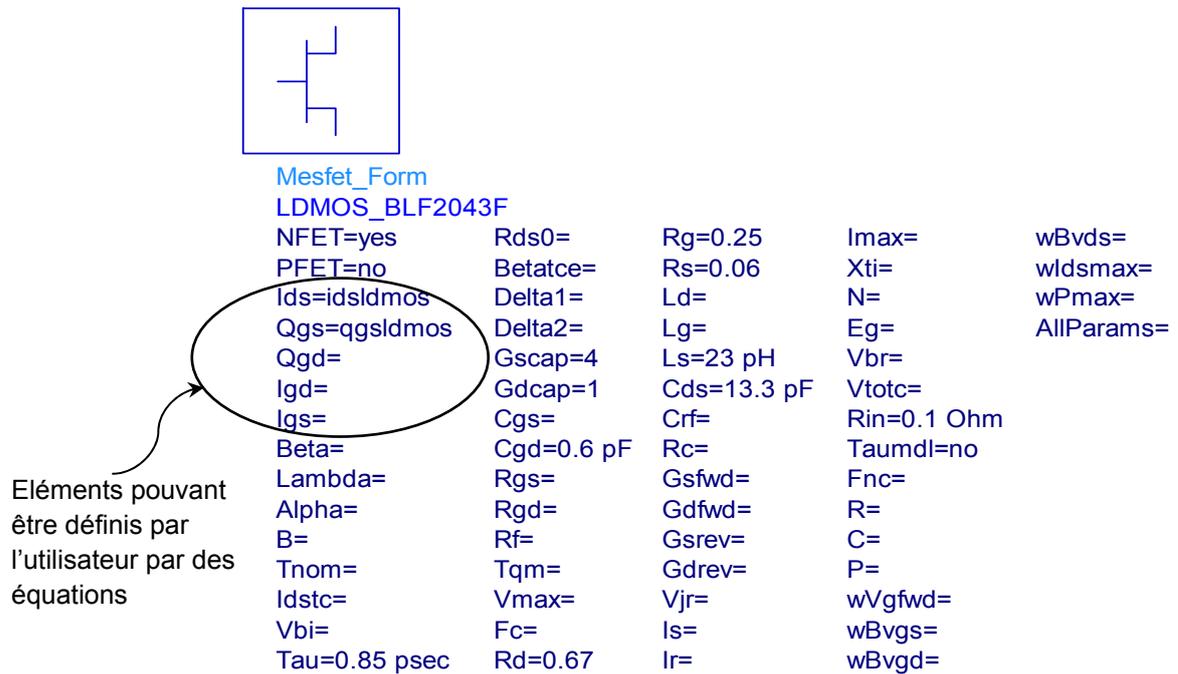
Pour les hyperfréquences, on s'intéresse beaucoup plus à la région de saturation. Par conséquent, cette région aura une priorité quant à la précision du modèle.

Pour les modèles hautes fréquences, les éléments les plus sensibles sont : la transconductance  $g_m$ , la conductance du drain  $g_d$  et la capacité  $C_{gs}$  [81,87].

Pour simplifier l'implémentation dans le simulateur ADS, nous utilisons un modèle prédéfini de la bibliothèque. Ce modèle est appelé : MESFET\_Form, (Symbolic MESFET Model : Modèle symbolique pour les MESFET), (figure III.9). Ce modèle est beaucoup plus adapté aux MESFET, néanmoins, l'expérience nous a montré qu'il peut être utilisé pour d'autres transistors FET (HEMT dans les travaux de thèse de F. Amrouche [80] et LDMOSFET dans le cas de nos travaux). L'avantage de ce modèle, c'est qu'il donne la possibilité à l'utilisateur de programmer des équations personnalisées pour les éléments souvent considérés comme non-linéaires, à savoir, le courant drain-source  $I_{ds}$ , la charge grille-source  $Q_{gs}$ , la charge grille-drain  $Q_{gd}$ , le courant grille-drain  $I_{gd}$  et le courant grille-source  $I_{gs}$  [127].

Dans notre modèle, les éléments non-linéaires peuvent être classés en deux catégories :

1. La source de courant du drain  $I_{ds}$  qui dépend de la transconductance  $g_m$  et de la conductance du drain  $g_d$  selon les relations : (III.11-III.14).
2. La charge grille-source  $Q_{gs}$  qui dépend de la capacité  $C_{gs}$  selon les relations (III.15) et (III.16).



**Figure III.9** - Modèle MESFET\_Form de la bibliothèque ADS utilisé pour simplifier l'implémentation de notre modèle

Par la suite, la technique de chacun des éléments est explicitée séparément.

### 6.1.1. Courant $I_{ds}$ dans le simulateur ADS

Sur la figure III.10 sont montrées les équations utilisées pour décrire le courant de drain  $I_{ds}$  en fonction des tensions  $V_{gs}$  et  $V_{ds}$ . Nous utilisons des objets appelés VAR destinés pour introduire les variables et les équations sur ADS.

```

Var  VAR
Eqn  VAR4
a0=76524
a1=-70458
a2=25395
a3=-4549.8
a4=422.22
a5=-18.588
a6=0.2729
vt1=4
Kids=-67.42

Var  VAR
Eqn  VAR2
b0=1708.3
b1=-1473
b2=493.94
b3=-80.563
b4=6.4102
b5=-0.1996
b6=0

Var  VAR
Eqn  VAR9
F1=0.5*(1+tanh((_v2-vt1)*40))

Var  VAR
Eqn  VAR5
gd=(b0+b1*_v2+b2*_v2**2+b3*_v2**3+b4*_v2**4+b5*_v2**5+b6*_v2**6)*1e-3*F1

Var  VAR
Eqn  VAR6
idsldmos=((a0*_v2+a1/2*_v2**2+a2/3*_v2**3+a3/4*_v2**4+a4/5*_v2**5+a5/6*_v2**6+a6/7*_v2**7)*1e-3+Kids)*tanh(2*_v1)*F1+gd*_v1

```

**Figure III.10** - Equations utilisées pour décrire le courant grand-signal de drain  $I_{ds}$

Les  $a_i$  et les  $b_i$  représentent les coefficients des polynômes de  $g_m$  et  $g_d$  respectivement, et les potentiels de contrôle  $_v1$  et  $_v2$  représentent les tensions  $V_{ds}$  et  $V_{gs}$  respectivement.

### 6.1.2. Charge $Q_{gs}$ dans le simulateur ADS

Comme pour le courant  $I_{ds}$ , la figure III.11 montre les équations utilisées pour décrire la charge  $Q_{gs}$ . Les potentiels de contrôle sont définis de la même manière que précédemment, et les  $d_i$  représentent les coefficients du polynôme de  $C_{gs}$ .

```

Var
Eqn
VAR
VAR3
d0=15.218
d1=4.4657
d2=-5.4963
d3=1.8724
d4=-0.2384
d5=0.0104
d6=0
vt2=-0.2

Var
Eqn
VAR
VAR7
F2=0.5*(1+tanh((_v1-vt2)*40))

Var
Eqn
VAR
VAR8
qgsldmos=d0*_v1*1e-12+(d1/2*_v1**2+d2/3*_v1**3+d3/4*_v1**4+d4/5*_v1**5+d5/6*_v1**6)*1e-12*F2

```

Figure III.11 - Equations utilisées pour décrire la charge grille-source  $Q_{gs}$

## 6.2. Schéma équivalent électrique dans le simulateur ADS

Le modèle complet est décrit de façon schématique, à l'aide d'éléments localisés et des composants non-linéaires définis précédemment. La figure III.12 montre le schéma du modèle électrique dans ADS.

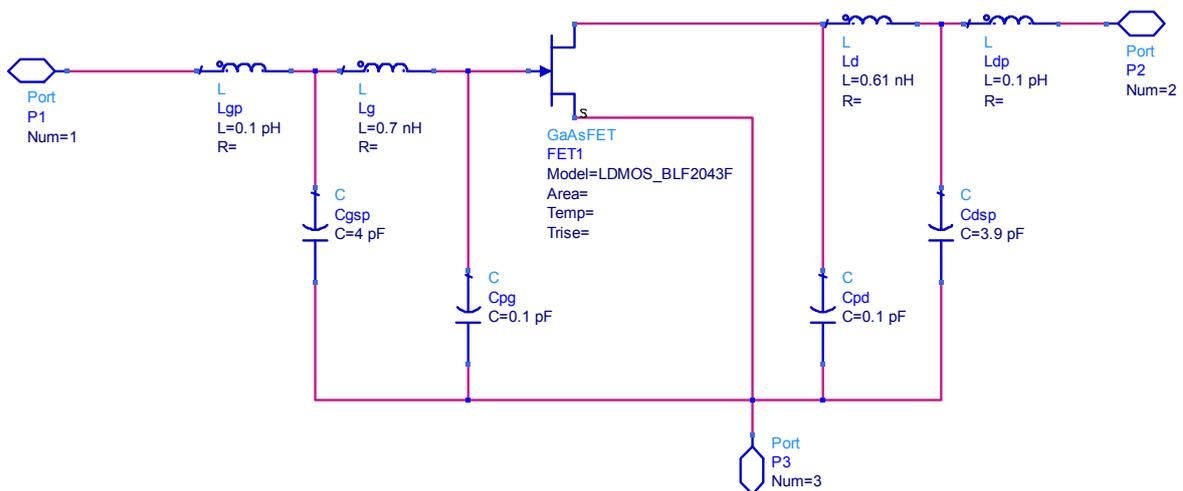
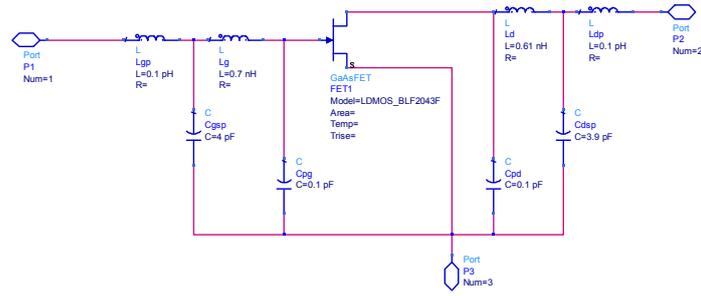


Figure III.12 - Schéma électrique du modèle complet dans ADS

La figure III.13 résume les différents niveaux hiérarchiques des éléments du modèle.



### 1. Description du schéma équivalent électrique

```

[Var Eqn] VAR
VAR9
F1=0.5*(1+tanh((v2-v1)*40))

[Var Eqn] VAR
VAR5
gd=(b0+b1*_v2+b2*_v2**2+b3*_v2**3+b4*_v2**4+b5*_v2**5+b6*_v2**6)*1e-3*F1

[Var Eqn] VAR
VAR6
idsldmos=(a0*_v2+a1/2*_v2**2+a2/3*_v2**3+a3/4*_v2**4+a4/5*_v2**5+a5/6*_v2**6+a6/7*_v2**7)*1e-3+Kids)*tanh(2*_v1)*F1+gd*_v1

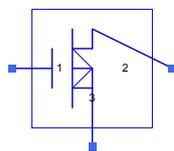
[Var Eqn] VAR
VAR7
F2=0.5*(1+tanh((v1-v2)*40))

[Var Eqn] VAR
VAR8
qgsldmos=d0*_v1*1e-12+(d1/2*_v1**2+d2/3*_v1**3+d3/4*_v1**4+d4/5*_v1**5+d5/6*_v1**6)*1e-12*F2
    
```

### 2. Expressions analytiques du courant $I_{ds}$ et de la capacité $C_{gs}$

<pre> [Var Eqn] VAR VAR4 a0=76524 a1=-70458 a2=25395 a3=-4549.8 a4=422.22 a5=-18.588 a6=0.2729 v1=4 Kids=-67.42         </pre>	<pre> [Var Eqn] VAR VAR2 b0=1708.3 b1=-1473 b2=493.94 b3=-80.563 b4=6.4102 b5=-0.1996 b6=0         </pre>	<pre> [Var Eqn] VAR VAR3 d0=15.218 d1=4.4657 d2=-5.4963 d3=1.8724 d4=-0.2384 d5=0.0104 d6=0 v2=-0.2         </pre>
--	---	--

### 3. Valeurs des paramètres



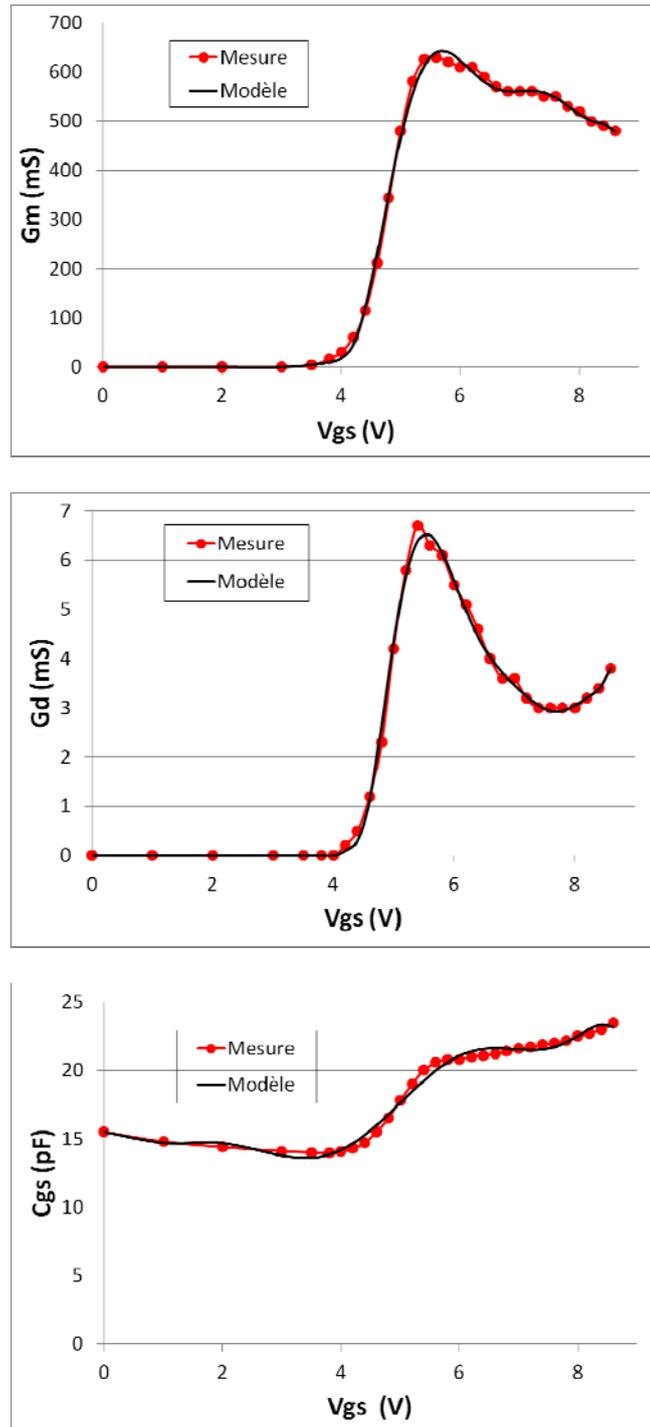
LDMOS\_Model\_Compit22  
LDMOS\_BLF2043F

### 4. Symbole schématique dans la librairie

Figure III.13 - Hiérarchie utilisée pour la définition du modèle dans ADS

## 7. Validation des équations

Afin de valider les expressions mathématiques de modélisation, nous allons confronter, dans ce paragraphe, les évolutions mesurées et celles interpolées du transistor BLF2043F. Les comparaisons entre les mesures et les interpolations sont représentées sur la figure III.14.



**Figure III.14** - Comparaison entre les non-linéarités ( $g_m$ ,  $g_d$  et  $C_{gs}$ ) mesurées et interpolées du transistor LDMOS BLF2043F à  $V_{ds}=26V$

On peut remarquer que les éléments calculés à partir des paramètres extraits suivent la même tendance que les éléments mesurés.

Le tableau III.5 récapitule l'ensemble des erreurs commises sur les éléments calculés avec le modèle.

	<b>g<sub>m</sub> (mS)</b>	<b>g<sub>d</sub> (mS)</b>	<b>C<sub>gs</sub> (pF)</b>
<b>E</b>	9,52	0,12	0,35
<b>E<sub>max</sub></b>	23,12	0,36	0,75
<b>E<sub>rel</sub> (%)</b>	1,91	3,04	1,66

**Tableau III.5** - Erreurs sur les valeurs de g<sub>m</sub>, g<sub>d</sub> et C<sub>gs</sub> calculés via le modèle

E est l'erreur par point définie par :

$$E = \sqrt{\frac{1}{N} \left[ \sum_{j=1}^N [f_{\text{simulé}}(j) - f_{\text{mesuré}}(j)]^2 \right]} \quad (\text{III.17})$$

Elle permet de quantifier la précision locale moyenne portant sur un nombre de points N. Cette erreur est la plus utilisée car elle donne un résultat global [86].

E<sub>max</sub> est l'erreur maximale définie sur le même principe :

$$E_{\text{max}} = \max_{j=1}^N \sqrt{[f_{\text{simulé}}(j) - f_{\text{mesuré}}(j)]^2} \quad (\text{III.18})$$

Elle fournit une information supplémentaire sur la qualité du modèle extrait.

E<sub>rel</sub> est l'erreur relative moyenne :

$$E_{\text{rel}} = \frac{1}{N} \sum_{j=1}^N \left( \frac{f_{\text{simulé}}(j) - f_{\text{mesuré}}(j)}{f_{\text{mesuré}}(j)} \right) \quad (\text{III.19})$$

Nous estimons que les résultats sont satisfaisants et cela quelle que soit la non-linéarité (g<sub>m</sub>, g<sub>d</sub> ou C<sub>gs</sub>).

## 8. Conclusion

Ce chapitre a traité de l'élaboration d'un modèle grand-signal empirique pour les transistors LDMOSFET en hyperfréquences.

Dans un premier temps, nous avons décrit les non-linéarités dans les composants en donnant un exemple d'effets non-linéaires, puis, nous avons étudié l'évolution des éléments intrinsèques en fonction de la polarisation du drain  $V_{ds}$  et de la grille  $V_{gs}$  en concluant avec certaines hypothèses et approximations pour le modèle des MOSFET.

Par la suite, Nous avons exposé en détail l'élaboration de l'équation grand-signal de chaque élément non-linéaire pris en compte dans le modèle, à savoir, le courant  $I_{ds}$  qui dépend de la transconductance  $g_m$  et la conductance  $g_d$ , ainsi que la capacité grille-source  $C_{gs}$ .

L'extraction des paramètres du modèle est très simple, il suffit d'introduire les résultats de mesure dans le logiciel Excel et faire une interpolation. C'est un avantage majeur de notre modèle.

Le modèle développé a été implémenté dans le simulateur commercial ADS et la méthode de son implémentation a été détaillée.

Finalement, nous avons traité de la validation des équations des éléments non-linéaires du modèle en hyperfréquences. Pour cela, les résultats de simulations ont été confrontés aux résultats de mesures. Un bon accord entre la mesure et l'interpolation a été obtenu.

Il reste maintenant à vérifier la validité de notre modèle à travers la conception de circuits micro-ondes et la validation des résultats de mesures et de simulations, cela fera l'objet du dernier chapitre de cette thèse.

## *Chapitre 4*

# **Validation du modèle non- linéaire : application à la conception de circuits micro- ondes**

## 1. Introduction

Pour valider notre modèle non-linéaire, l'application la plus importante réside dans son utilisation pour la conception et la simulation de circuits [128]. Nous proposons dans ce chapitre de détailler la méthodologie que nous avons employée pour concevoir un amplificateur de puissance en utilisant notre modèle du transistor LDMOS, de décrire le banc de puissance que nous avons utilisé et de présenter les résultats obtenus avec le circuit réalisé.

L'objectif principal est de fournir des éléments de validation des résultats obtenus sur le transistor LDMOS. Une analyse est effectuée pour permettre d'évaluer les pertes d'insertion des différents dispositifs en amont et en aval du transistor et remonter aux performances du composant lui-même. Nous traitons également les problèmes d'oscillations auxquels nous avons été confrontés au cours des essais et nous exposons les solutions permettant d'y remédier.

## 2. Validation du modèle avec des mesures expérimentales

Avant son utilisation, un modèle électrique doit être validé. La validation est caractérisée par la fonctionnalité du modèle et par sa validité [8,73].

Par *fonctionnalité*, on entend le bon fonctionnement du modèle dans le simulateur, sa robustesse, et plus particulièrement la convergence lors d'un calcul. Par conséquent, la fonctionnalité dépend de la définition du modèle et de ses équations générales, et est indépendante des valeurs des éléments du modèle. La fonctionnalité du modèle est vérifiée implicitement, par observation des résultats des simulations (simulations statiques, dynamiques et grand-signal).

La *validité* d'un modèle concerne la précision avec laquelle il reproduit les caractéristiques d'un composant. La validité doit être bien cadrée et définie dans tous les aspects électriques (polarisations, fréquences d'utilisation, puissances

des signaux, ...), car l'utilisateur d'un modèle peut facilement procéder à des conclusions erronées. Prenons, par exemple, un modèle défini pour la simulation de mélangeurs à FET froids ( $V_{ds}=0V$ ) et validé en petit et grand-signal autour de ce point de repos. Si l'utilisateur tente de simuler un circuit en utilisant le transistor en régime de saturation, il est difficile d'affirmer l'exactitude des résultats.

Dans ce chapitre, nous montrons une validation du modèle non-linéaire développé, en comparant les résultats de mesures aux résultats de simulation effectués sous les mêmes conditions.

Dans le chapitre 2, le modèle a été validé en régime petit-signal en utilisant des comparaisons entre les paramètres S mesurés et simulés. Les résultats de simulation montrent une bonne prédiction des performances petit-signal du composant.

Cette comparaison ne peut être qu'indicative, car elle est effectuée pour un seul point de fonctionnement du composant.

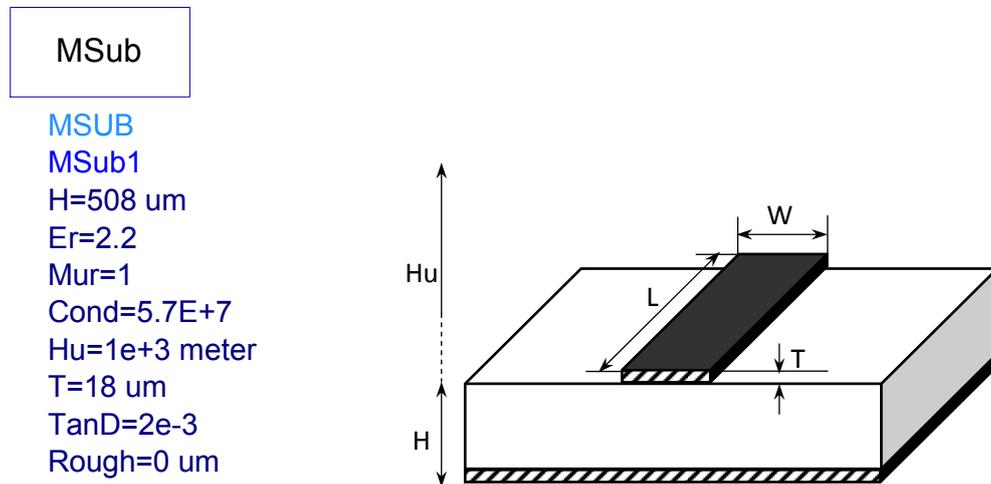
Il est important de noter qu'un modèle non-linéaire doit être aussi validé en régime grand-signal. Pour cela, nous présentons les diverses méthodes et bancs de mesures qui ont été utilisés pour caractériser les composants en régime grand-signal. Les résultats de mesures grand-signal sont ensuite confrontés aux résultats de simulations avec le modèle. Finalement, une discussion sur la validité du modèle est proposée.

### **3. Réalisation d'un amplificateur de puissance en classe AB**

Le composant que nous avons utilisé provient de la compagnie NXP Semiconductors. Il s'agit du transistor LDMOSFET (BLF2043F). Ses caractéristiques ont été présentées dans le chapitre II.

Pour la fabrication du circuit imprimé de l'amplificateur de puissance, nous avons utilisé une plaque cuivrée brute (de marque TACONIC). Nous avons nous-mêmes déposé un verni (résine RPS de KF) en aérosol pour rendre les deux surfaces photosensibles.

Le substrat est en téflon (constante diélectrique  $\epsilon_r=2.2$ ) de 0.508mm d'épaisseur, possédant une couche résistive de cuivre de 18 $\mu$ m d'épaisseur sur les deux faces. Les autres caractéristiques du substrat sont illustrées sur la figure IV.1.



**Figure IV.1** - Caractéristiques du substrat utilisé

Les circuits imprimés sont réalisés selon les étapes suivantes :

- Nettoyage de la plaque : la plaque doit être bien propre et dégraissée avant de vaporiser le vernis.
- Application du vernis photosensible : La projection doit s'effectuer en lumière du jour atténuée. Il faut projeter le vernis à 20cm de la surface de façon continue et uniforme en 2 couches croisées pour avoir une couche uniforme et régulière.
- Séchage : Pendant le séchage et jusqu'à l'exposition des plaques, il faut les garder à l'abri de la lumière et de la poussière.
- Exposition : Comme pour une photographie, pour développer le circuit imprimé, il faut "fixer" l'image pour qu'elle soit insensible à la lumière. Nous avons utilisé une machine à insoler pendant environ 30 secondes. Le layout (masque) est imprimé sur film transparent après l'avoir généré à l'aide du simulateur ADS, ceci est effectué à partir du schéma (.dsn) de l'amplificateur de puissance. La plaque doit être en parfait contact avec le film (typon) pour éviter un dessin flou.

- Développement : La plaque recouverte de vernis photosensible RPS est développée à la lumière du jour atténuée (à l'abri des rayons solaires directs). Pour se débarrasser de la résine exposée aux UV et mettre le cuivre à nu, nous avons plongé pendant quelques minutes le circuit dans un bain de soude (révélateur liquide). Seul persiste la résine non exposée.
- Gravure : Nous avons à présent un circuit aux tracés faits de résine d'une couleur plus ou moins foncée, contrastant avec le cuivre nu. Pour la gravure, nous avons utilisé du perchlorure de fer, qui attaque le cuivre non protégé par la résine. La température du perchlorure de fer doit être comprise entre 30 et 45 C°.
- Une fois la plaquette rincée, Nous avons utilisé de l'acétone pour éliminer la résine qui a servi à protéger le cuivre à l'endroit des pistes pendant la gravure. Enfin, il ne reste plus que les pistes de cuivre, le circuit imprimé est terminé.
- Il reste enfin, le perçage du circuit imprimé, l'implantation des composants et la fixation sur un dissipateur thermique.

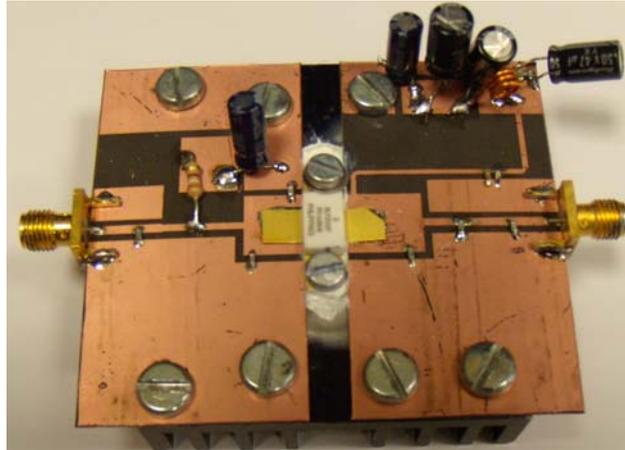
### **3.1. Schéma de l'amplificateur de puissance réalisé**

Nous avons utilisé le circuit de test donné par le constructeur du transistor BLF2043F. La figure IV.2 illustre le circuit de l'amplificateur. Il existe plus de détails dans le « Data sheet » du composant [101].

Nous rappelons que le simulateur ADS peut générer le layout d'un circuit à partir de son schéma (design), ceci étant un avantage, il nous a servi pour la réalisation du circuit imprimé (figure IV.3).

Une photo de l'amplificateur réalisé est donnée sur la figure IV.4.

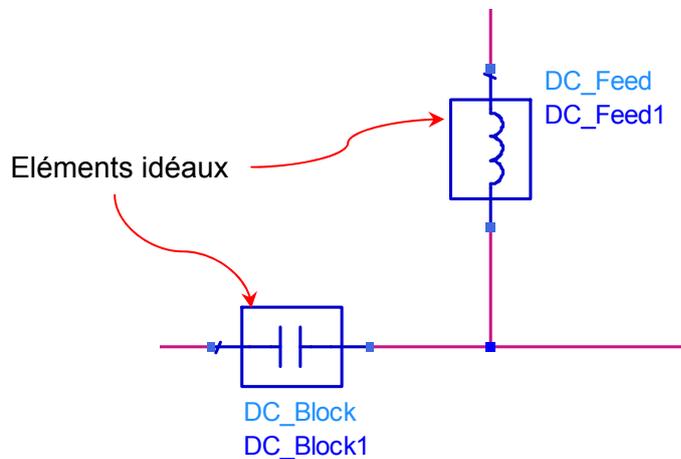




**Figure IV.4** - Photo de l'amplificateur réalisé

Cependant il est également important de rappeler notre but de mesure qui est la validation d'un modèle, on ne souhaite pas faire d'optimisation de fonctionnement du transistor mais seulement le mettre dans un régime de fonctionnement pour vérifier si le modèle suit ce comportement.

Pour la simulation ADS, nous utilisons un circuit de polarisation idéal (figure IV.5).



**Figure IV.5** - Circuit de polarisation idéal utilisant les éléments spécifiques (DC Block) et (DC Feed) de la bibliothèque ADS

Le schéma électrique complet de l'amplificateur de puissance utilisé pour la simulation sur ADS est illustré sur la figure IV.6.

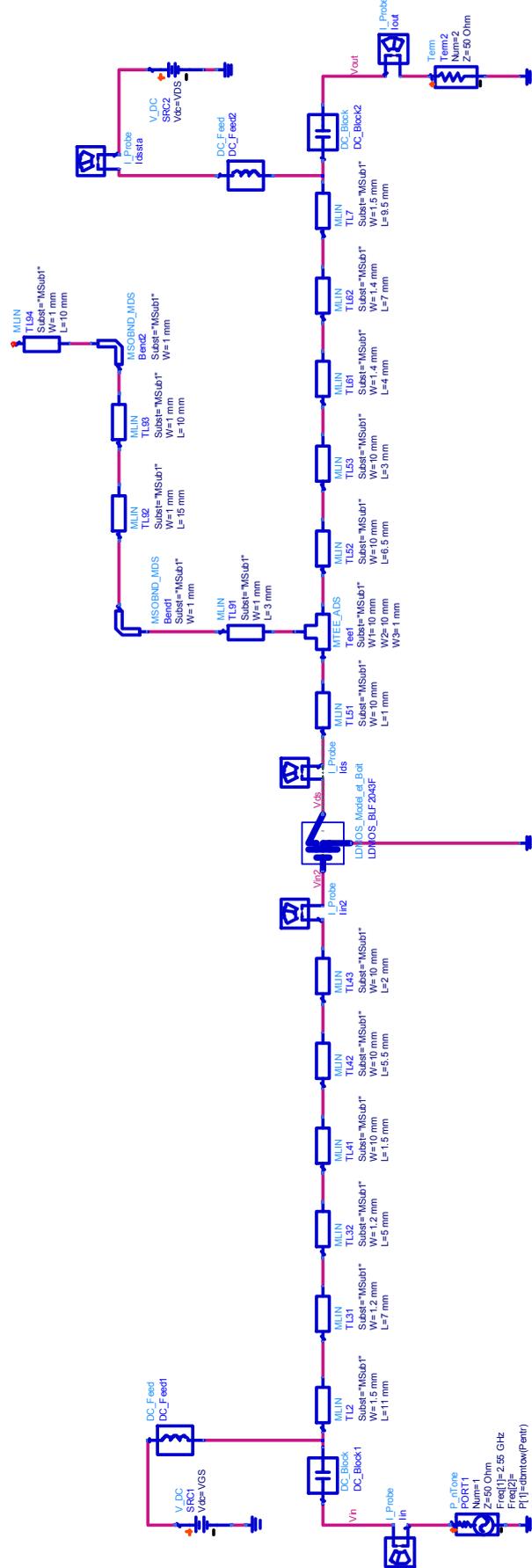
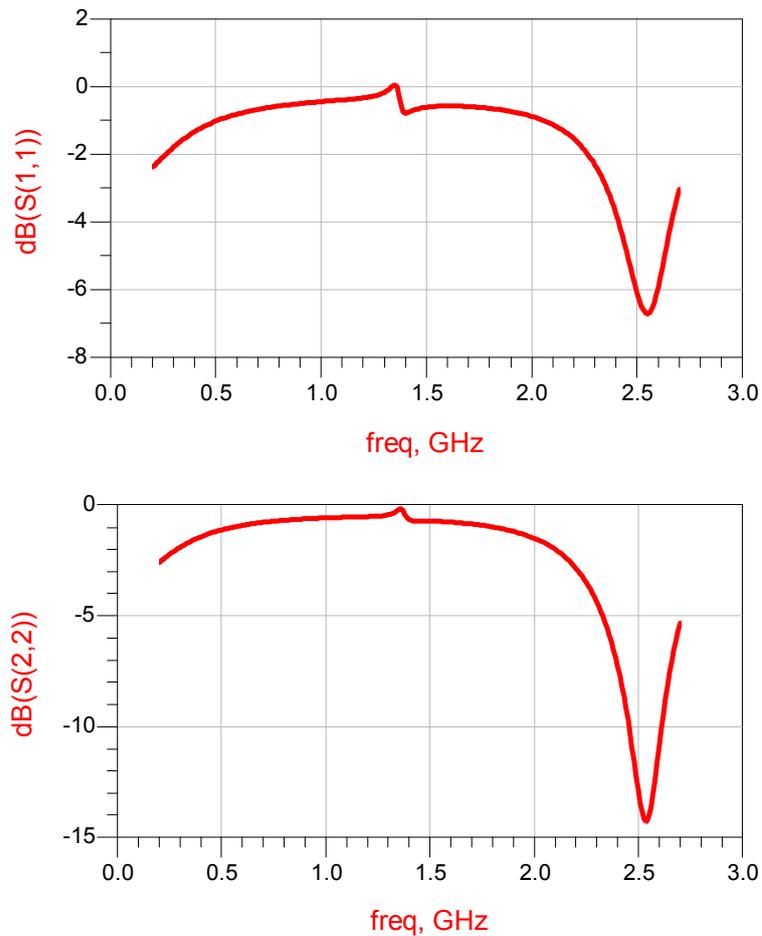


Figure IV.6 - Schéma électrique du circuit dans le logiciel de CAO ADS

Les résultats de simulation du coefficient de réflexion en entrée  $S_{11}$  ainsi que celui du coefficient de réflexion en sortie  $S_{22}$  de ce circuit sont présentés sur la figure IV.7. Nous avons une adaptation acceptable à la fréquence 2.55GHz où  $S_{11}$  présente un minimum égal à -7dB et  $S_{22}$  présente un minimum de -14dB. Cette caractéristique est déterminée en petit signal.



**Figure IV.7** - Coefficient de réflexion en entrée  $S_{11}$  et coefficient de réflexion en sortie  $S_{22}$  de l'amplificateur de puissance en fonction de la fréquence

### 3.2. Description du banc de mesure de puissance

Le banc de mesure de puissance utilisé est représenté à la figure IV.8, il est constitué des éléments suivants :

- Un générateur de puissance ; Anritsu MG3692A qui travaille jusqu'à 20GHz. La puissance délivrée par ce générateur varie entre -20dBm et +20dBm. C'est la source micro-ondes qui fournit le signal RF d'entrée au composant.
- Un amplificateur de 30dB de gain (Mini-Circuits 15542), il fonctionne dans une plage de fréquence allant de 700MHz à 4.2GHz. Ce dernier est utilisé pour pouvoir monter en puissance à l'entrée du DUT, étant donné que la puissance maximale délivrée par le générateur est insuffisante (20dBm) pour nos mesures.
- L'atténuateur 1 de -10dB pour protéger l'amplificateur, notons que ce dernier accepte un maximum de puissance de +5dBm en entrée.
- Un analyseur de spectre ; Anritsu MS2667C qui fonctionne entre 9KHz et 30GHz.
- L'atténuateur 2 de -20dB pour protéger l'analyseur de spectre, notons que ce dernier accepte un maximum de puissance de +30dBm en entrée.
- L'amplificateur réalisé (DUT) sous forme d'une cellule de mesure.
- Deux tés d'alimentation aux deux côtés du DUT. Le Té<sub>1</sub> branché à l'entrée (coté Grille) est un Aeroflex Inmet 8810 SMF2-18, il accepte un maximum 750mA et 25V et travaille jusqu'à 18GHz, tandis que le Té<sub>2</sub>, qui est branché à la sortie du DUT (coté Drain) c'est un Aeroflex Inmet 8800 SFF1-12, il accepte un maximum 2.5A et 100V et travaille jusqu'à 12GHz. Notons que ces tés sont utilisés seulement pour isoler le signal RF du signal continu.

Pour la précision des mesures, nous avons caractérisé les pertes introduites par les tés d'alimentation ainsi que celles introduites par les câbles coaxiaux. Toutes ces pertes seront prises en compte lors de nos mesures.

Notons ici qu'on peut faire l'approximation que les éléments situés en amont et en aval du transistor (Tés d'alimentation et câbles coaxiaux) sont équivalents à de simples lignes avec pertes, ayant des coefficients de réflexion suffisamment négligeables.

La figure IV.9 montre la photo du banc de mesure.

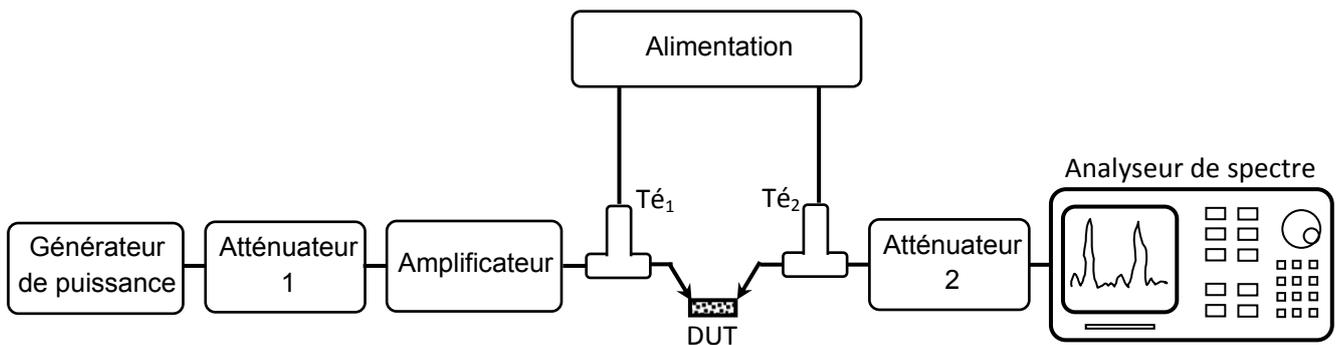


Figure IV.8 - Banc de mesure de puissance

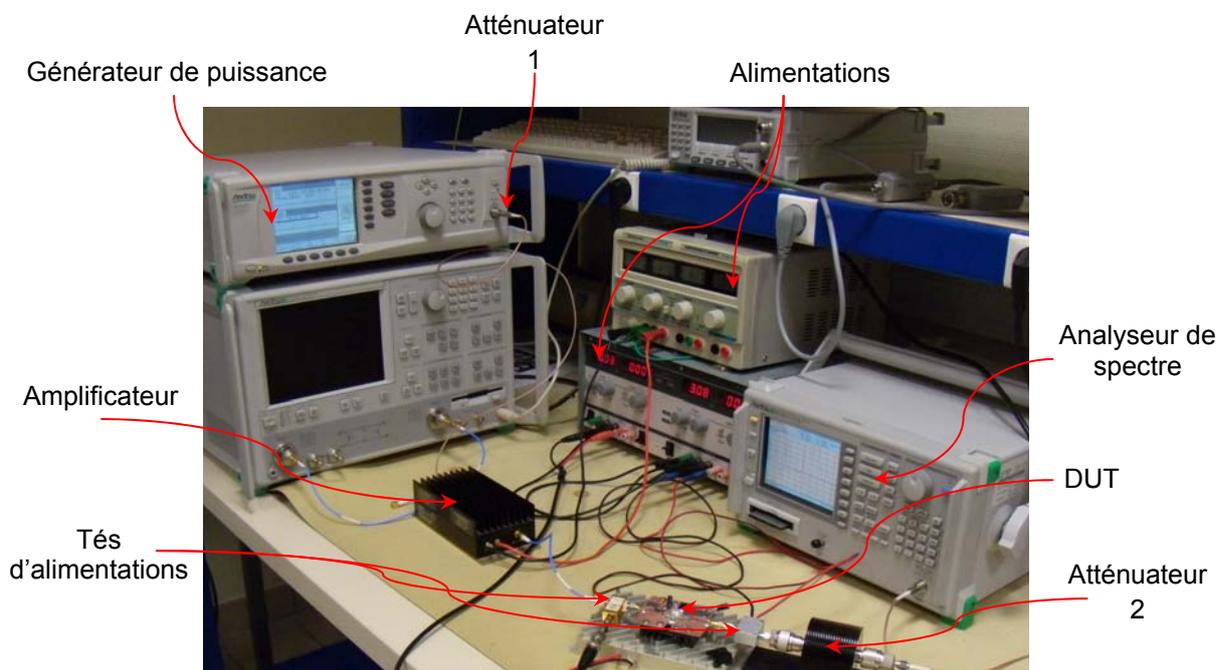


Figure IV.9 - Photo du banc de mesure

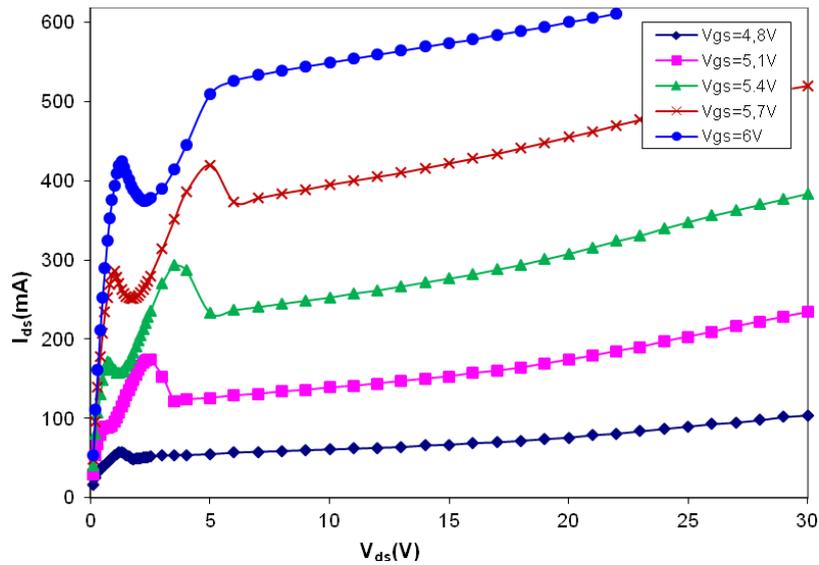
### **3.3. Problèmes d'oscillations rencontrés lors de la réalisation du banc de mesure**

Au début de l'utilisation du banc de mesure de puissance, pour caractériser notre transistor, nous avons constaté des anomalies de comportement que nous avons immédiatement attribuées aux instabilités et à la présence probable d'oscillation. Un tel comportement étant néfaste pour les mesures de puissance et entachant leur validité, nous avons dû éliminer ce problème.

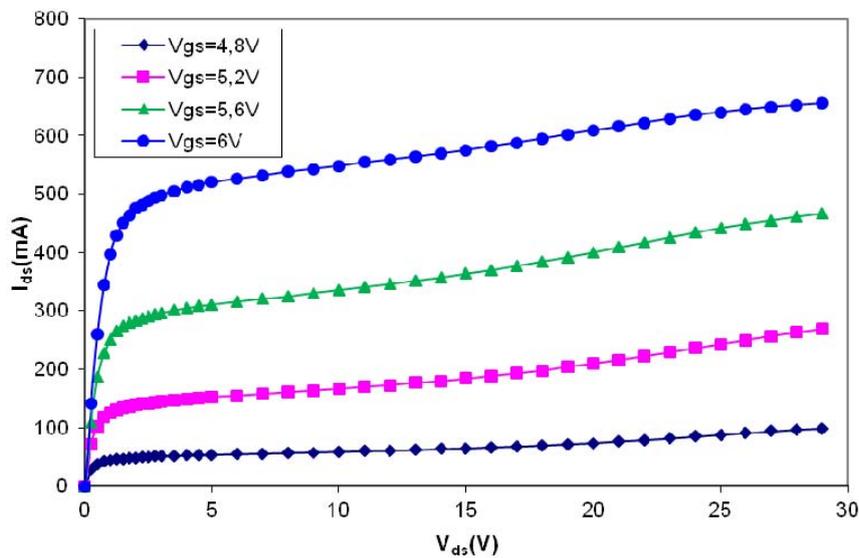
Dans la pratique, nous avons pu effectivement constater le déclenchement des oscillations du transistor dès que l'on connecte la cellule au banc de mesure. Ce phénomène est très perceptible dans l'altération de la caractéristique statique du transistor figure IV.10.

Ces oscillations se produisent avec la majorité des TECs millimétriques [82]. La solution la plus simple que nous avons utilisée pour les éviter est d'intercaler, à l'entrée du composant, un atténuateur.

Une étude plus détaillée sur le problème d'oscillations a été faite par A. Amairi [82].



(a)



(b)

**Figure IV.10** - Caractéristiques statiques du transistor BLF2043F

(a) : Dans le cas où le transistor est monté sans atténuateur

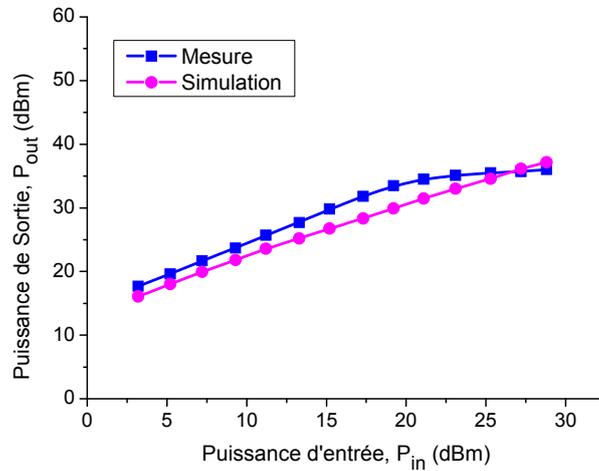
(b) : Dans le cas où le transistor est monté avec atténuateur

#### 4. Comparaisons entre mesures et simulations

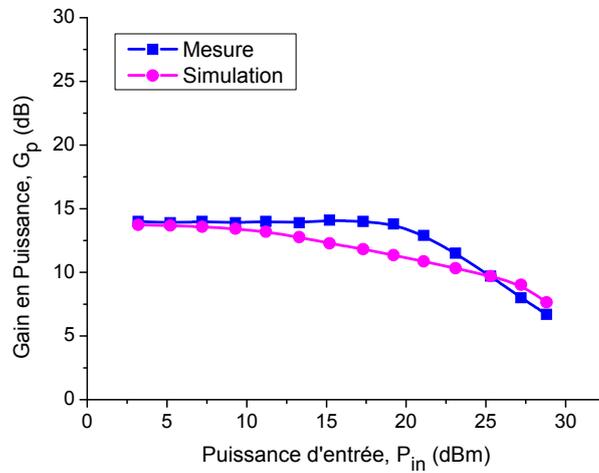
Nous montrons, dans ce paragraphe, les comparaisons entre les simulations et les mesures de puissance effectuées avec notre banc.

Les figures IV.11, IV.12, IV.13 et IV.14 montrent la comparaison entre la mesure et la simulation de la puissance de sortie  $P_{out}$ , du gain en puissance  $G_p$ , du

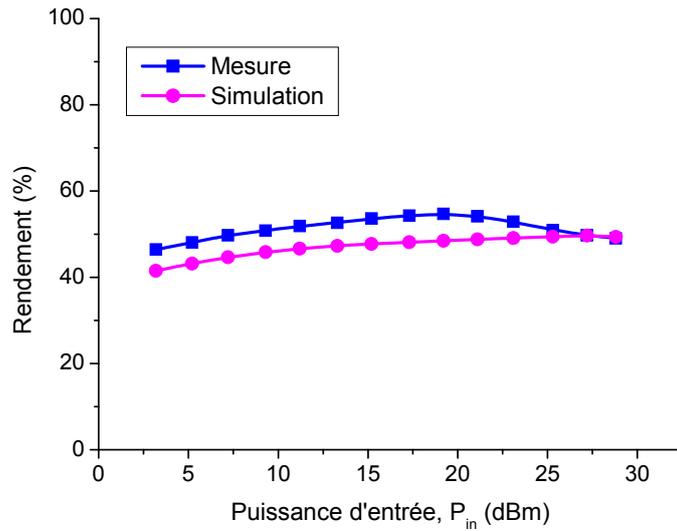
rendement  $\eta$  et du courant drain-source  $I_{ds}$  en fonction de la puissance d'entrée  $P_{in}$ . Le transistor LDMOS est polarisé à  $V_{gs}=4.8V$  et  $V_{ds}=26V$ . Nous avons appliqué un signal de 2.55GHz pour des puissances d'entrée de 3.2 à 31dBm.



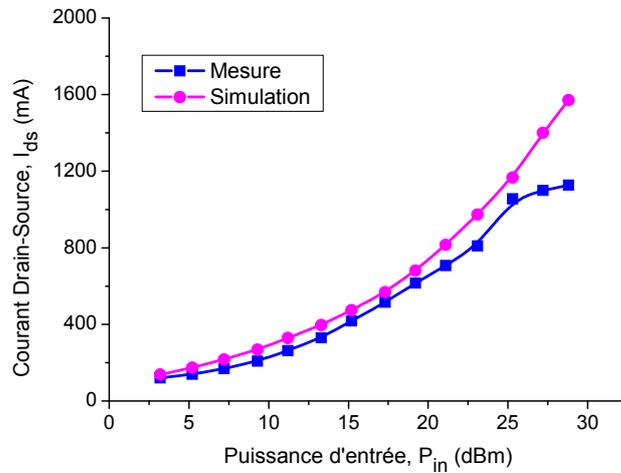
**Figure IV.11** - Comparaison entre simulation et mesure de la puissance de sortie en fonction de la puissance d'entrée



**Figure IV.12** - Comparaison entre simulation et mesure du gain en fonction de la puissance d'entrée



**Figure IV.13** - Comparaison entre simulation et mesure du rendement en fonction de la puissance d'entrée



**Figure IV.14** - Comparaison entre simulation et mesure du courant  $I_{ds}$  en fonction de la puissance d'entrée

## 5. Validation et discussion

Les divers résultats montrent que la comparaison entre mesures et simulations de manière générale est satisfaisante. Cependant, ce modèle ne tient pas compte des effets thermiques, présents dans les composants LDMOS. En

outre, nous pouvons ajouter, pour expliquer la simple différence entre la simulation et la mesure, la dispersion technologique, étant donné que le composant caractérisé n'est pas le même utilisé pour réaliser l'amplificateur de puissance. Nous rappelons, encore une fois, que le but de notre travail ici est d'effectuer une validation et non de déterminer les optimums, les comparaisons mesure/modèle se feront sur des valeurs proches de l'optimum. Ce travail permet au concepteur de prévoir rapidement les performances de l'amplificateur RF à transistor LDMOSFET. Les résultats de mesure sont aussi en bon accord avec ceux donnés par le fabricant du transistor (un gain en puissance de l'ordre de 13dBm et un rendement maximal d'environ 40% pour le même point de polarisation) [101].

Il faut rester vigilant sur des résultats de ce type, car les propriétés d'un transistor en hyperfréquence ne se limitent pas aux quelques comparaisons données ici. Par exemple, nous avons présenté des résultats en ce qui concerne les propriétés non-linéaires, pour des polarisations de drain de  $V_{ds}=26V$  et  $V_{gs}=4.8V$ . Il est très important de vérifier tous les régimes de polarisation afin de pouvoir affirmer qu'un modèle est validé. Par ailleurs, la fréquence pour laquelle nous avons présenté les résultats est très limitée, pour des raisons techniques et matérielles, et à cause aussi du transistor LDMOS qui est destiné à des applications allant des fréquences HF à environ 2.2GHz [101].

Cependant, la validation d'un modèle sur toutes les polarisations et dans diverses gammes de fréquence est pratiquement impossible, car elle demanderait des stations de mesures entièrement dédiées à la validation de modèles. De plus, certaines mesures non systématiques ne sont pas automatisées, et par conséquent, le temps de mesure peut s'avérer élevé. Afin de valider un modèle tout en gardant une certaine limitation dans le nombre de mesures, il est nécessaire de bien cibler les applications envisagées, comme pendant la procédure d'extraction du modèle. Par ailleurs, la validation d'un modèle dans tous les régimes de fonctionnement est indispensable uniquement après son élaboration.

## 6. Conclusion

Ce chapitre a montré les différentes étapes de conception d'un amplificateur de puissance en classe AB. Le but étant la validation en régime non-linéaire de notre modèle, conçu pour les transistors LDMOS.

Dans ce but, le circuit de test donné par le constructeur du transistor BLF2043F a été utilisé comme exemple.

Nous avons, tout d'abord, détaillé les étapes suivies pour la réalisation du circuit imprimé de l'amplificateur de puissance.

Ensuite, nous avons décrit le banc de mesure de puissance que nous avons spécialement réalisé pour valider notre modèle non-linéaire.

Au cours des mesures, nous avons observé l'apparition de phénomènes d'oscillations qui se sont révélées être un handicap majeur pour une réalisation correcte de ces mesures.

Après avoir résolu ces problèmes d'oscillation, et grâce à une évaluation précise des pertes des différents éléments du banc, nous avons pu, moyennant quelques approximations, pratiquer un « de-embedding » spécifique aux puissances dans le plan de référence de l'amplificateur de puissance, à partir des lectures fournies par le banc de mesure.

Les comparaisons mesures-simulations sont tout à fait acceptables, malgré la négligence des effets thermiques dans notre modèle.

Enfin, une discussion a été menée sur la validité de ce modèle en régime non-linéaire.

# **Conclusion générale**

## Conclusion générale

L'objectif principal de ce travail était de se doter d'un modèle non-linéaire pour les transistors MOS en boîtier. Les transistors MOS ont vu une telle croissance de leurs performances RF qui, aujourd'hui, leur permet d'être utilisés dans la réalisation de circuits en hyperfréquences. Cependant, la conception de circuits doit être appuyée par des modèles de composants robustes et rapides à extraire. Au début de ces travaux, les modèles existant pour les transistors MOS étaient principalement basés sur la physique des composants et destinés aux applications numériques. L'utilisation de tels modèles était quasi impossible à cause de leur complexité et surtout du temps requis pour l'extraction des paramètres. Ajoutons à cela aussi, l'absence totale de modèle non-linéaire tenant compte des effets du boîtier des transistors discrets. Pour remédier à cela, il s'est avéré nécessaire de développer notre propre modèle non-linéaire. Nous avons choisi d'adopter la technique de modélisation phénoménologique, largement utilisée pour les technologies III-V, pour sa simplicité et sa rapidité d'extraction des paramètres.

Il allait de soi que, avant de commencer la modélisation, il fallait se pencher sur le fonctionnement des transistors MOS. Nous avons accordé un intérêt particulier aux transistors LDMOS largement utilisés dans le marché des télécommunications. En effet, les MOSFET de puissance LDMOS, ont permis de contourner les limitations rencontrées sur les transistors MOS standards en termes de tension de claquage et de courant de sortie pour les applications de puissance hyperfréquences.

La construction d'un modèle de transistor MOSFET, utilisé pour la simulation RF nécessite une caractérisation fine. Ceci a fait l'objet de la première partie de notre travail. Généralement, la caractérisation de ces transistors nécessite un dispositif expérimental sous pointes utilisant la puce elle-même. Or, les transistors LDMOSFET de puissance sont disponibles généralement encapsulés en boîtier. En plus, les constructeurs ne donnent souvent pas

d'informations sur les éléments du boîtier. Nous avons alors montré la possibilité d'une caractérisation fine d'un transistor LDMOS monté en boîtier en vue de l'élaboration de son modèle non-linéaire. Pour cela, nous avons décrit le schéma équivalent petit-signal des transistors LDMOSFET en donnant la signification physique de chaque élément. L'effet du boîtier, souvent négligé dans littérature, a été également modélisé. Nous avons détaillé, en particulier, la méthode utilisée pour l'extraction de ces éléments. Par la suite, nous avons développé les techniques d'extraction des éléments électriques, basées sur des mesures hyperfréquences de paramètres S. Le modèle petit-signal a été implémenté dans le logiciel de CAO micro-ondes ADS (Agilent Technologies). La confrontation des résultats de simulation à des résultats expérimentaux a permis de valider le modèle petit-signal développé, et cela, pour plusieurs points de polarisation. Ces résultats ont prouvé que le schéma équivalent utilisé est très convenable pour ce genre de transistors, en particulier, ceux possédant un boîtier, et que la technique utilisée pour l'extraction des éléments du schéma équivalent est assez précise et rapide.

Dans la deuxième partie de ce travail, nous avons développé un modèle non-linéaire empirique pour les transistors LDMOSFET en hyperfréquences. Pour cela, nous avons étudié l'évolution des éléments intrinsèques en fonction de la polarisation du drain  $V_{ds}$  et de la grille  $V_{gs}$ . Par la suite, nous avons élaboré l'équation grand-signal de chaque élément non-linéaire pris en compte dans le modèle, à savoir, le courant  $I_{ds}$  qui dépend de la transconductance  $g_m$  et la conductance  $g_d$ , ainsi que la capacité grille-source  $C_{gs}$ . L'extraction des paramètres du modèle est très simple, il suffit d'introduire les résultats de mesure dans le logiciel Excel et faire une interpolation. Ceci constitue un avantage majeur de notre modèle non-linéaire, que nous avons implémenté dans le simulateur commercial ADS. Afin de valider les équations des éléments non-linéaires du modèle en hyperfréquences, nous avons confronté les résultats de simulations aux résultats de mesures. Un bon accord entre la mesure et l'interpolation a été obtenu. Notons que, malgré le fait que tous les effets rencontrés dans les composants ne sont pas pris en compte, le modèle développé montre une haute précision sur les caractéristiques hyperfréquences des transistors MOS. De plus, il

s'avère très rapide à extraire par rapport aux modèles usuels de type physique (BSIM ...).

La dernière partie de ce travail a été réservée à la conception et la réalisation de circuits micro-ondes en utilisant notre modèle non-linéaire du transistor LDMOS. L'application retenue était l'amplificateur de puissance en classe AB que nous avons conçu et réalisé. Notre objectif, qui était la validation du modèle non-linéaire à travers des comparaisons entre mesures et simulations, (sans chercher les performances de l'amplificateur de puissance) a été atteint. Cependant, l'utilisation d'éléments de connexion dans le banc de mesure, que nous avons spécialement réalisé pour ce but, contribue à la dégradation des performances. Une meilleure connaissance de ces éléments parasites donne une approche théorique plus réaliste. Toutes ces difficultés font qu'une méthode de conception rigoureuse, avec une vue globale des différents problèmes à aborder et à résoudre s'avère être indispensable.

Pour conclure, nous pouvons dire que l'objectif visé a été largement atteint. En effet, les divers résultats de comparaison entre mesures et simulations montrent, d'une manière générale, que le modèle décrit très bien les propriétés des transistors MOS, aussi bien en régime petit-signal qu'en régime grand-signal. La démarche que nous avons suivie (caractérisation, modélisation et validation) est un élément nécessaire pour tout concepteur de circuits électroniques. Notons aussi que notre modèle électrique non-linéaire, du transistor LDMOS en boîtier, constitue une avancée dans ce domaine, et devrait, maintenant, inciter les fabricants à utiliser ce composant avec moins de réticence.

Enfin, pour une éventuelle poursuite de ce travail, nous proposons les perspectives suivantes :

- Dans le domaine des télécommunications, la génération de fortes puissances entraîne un échauffement du transistor, il est donc important de prendre en considération les effets thermiques lors de la conception des circuits ; c'est-à-dire, l'établissement d'un modèle électrique tenant compte de la température. Pour cela, les mesures du réseau I-V et des paramètres S en régime pulsé (signal impulsionnel) seront le point de départ du processus de caractérisation. Notons que les mesures en mode pulsé

permettent de caractériser le transistor sans modifier son état thermique stable. C'est à dire que pour une température de fonctionnement donnée, l'application des tensions lors de la mesure ne générera quasiment pas d'auto échauffement supplémentaire.

- Une étude de la sensibilité des éléments du schéma équivalent aux paramètres S donnera plus d'information sur la précision du modèle.
- L'amélioration de la précision du modèle non-linéaire en augmentant l'ordre du polynôme (utilisation d'autre logiciel au lieu d'Excel qui se limite à l'ordre 6).
- Essayer la même méthode d'extraction du modèle en utilisant d'autres schémas équivalents, pour améliorer la précision et/ou la rapidité dans des gammes de fréquences plus élevées.
- L'amélioration du circuit de l'amplificateur de puissance en jouant sur une bonne adaptation.
- Une étude de la linéarité en utilisant un signal bi-porteuse et la mesure de l'intermodulation.
- Enfin, ce travail de thèse nous a permis d'acquérir une forte expérience sur la caractérisation et la modélisation non-linéaire de composants dédiés aux hyperfréquences. Ce savoir-faire peut être directement appliqué pour les composants émergents et étudier leurs propriétés et leurs potentialités.

# **Annexe**

## Matrices de passage

Les paramètres sont normalisés par rapport à  $Z_c=1$ .

	S	Z	Y	H	A
<b>S</b>	$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix}$	$S_{11} = \frac{(Z_{11}-1)(Z_{22}+1)-Z_{12}Z_{21}}{(Z_{11}+1)(Z_{22}+1)-Z_{12}Z_{21}}$ $S_{12} = \frac{2Z_{12}}{(Z_{11}+1)(Z_{22}+1)-Z_{12}Z_{21}}$ $S_{21} = \frac{2Z_{21}}{(Z_{11}+1)(Z_{22}+1)-Z_{12}Z_{21}}$ $S_{22} = \frac{(Z_{11}-1)(Z_{22}-1)-Z_{12}Z_{21}}{(Z_{11}+1)(Z_{22}+1)-Z_{12}Z_{21}}$	$S_{11} = \frac{(1-Y_{11})(1+Y_{22})+Y_{12}Y_{21}}{(1+Y_{11})(1+Y_{22})-Y_{12}Y_{21}}$ $S_{12} = \frac{-2Y_{12}}{(1+Y_{11})(1+Y_{22})-Y_{12}Y_{21}}$ $S_{21} = \frac{-2Y_{21}}{(1+Y_{11})(1+Y_{22})-Y_{12}Y_{21}}$ $S_{22} = \frac{(1+Y_{11})(1-Y_{22})+Y_{12}Y_{21}}{(1+Y_{11})(1+Y_{22})-Y_{12}Y_{21}}$	$S_{11} = \frac{(h_{11}-1)(h_{22}+1)-h_{12}h_{21}}{(h_{11}+1)(h_{22}+1)-h_{12}h_{21}}$ $S_{12} = \frac{2h_{12}}{(h_{11}+1)(h_{22}+1)-h_{12}h_{21}}$ $S_{21} = \frac{-2h_{21}}{(h_{11}+1)(h_{22}+1)-h_{12}h_{21}}$ $S_{22} = \frac{(h_{11}+1)(h_{22}-1)+h_{12}h_{21}}{(h_{11}+1)(h_{22}+1)-h_{12}h_{21}}$	$S_{11} = \frac{A+B-C-D}{A+B+C+D}$ $S_{12} = \frac{2(AD-BC)}{A+B+C+D}$ $S_{21} = \frac{2}{A+B+C+D}$ $S_{22} = \frac{-A+B-C+D}{A+B+C+D}$
<b>Z</b>	$Z_{11} = \frac{(1+S_{11})(1-S_{22})+S_{21}S_{12}}{(1-S_{11})(1-S_{22})-S_{21}S_{12}}$ $Z_{12} = \frac{2S_{12}}{(1-S_{11})(1-S_{22})-S_{21}S_{12}}$ $Z_{21} = \frac{2S_{21}}{(1-S_{11})(1-S_{22})-S_{21}S_{12}}$ $Z_{22} = \frac{(1-S_{11})(1+S_{22})+S_{21}S_{12}}{(1-S_{11})(1-S_{22})-S_{21}S_{12}}$	$\begin{bmatrix} v_1 \\ v_2 \end{bmatrix} = \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} \begin{bmatrix} i_1 \\ i_2 \end{bmatrix}$	$\begin{bmatrix} Y_{22} & -Y_{12} \\ -Y_{21} & Y_{11} \end{bmatrix} \begin{bmatrix} \Delta^Z \\ \Delta^Z \end{bmatrix}$	$\begin{bmatrix} \Delta^h & h_{12} \\ h_{22} & h_{22} \\ -h_{12} & 1 \\ h_{22} & h_{22} \end{bmatrix}$	$\begin{bmatrix} A & \Delta^A \\ C & C \\ 1 & D \\ C & C \end{bmatrix}$
<b>Y</b>	$Y_{11} = \frac{(1-S_{11})(1+S_{22})+S_{21}S_{12}}{(1+S_{11})(1+S_{22})-S_{21}S_{12}}$ $Y_{12} = \frac{2S_{12}}{(1+S_{11})(1+S_{22})-S_{21}S_{12}}$ $Y_{21} = \frac{-2S_{21}}{(1+S_{11})(1+S_{22})-S_{21}S_{12}}$ $Y_{22} = \frac{(1+S_{11})(1-S_{22})+S_{21}S_{12}}{(1+S_{11})(1+S_{22})-S_{21}S_{12}}$	$\begin{bmatrix} Z_{22} & -Z_{12} \\ -Z_{21} & Z_{11} \end{bmatrix} \begin{bmatrix} \Delta^Z \\ \Delta^Z \end{bmatrix}$	$\begin{bmatrix} i_1 \\ i_2 \end{bmatrix} = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} \begin{bmatrix} v_1 \\ v_2 \end{bmatrix}$	$\begin{bmatrix} 1 & h_{12} \\ h_{11} & h_{11} \\ h_{21} & \Delta h \\ h_{11} & h_{11} \end{bmatrix}$	$\begin{bmatrix} D & -\Delta^A \\ B & B \\ -1 & A \\ B & B \end{bmatrix}$
<b>H</b>	$h_{11} = \frac{(1+S_{11})(1+S_{22})+S_{21}S_{12}}{(1-S_{11})(1+S_{22})+S_{21}S_{12}}$ $h_{12} = \frac{2S_{12}}{(1-S_{11})(1+S_{22})+S_{21}S_{12}}$ $h_{21} = \frac{-2S_{21}}{(1-S_{11})(1+S_{22})+S_{21}S_{12}}$ $h_{22} = \frac{(1-S_{11})(1-S_{22})-S_{21}S_{12}}{(1-S_{11})(1+S_{22})+S_{21}S_{12}}$	$\begin{bmatrix} \Delta^Z & Z_{12} \\ Z_{22} & Z_{22} \\ -Z_{21} & 1 \\ Z_{22} & Z_{22} \end{bmatrix}$	$\begin{bmatrix} 1 & -Y_{12} \\ Y_{11} & Y_{11} \\ Y_{21} & \Delta Y \\ Y_{11} & Y_{11} \end{bmatrix}$	$\begin{bmatrix} v_1 \\ i_2 \end{bmatrix} = \begin{bmatrix} h_{11} & h_{12} \\ h_{21} & h_{22} \end{bmatrix} \begin{bmatrix} i_1 \\ v_2 \end{bmatrix}$	$\begin{bmatrix} B & \Delta^A \\ D & D \\ -1 & -C \\ D & D \end{bmatrix}$
<b>A</b>	$A = \frac{(1+S_{11})(1-S_{22})+S_{21}S_{12}}{2S_{21}}$ $B = \frac{(1+S_{11})(1+S_{22})-S_{21}S_{12}}{2S_{21}}$ $C = \frac{(1-S_{11})(1-S_{22})-S_{21}S_{12}}{2S_{21}}$ $D = \frac{(1-S_{11})(1+S_{22})+S_{21}S_{12}}{2S_{21}}$	$\begin{bmatrix} Z_{11} & \Delta^Z \\ Z_{21} & Z_{21} \\ 1 & Z_{22} \\ Z_{21} & Z_{21} \end{bmatrix}$	$\begin{bmatrix} -Y_{22} & -1 \\ Y_{21} & Y_{21} \\ -\Delta^Z & -Y_{11} \\ Y_{21} & Y_{21} \end{bmatrix}$	$\begin{bmatrix} -\Delta^h & -h_{11} \\ h_{21} & h_{21} \\ -h_{22} & -1 \\ h_{21} & h_{21} \end{bmatrix}$	$\begin{bmatrix} v_1 \\ i_2 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} v_1 \\ -i_2 \end{bmatrix}$

# **Références Bibliographiques**

## Références Bibliographiques

- [1] V. FATHIPOUR, S. FATHIPOUR, M. FATHIPOUR & M.A. MALAKOOTIAN, « Device Simulation of a Novel Strained Silicon Channel RF LDMOS », *Microelectronic Engineering*, Vol. 94, pp. 29-32, 2012.
- [2] Qin XU, Yufeng GUO, Ying ZHANG, Leilei LIU, Jiafei YAO & Gene SHEU, « A Novel RF SOI LDMOS with a Raised Drift Region », *2012 International Workshop on Information and Electronics Engineering (IWIEE 2012)*, *Procedia Engineering*, Vol. 29, pp. 668-672, 2012.
- [3] International Technology Roadmap for Semiconductors (ITRS), « Radio Frequency and Analog/Mixed-Signal Technologies for Wireless Communications », 2009.
- [4] Mahdi Ghasemi SHIRVAN & Morteza FATHIPOUR, « A Compact Model for the Ion Implanted Channel LDMOS Transistor », *Solid State Sciences*, Vol. 14, pp. 471-475, 2012.
- [5] Fabien PREGALDINI, « Etude et Modélisation du Comportement des Transistors MOS Fortement Submicroniques », Thèse de Doctorat de l'université Louis Pasteur - Strasbourg I, France, Décembre 2003.
- [6] Gilles DAMBRINE, Alain CAPPY, Frederic HELIODORE & Edouard PLAYEZ, « A New Method for Determining the FET Small-Signal Equivalent Circuit », *IEEE Tran. on MTT*, Vol. 36, No. 7, pp. 1151-1159, July 1988.
- [7] Olivier BON, « Conception de Transistors Haute Tension Complémentaires en Technologie 65nm sur Substrat Silicium sur Isolant Fin pour Applications RF et Conversion de Puissance », Thèse de Doctorat de l'Université Paul Sabatier – Toulouse III, France, Mars 2008.
- [8] Alexandre SILIGARIS, « Modélisation Grand Signal de MOSFET en Hyperfréquences : Application à l'Etude des non Linéarités des Filières SOI », Thèse de Doctorat de l'Université des Sciences et Technologies de Lille, France, Décembre 2004.
- [9] Emmanuel BOUHANA, « Analyse du Comportement Petit Signal du Transistor MOS : Contribution à une Nouvelle Approche d'Extraction et de Modélisation pour des Applications RF », Thèse de Doctorat de l'Université des Sciences et Technologies de Lille, France, Octobre 2007.
- [10] S. POLI, S. REGGIANI, G. BACCARANI, E. GNANI, A. GNUDI, M. DENISON, S. PENDHARKAR & R. WISE, « Hot-carrier Stress Induced Degradation in Multi-STI-Finger LDMOS: An Experimental

- and Numerical Insight », *Solid-State Electronics*, Vol. 65-66, pp. 57-63, 2011.
- [11] J. ALVARADO, V. KILCHYTSKA, E. BOUFOUSS & D. FLANDRE, « Characterization and Modelling of Single Event Transients in LDMOS-SOI FETs », *Microelectronics Reliability*, Vol. 51, pp. 2004-2009, 2011.
- [12] Juin J. LIOU & Frank SCHWIERZ, « RF MOSFET : Recent Advances, Current Status and Future Trends », *Solid-State Electronics*, Vol. 47, pp. 1881-1895, 2003.
- [13] Mitiko MIURA-MATTAUSCH, Hans Jürgen MATTAUSCH & Tatsuya EZAKI, « The Physics and Modeling of MOSFETs - Surface-Potential Model HiSIM », World Scientific Publishing Co. Pte. Ltd, 2008.
- [14] Thomas SKOTNICKI, « Transistor MOS et sa Technologie de Fabrication », E2430, *Techniques de l'Ingénieur, Traité Électronique*, 2000.
- [15] Dominique FLEURY, « Contribution à l'Etude Expérimentale du Transport Dans les Transistors de Dimensions Deca-Nanométriques des Technologies CMOS Sub 45nm », Thèse de Doctorat de L'Institut Polytechnique de Grenoble, France, Décembre 2009.
- [16] S. M. SZE & Kwok K. NG, « Physics of Semiconductor Devices », John Wiley & Sons, Inc., 2007.
- [17] Kurt HOFFMANN, « System Integration - From Transistor Design to Large Scale Integrated Circuits », John Wiley & Sons Ltd., 2004.
- [18] Jean Pierre COLINGE, Cynthia A. COLINGE, « Physics of Semiconductor Devices », Kluwer Academic Publishers, 2002.
- [19] Sheng S. LI, « Semiconductor Physical Electronics », Springer, 2006.
- [20] Narain ARORA, « MOSFET Modeling for VLSI Simulation - Theory and Practice », World Scientific Publishing Co. Re. Ltd., 2007.
- [21] Robert DOERING, Yoshio NISHI, « Handbook of Semiconductor Manufacturing Technology », CRC Press, Taylor and Francis Group LLC, 2008.
- [22] Sandrine BERNARDINI, « Modélisation des Structures Métal-Oxyde-Semiconducteur (MOS) : Applications aux Dispositifs Mémoires », Thèse de Doctorat de l'Université d'Aix-Marseille I, France, Octobre 2004.
- [23] Clifton G. FONSTAD, « Microelectronic Devices and Circuits », McGraw-Hill, 2006.
- [24] Wai-Kai CHEN, « The VLSI Handbook », CRC Press LLC, 2000.

- [25] Thomas MOREL, « Développement de Procèdes de Gravure de Grille Métallique W, WN pour les Nœuds Technologiques sub-45 nm », Thèse de Doctorat de l'Université Grenoble I - Joseph Fourier, France, Mai 2009.
- [26] Olivier WEBER, « Etude, Fabrication et Propriétés de Transport de Transistors CMOS Associant un Diélectrique Haute Permittivité et un Canal de Conduction Haute Mobilité », Thèse de Doctorat de l'Institut National des Sciences Appliquées de Lyon, France, Décembre 2005.
- [27] Donald A. NEAMEN, « Semiconductor Physics and Devices - Basic Principles », McGraw-Hill, 2003.
- [28] Behzad RAZAVI, « Design of Analog CMOS Integrated Circuits », McGraw-Hill, 2001.
- [29] Harry VEENDRICK, « Deep-Submicron CMOS ICs – From Basics to ASICs », Kluwer academic publishers, 2000.
- [30] Neil H. E. WESTE, Kamran ESHRAGHIAN, « Principles of CMOS VLSI Design - A Systems Perspective », Addison-Wesley Publishing, 1988.
- [31] Nicolas BREIL, « Contribution à l'Etude de Techniques de Siliciuration Avancées pour les Technologies CMOS Décanométriques », Thèse de Doctorat de l'Université des Sciences et Technologies de Lille, France, Mai 2009.
- [32] Frank SCHWIERZ, Juin J. LIOU, « RF Transistors: Recent Developments and Roadmap », Solid-State Electronics, Vol. 51, pp. 1079-1091, 2007.
- [33] Daniel GRUNER, Roland SORGE, Olof BENGTTSSON, Ahmed AL TANANY & Georg BOECK, « Analysis, Design, and Evaluation of LD MOS FETs for RF Power Applications up to 6 GHz », IEEE Transactions on Microwave Theory and Techniques, Vol. 58, No. 12, pp. 4022-4030, December 2010.
- [34] Ickjin KWON & Kwiro LEE, « An Accurate Behavioral Model for RF MOSFET Linearity Analysis », IEEE Microwave and Wireless Components Letters, Vol. 17, No. 12, pp. 897-899, December 2007.
- [35] Tony GASSELING, Christophe CHARBONNIAUD & Stéphane DELLIER, « Mesures et Modélisations de Composants Electroniques Hyperfréquences », Technique de l'Ingénieur, In 38, pp. 1-8, Novembre 2005.
- [36] Cyril LAGARDE, « Modélisation de Transistor de Puissance en Technologie GaN : Conception d'un Amplificateur de Type Doherty pour les Emetteurs à Puissance Adaptative », Thèse de Doctorat de l'Université de Limoges, France, Septembre 2006.
- [37] Pankaj KHANDELWAL, Malay TRIVEDI, Krishna SHENAI & S. K. LEONG, « Thermal and Package Performance Limitations in LD MOSFET's for RFIC

- Applications », IEEE Transactions on Microwave Theory and Techniques, Vol. 47, No. 5, pp. 575-585, May 1999.
- [38] Dorothee MULLER, « Optimisation des Potentialités d'un Transistor LDMOS pour l'Intégration d'Amplificateur de Puissance RF sur Silicium », Thèse de Doctorat de l'Université de Limoges, France, Octobre 2006.
- [39] G. TOULON, I. CORTES, F. MORANCHO, E. HUGONNARD-BRUYERE, B. VILLARD & W.J. TOREN, « Design and Optimization of High Voltage LDMOS Transistors on 0.18  $\mu$ m SOI CMOS Technology », Solid State Sciences, Vol. 61, pp. 111-115, 2011.
- [40] M. A. BELAÏD & K. DAOUD, « Evaluation of Hot-Electron Effects on Critical Parameter Drifts in Power RF LDMOS Transistors », Microelectronics Reliability, Vol. 50, pp. 1763-1767, 2010.
- [41] Peter H. AAEN, Jaime A. PLÁ & John WOOD, « Modeling and Characterization of RF and Microwave Power FETS », The Cambridge RF and Microwave Engineering Series, Cambridge University Press, 2007.
- [42] Francis M. ROTELLA, Gordon MA, Zhiping YU & Robert W. DUTTON, « Modeling, Analysis, and Design of RF LDMOS Devices Using Harmonic-Balance Device Simulation », IEEE Tran. on MTT, Vol. 48, No. 6, pp. 991-999, June 2000.
- [43] Grigori DOUDOROV, « Evaluation of Si-LDMOS Transistor for RF Power Amplifier in 2-6 GHz Frequency Range », Thèse de Master de l'Université de Linköping, Suède, Juin 2003.
- [44] Zhongjian WANG, Xinhong CHENG, Dawei HE, Chao XIA, Dawei XU, Yuehui YU, Dong ZHANG, Yanying WANG, Yuqiang LV, Dawei GONG & Kai SHAO, « Realization of 850 V Breakdown Voltage LDMOS on Simbond SOI », Microelectronic Engineering, Vol. 91, pp. 102-105, 2012.
- [45] Norman DYE, Helge GRANBERG, « Radio Frequency Transistors - Principles and Practical Applications », Newnes, Butterworth-Heinemann, 2001.
- [46] George D. VENDELIN, Anthony M. PAVIO, Ulrich L. ROHDE, « Microwave Circuit Design Using Linear and Nonlinear Techniques », John Wiley & Sons, Inc., 2005.
- [47] S. PIRES, J. B. SILVA, N. B. CARVALHO & J. C. PEDRO, « A Si LDMOS-Based UHF Power Amplifier », 3ème Conférence de Télécommunications, Figueira da Foz, Portugal, Avril 2001.
- [48] Salim TOUATI, « Conception, Réalisation et Caractérisation de Composants de Puissance Hyperfréquence de la Filière Nitrure de Gallium », Thèse de Doctorat de l'Université des Sciences et Technologies de Lille, France, Décembre 2007.

- [49] Martyn J. HORSPOOL, « The Application of New LD-MOS Technology to a UHF Multimedia Transmitter Design », The 2009 NAB Show Booth N2502, Las Vegas, 2009.
- [50] Christophe CHARBONNIAUD, « Caractérisation et Modélisation Electrothermique Non Linéaire de Transistors à Effet de Champ GaN pour l'Amplification de Puissance Micro-Onde », Thèse de Doctorat de l'Université de Limoges, France, Octobre 2005.
- [51] John WOOD, Peter H. AAEN, Daren BRIDGES, Dan LAMEY, Michael GUYONNET, Daniel S. CHAN & Nelsy MONSAURET, « A Nonlinear Electro-Thermal Scalable Model for High-Power RF LDMOS Transistors », IEEE Transactions on Microwave Theory and Techniques, Vol. 57, No. 2, pp. 282-292, February 2009.
- [52] Arvind RAGHAVAN, Nuttapon SRIRATTANA & Joy LASKAR, « Modeling and Design Techniques for RF Power Amplifiers », John Wiley & Sons Inc., 2008.
- [53] Mike GOLIO & Janet GOLIO, « RF and Microwave Circuits, Measurements and Modeling », CRC Press, Taylor and Francis Group LLC, 2008.
- [54] Hossein Mashad NEMATI, Christian FAGER, Mattias THORSELL & Herbert ZIRATH, « High-Efficiency LDMOS Power-Amplifier Design at 1 GHz Using an Optimized Transistor Model », IEEE Transactions on Microwave Theory and Techniques, Vol. 57, No. 7, pp. 1647-1654, July 2009.
- [55] John ROGERS & Calvin PLETT, « Radio Frequency Integrated Circuit Design », Artech House Microwave Library, 2003.
- [56] Julie MAZEAU, « Modélisation Electrothermique Comportementale Dynamique d'Amplificateurs de Puissance Microondes pour les Applications Radars », Thèse de Doctorat de l'Université de Limoges, France, Septembre 2007.
- [57] Michaël GUYONNET, « Modélisation Electrothermique Non Linéaire de Transistors de Puissance LDMOS: Application à la Détermination de Règles d'Echelle », Thèse de Doctorat de l'Université de Limoges, France, Mars 2005.
- [58] Ahsan-Ullah KASHIF, « Optimization of LDMOS Transistor in Power Amplifiers for Communication Systems », Thèse de PhD de l'Université de Linköping, Suède, Juin 2010.
- [59] Ian HICKMAN, « Practical Radio-Frequency Handbook », Newnes, 2007.
- [60] Patrick REYNAERT & Michiel STEYAERT, « RF Power Amplifiers for Mobile Communications », Springer, 2006.

- [61] Mike GOLIO, « RF and Microwave Semiconductor Device Handbook », CRC Press LLC, 2003.
- [62] Sofiane ALOUI, « Design of 60GHz 65nm CMOS Power Amplifier », Thèse de Doctorat de l'Université de Bordeaux 1, France, Décembre 2010.
- [63] Mike GOLIO & Janet GOLIO, « The RF and Microwave Handbook - RF and Microwave Passive and Active Technologies », CRC Press, Taylor and Francis Group LLC, 2008.
- [64] Rowan GILMORE & Les BESSER, « Practical RF Circuit Design for Modern Wireless Systems », Volume II, « Active Circuits and Systems », Artech House Microwave Library, 2003.
- [65] Thomas QUEMERAIS, « Conception et Etude de la Fiabilité des Amplificateurs de Puissance Fonctionnant aux Fréquences Millimétriques en Technologies CMOS Avancées », Thèse de Doctorat de L'Institut Polytechnique de Grenoble, France, Octobre 2010.
- [66] Steve C. CRIPPS, « RF Power Amplifiers for Wireless Communications », Artech House Microwave Library, 2006.
- [67] Thomas H. Lee, « The Design of CMOS Radio-Frequency Integrated Circuits », Cambridge University Press, New York, 2nd Edition, 2004.
- [68] B. Jayant BALIGA, « Silicon RF Power MOSFETS », World Scientific Publishing Co. Pte. Ltd, 2005.
- [69] Mourad DJAMAI, « Contribution à la Modélisation et à la Linéarisation des Amplificateurs de Puissance Large Bande », Thèse de Doctorat de l'Université de Poitiers, France, Mars 2008.
- [70] Steve C. CRIPPS, « Advanced Techniques in RF Power Amplifier Design », Artech House Microwave Library, 2002.
- [71] Mohammed TAMOUM, Rachid ALLAM & Farid DJAHLI, « Accurate Large-Signal Characterization of LDMOSFET Transistor in Package », Microwave and Optical Technology Letters, Vol. 53, No. 3, March 2011.
- [72] Mohammed TAMOUM & Rachid ALLAM « Caractérisation Non-Linéaire d'un Transistor LDMOSFET en Boitier », 16<sup>èmes</sup> JNM, Grenoble, 27-28-29 Mais 2009.
- [73] Yannis TSIVIDIS, « Operation and Modeling of the MOS Transistor », Oxford University Press, Second Edition, 1999.
- [74] Jan SAIJETS, « MOSFET RF Characterization Using Bulk and SOI CMOS Technologies », Thèse de Doctorat en Science de l'Université de Helsinki de Technologie, Espoo, Finland, Juin 2007.

- [75] Youngoo YANG, Jaehyok YI & Bumman KIM, « Accurate RF Large-Signal Model of LDMOSFETs Including Self-Heating Effect », IEEE Transactions on Microwave Theory and Techniques, Vol. 49, No. 2, pp. 1626-1633, February 2001.
- [76] Charles TEYSSANDIER, « Contribution à la Modélisation Non-Linéaire de Transistors de Puissance HEMT Pseudomorphiques sur Substrat AsGa : Analyse des Effets Parasites », Thèse de Doctorat de l'Université de Limoges, France, Mars 2008.
- [77] Andrey V. GREBENNIKOV & Fujiang LIN, « An Efficient CAD-Oriented Large-Signal MOSFET Model », IEEE Transactions on Microwave Theory and Techniques, Vol. 48, No. 10, pp. 1732-1741, October 2000.
- [78] J. M. COLLANTES, J. J. RAOUX, R. QUERE & A. SU´AREZ, « New Measurement-Based Technique for RF LDMOS Nonlinear Modeling », IEEE Microwave and Guided Wave Letters, Vol. 8, No. 10, pp. 345-347, October 1998.
- [79] R. ALLAM, C. KOLANOWSKI, D. THERON & Y. CROSNIER, « Large Signal Model for Analysis and Design of HEMT Gate Mixer », IEEE Microwave and Guided Wave Letters, Vol. 4, No. 12, pp. 405-407, December 1994.
- [80] Faiza AMROUCHE, « Analyse, conception et réalisation de mélangeurs microondes faible bruit à transistor à effet de champ HEMT », Thèse de Doctorat de l'Université de Poitiers, France, Décembre 2004.
- [81] Christophe KOLANOWSKI, « Conception, Réalisation et Analyse de Mélangeurs Millimétriques en Technologies Hybride et Intégrée Utilisant des Transistors à Effet de Champ HEMT de Type Monogrille et Bigrille », Thèse de Doctorat de l'Université des Sciences et Technologies de Lille, France, Mars 1996.
- [82] Amor AMAIRI, « Caractérisation en Petit Signal, en Puissance et en Impédances des Transistors à Effet de Champ Millimétriques. Etude et Réalisation d'un Banc de Load-Pull à Charge Active 26.5 – 40 GHz », Thèse de Doctorat de l'Université des Sciences et Technologies de Lille, France, Septembre 1991.
- [83] Nicolas VELLAS, « Etude Expérimentale de Transistors HFET de la Filière Nitrure de Gallium pour des Applications de Puissance Hyperfréquences », Thèse de Doctorat de l'Université des Sciences et Technologies de Lille, France, Décembre 2003.
- [84] Gilles DAMBRINE & Sylvain BOLLAERT, « Composants à Semiconducteurs pour Hyperfréquences », Technique de l'Ingénieur, E 2810, pp. 1-23, Novembre 2007.

- [85] Lars VESTLING, « Design and Modeling of High-Frequency LDMOS Transistors », Thèse de PhD de l'Université d'Uppsala, Suède, 2002.
- [86] Christophe PAVAGEAU, « Utilisation des Technologies CMOS SOI 130 nm pour des Applications en Gamme de Fréquences Millimétriques », Thèse de Doctorat de l'Université des Sciences et Technologies de Lille, France, Décembre 2005.
- [87] Charlotte E. BIBER, Martin L. SCHMATZ & Thomas MORF, « A Nonlinear Microwave MOSFET Model for Spice Simulators », IEEE Transactions on Microwave Theory and Techniques, Vol. 46, No. 5, pp. 604-610, May 1998.
- [88] E. P. VANDAMME, D. SCHREURS, C. van DINTHER, G. BADENES, L. DEFERM, « Development of a RF Large Signal MOSFET Model, Based on an Equivalent Circuit, and Comparison With the BSIM3v3 Compact Model », Solid-State Electronics, Vol. 46, pp. 353-360, 2002.
- [89] Jean ENCINAS, « Diodes et transistors bipolaires discrets », Techniques de l'Ingénieur, traité Électronique, E 2465.
- [90] Siraj AKHTAR, Patrick ROBLIN, Sunyoung LEE, Xiaohui DING, Shuang YU, Julie KASICK & Jeffrey STRAHLER, « RF Electro-Thermal Modeling of LDMOSFETs for Power-Amplifier Design », IEEE Transactions on Microwave Theory and Techniques, Vol. 50, No. 6, pp. 1561-1570, June 2002.
- [91] Willy LUDURCZAK, « Capteur d'Humidité en Si Poreux pour la Fiabilité des Systems in Package », Thèse de Doctorat de l'Université Bordeaux 1, France, Novembre 2008.
- [92] Andreas PASCHT, Markus GRÖZING, Dirk WIEGNER & Manfred BERROTH, « Small-Signal and Temperature Noise Model for MOSFETs », IEEE Transactions on Microwave Theory and Techniques, Vol. 50, No. 8, pp. 1927-1934, August 2002.
- [93] Ickjin KWON, Minkyu JE, Kwyro LEE & Hyungcheol SHIN, « A Simple and Analytical Parameter-Extraction Method of a Microwave MOSFET », IEEE Transactions on Microwave Theory and Techniques, Vol. 50, No. 6, pp. 1503-1509, June 2002.
- [94] Minkyu JE, Jeonghu HAN, Hyungcheol SHIN & Kwyro LEE, « A Simple Four-Terminal Small-Signal Model of RF MOSFETs and Its Parameter Extraction », Microelectronics Reliability, Vol. 43, pp. 601-609, 2003.
- [95] Jing LU, Yan WANG, Long MA & Zhiping YU, « A new Small-Signal Modeling and Extraction Method in AlGaIn/GaN HEMTs », Solid-State Electronics, Vol. 52, pp. 115-120, 2008.
- [96] Saâdia HNIKI, « Contribution à la Modélisation des Dispositifs MOS Haute Tension pour les Circuits Intégrés de Puissance ("Smart Power") », Thèse

- de Doctorat de L'Université Paul Sabatier de Toulouse III, France, Décembre 2010.
- [97] Jerry C. WHITAKER, « The Electronics Handbook », CRC Press, Taylor and Francis Group LLC, 2005.
- [98] Moez BALTI, « Extraction des Paramètres Intrinsèques des Transistors à Effet de Champ en Tenant Compte des Phénomènes de Propagation », Thèse de Doctorat de l'Université de Cergy-Pontoise, France, Décembre 2005.
- [99] R. ANHOLT & S. SWIRHUN, « Equivalent-Circuit Parameter Extraction for Cold GaAs MESFET's », IEEE Transactions on Microwave Theory and Techniques, Vol. 39, No. 7, pp. 1243- 1247, July 1991.
- [100] Mike GOLIO, « Commercial Wireless Circuits and Components Handbook », CRC Press LLC, 2003.
- [101] Philips, « BLF2043F UHF Power LDMOS Transistor », Philips Semiconductors Data Sheet, Mars 2002.
- [102] Thierry PARENTY, « Etude et Perspective des Transistors à Hétérostructure AlInAs/GaInAs de Longueur de Grille Inférieure à 100 nm et Conception de Circuits Intégrés en Bande G », Thèse de Doctorat de l'Université des Sciences et Technologies de Lille, France, Novembre 2003.
- [103] Mohamed LAHOUAL, « Etude de Caractérisation d'un MESFET-GaAs Hyperfréquence et Application en Circuit Amplificateur Linéaire à Faible Bruit (LNA) en Bande Etroite Autour de 10GHz en Technologie MMIC pour les Systèmes à Communications Rapides », Memoire de Magister de l'ENSET Oran, Algérie, Septembre 2009.
- [104] Alexandre SILIGARIS, Gilles DAMBRINE, Dominique SCHREURS & François DANNEVILLE, « A New Empirical Nonlinear Model for Sub-250 nm Channel MOSFET », IEEE Microwave and Wireless Components Letters, Vol. 13, No. 10, pp. 449-451, October 2003.
- [105] Mario A. MAURY, Steven L. MARCH, Gary R. SIMPSON, « LRL Calibration of Vector Network Analyzers », Maury Microwave Corporation, Application Note 5A-017, Nov 1999.
- [106] Agilent Technologies, « In-Fixture Measurements Using Vector Network Analyzers », Application Note, AN 1287-9, 2006.
- [107] Pascal BAREAU, « Mesures en Radiofréquences : Analyseurs de Réseaux en Micro-ondes », Techniques de l'Ingénieur, traité Mesures et Contrôle, R 1145, 1991.
- [108] Anritsu, « LRL/LRM Calibration : Theory and Methodology », Application Note No. 11410-00492, 2009.

- [109] Reza TAYRANI, Jason E. GERBER, Tom DANIEL, Raynond S. PENGELLY & Ulrich L. ROHDE, « A New and Reliable Direct Parasitic Extraction Method for MESFETs and HEMTs », Proceeding of the 23th European Microwave Conference, Madrid, pp. 451-453, 1993.
- [110] Yong LIU, « Trends of Power Semiconductor Wafer Level Packaging », Microelectronics Reliability, Vol. 50, pp. 514-521, 2010.
- [111] Christian ENZ, « An MOS Transistor Model for RF IC Design Valid in All Regions of Operation », IEEE Transactions on Microwave Theory and Techniques, Vol. 50, No. 1, pp. 342-359, January 2002.
- [112] Bo LIU, Jing LU, Yan WANG & Yang TANG, « An Effective Parameter Extraction Method Based on Memetic Differential Evolution Algorithm », Microelectronics Journal, Vol. 39, pp. 1761-1769, 2008.
- [113] David LOVELACE, Julio COSTA & Natalino CAMILLERI, « Extracting Small-Signal Model Parameters of Silicon MOSFET Transistors », 1994 IEEE MTT-S Int. Microwave Symp. Dig., Vol. 3, pp. 865-868, May 1994.
- [114] Chung-Hwan KIM, Kyung-Sik YOON, Min-Gun KIM, Jeon-Wook YANG, Jae-Jin LEE & Kwang-Eui PYUN, « Determination of Bias-Dependent Source Resistances in GaAs MESFETs under Cold-FET Condition », IEEE ARFTG Conference Digest-Spring, 49<sup>th</sup>, Vol. 31, pp. 136-141, June 1997.
- [115] Morin DEHAN, « Characterization and Modeling of SOI RF Integrated Components », Thèse de Doctorat de l'Université Catholique de Louvain, Belgique, Novembre 2003.
- [116] Mark C. Lau, « Small Signal Equivalent Circuit Extraction from a Gallium Arsenide MESFET Device », Master of Science Thesis at the Faculty of the Virginia Polytechnic Institute and State University, Blacksburg, Virginia, USA, July, 1997.
- [117] K.-H. BAEK, G. M. LIM, S. D. CHO, Y. C. KIM, H. C. KIM, S. K. KIM, D. J. KIM & D. M. KIM, « Modeling of Submicron Si-MOSFET's for Microwave Applications with Unique Extraction of Small-Signal Characteristic Parameters », Journal of the Korean Physical Society, Vol. 37, No. 6, pp. 915-922, December 2000.
- [118] Jaejune JANG, Olof TORNBLAD, Torkel ARNBORG, Qiang CHEN, Kaustav BANERJEE, Zhiping YU & Robert W. DUTTON, « RF LD MOS Characterization and Its Compact Modeling », IEEE MTT-S Digest, WE3C-1, pp. 967-970, 2001.
- [119] Jaejune JANG, « Small-Signal Modeling of RF CMOS », Thèse de Doctorat de l'Université de Stanford, USA, Aout 2004.
- [120] Patrick ROBLIN, Siraj AKHTAR & Jeffrey STRAHLER, « New Non-Quasi-Static Theory for Extracting Small-Signal Parameters Applied to

- LDMOSFETs », IEEE Microwave and Guided Wave Letters, Vol. 10, No. 8, pp. 322-324, August 2000.
- [121] M.S. ALAM & G.A. ARMSTRONG, « Extrinsic parameter extraction and RF modelling of CMOS », Solid-State Electronics, Vol. 48, pp. 669-674, 2004.
- [122] Kow-Ming CHANG & Han-Pang WANG, « A New Small-Signal MOSFET Model and Parameter Extraction Method for RF IC's Application », Microelectronics Journal, Vol. 35, pp. 749-759, 2004.
- [123] W. CURTICE, L. DUNLEAVY, W. CLAUSEN & R. PENGELLY, « New LDMOS Model Delivers Powerful Transistor Library-Part 1: The CMC Model », High Frequency Electronics, Summit Technical Media LLC, pp. 18-25, October 2004.
- [124] Youngoo YANG, Young Yun WOO, Jaehyok YI & Bumman KIM, « A New Empirical Large-Signal Model of Si LDMOSFETs for High-Power Amplifier Design », IEEE Transactions on Microwave Theory and Techniques, Vol. 49, No. 9, pp. 1626-1633, September 2001.
- [125] Paolo FIORAVANTI, Oana SPULBER & Maria Merlyne DE SOUZA, « Analytic Large-Signal Modeling of Silicon RF Power MOSFETs », IEEE Transactions on Microwave Theory and Techniques, Vol. 55, No 5, pp. 829-837, May 2007.
- [126] Joel VUOLEVI & Timo RAHKONEN, « Distortion in RF Power Amplifiers », Artech House Microwave Library, 2003.
- [127] Agilent Technologies, « Nonlinear Devices », Documentation du simulateur ADS, Septembre 2006.
- [128] S. WOOD, R. PENGELLY, L. DUNLEAVY, W. CLAUSEN, T. WELLER & L. EMMADI, « New LDMOS Model Delivers Powerful Transistor Library-Part 2: Library Applications », High Frequency Electronics, Summit Technical Media LLC, pp. 26-32, November 2004.

**Titre :** Caractérisation fine et modélisation non-linéaire des transistors MOSFET

## Résumé

Dans ce travail, nous avons développé un modèle non-linéaire pour les transistors MOS en boîtier utiles pour des applications en hyperfréquences. Le modèle développé reproduit, de manière très précise, les caractéristiques hyperfréquences des transistors MOS, tant en régime petit-signal qu'en régime grand-signal. Il prend en compte l'effet du boîtier, présent dans les composants discrets. Le modèle a été validé à travers des mesures grand-signal à l'aide d'un analyseur de réseaux vectoriel. L'extraction des paramètres du modèle est très rapide et son implémentation dans un simulateur de circuits commercial est très simple. A l'aide de ce modèle, un amplificateur de puissance a été conçu et réalisé en technologie LDMOS.

### Mots-Clés :

MOSFET, LDMOS, boîtier, RF, modélisation grand-signal, caractérisation micro-ondes, non-linéaire, amplificateur de puissance.

---

---

**Title:** Fine characterization and non-linear modeling for MOSFET transistors

## Abstract

In this work, a non-linear model for MOS transistors for RF applications has been developed. This model reproduces accurately the RF characteristics of MOS transistors in small signal as well as in large signal regime. It takes into account the effect of package, which is present in discrete transistors. The model has been validated through large signal measurements, using a vectorial network analyzer. The model's parameter extraction is very fast and its implementation in a circuit commercial simulator is very easy. As an application, a power amplifier is designed and realized in LDMOS technology.

### Key words:

MOSFET, LDMOS, package, RF, large-signal modeling, microwave characterization, non-linear, power amplifier.

---

---

**العنوان:** توصيف مفصل ونمذجة غير خطية لالترانزستورات MOSFET

## ملخص

في هذا العمل قمنا بتطوير نموذج غير خطي للترانزستور MOS في علبة يستعمل في تطبيقات الميكروويف. هذا النموذج يستنسخ بشكل دقيق جدا خصائص الترانزستورات MOS في نظامي الإشارة الصغيرة و الكبيرة. كما يأخذ بعين الاعتبار تأثير العلبة الموجودة في الترانزستورات المنفردة. تم التحقق من صحة النموذج من خلال قياسات إشارة كبيرة، وذلك باستخدام محلل شبكة اتجاهي. عملية استخراج معاملات النموذج سريعة جدا كما أن عملية إدخاله في برنامج محاكاة تتم بكل بساطة. استخدمنا هذا النموذج لتصميم مكبر إستطاعة في التكنولوجيا LDMOS.

**الكلمات الدالة:**

MOSFET، LDMOS، العلبة، RF، نمذجة واسعة إشارة، توصيف الميكروويف، غير الخطي، مكبر إستطاعة.