

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR
ET DE LA RECHERCHE SCIENTIFIQUE
UNIVERSITE FERHAT ABBAS- SETIF-

MEMOIRE

Présenté à

LA FACULTE DES SCIENCES DE L'INGENIEUR
DEPARTEMENT D'ELECTRONIQUE

Pour l'obtention du diplôme de

MAGISTER ELECTRONIQUE

Option : Instrumentation

Par

MR : ARABI ABDERRAZAK

Thème

*Développement de modèles électriques des défauts
physiques d'un amplificateur inverseur à partir des
caractéristiques électriques en vue de simulation*

Soutenu le : 16/01/2007 devant le jury :

| | | |
|-----------------|------------------------------|------------|
| PR : F. DJAHLI | Prof à l'université de Sétif | Président |
| PR : N. KHENFER | Prof à l'université de Sétif | Examineur |
| MR: N. AMARDJIA | M.C à l'université de Sétif | Examineur |
| MR: N. BOUZIT | M.C à l'université de Sétif | Rapporteur |
| MR: N. BOUROUBA | C.C à l'université de Sétif | Invité |

Remerciements

Ce travail a été effectué dans le laboratoire de recherche au département d'électronique université de Sétif.

Je remercie d'abord DIEU le tout puissant. Pour l'aide, la santé, la volonté et la patience qu'il m'a donné.

Que tous qui, tout au long de l'élaboration de ce travail, m'ont aidé et apporté leurs connaissances trouvent ici l'expression de ma profonde gratitude.

J'adresse mes remerciements les plus sincères à :

Monsieur F.DJAHLI, professeur à l'université de Sétif, qui m'a fait l'honneur de présider le jury de ce mémoire.

Monsieur N.BOUZIT, Maître de Conférence à l'université de Sétif et rapporteur, de ce mémoire qui m'a fait confiance en me proposant ce thème ainsi que son aide et ses précieux conseils qu'il n'a cessé de me prodiguer en toutes occasions.

Monsieur N.KHENFAR, professeur à l'université de Sétif pour m'avoir fait l'honneur de participer au jury de ce mémoire.

Monsieur N.AMARJIA, Maître de Conférence à l'université de Sétif pour avoir accepté de faire partie de ce jury de mémoire.

Je tien à remercier sincèrement Monsieur N.BOUROUBA, enseignant au département d'électronique pour son aide et son soutien fraternel.

Enfin, je voudrais exprimer toute ma reconnaissance à ma famille qui n'a cessé de m'encourager et de me soutenir durant toutes les années de formation suivie à l'université, et que tous mes amis trouvent ici mes sincères remerciements.

Résumé

Les mal-constructions d'un circuit au delà des variations du process sont appelées *Défauts* et l'effet des défauts sur les caractéristiques électriques d'un circuit intégré déviant au delà des valeurs spécifiées est appelé *Faute*. En d'autres termes, une faute est une conséquence d'un défaut, mais il est possible qu'il n'y ait aucune faute dans un circuit avec défaut.

Les modèles des défauts physiques existant jusqu'à nos jours sont de type électriques ou logiques. Ils sont élaborés soit au niveau des transistors ou des jonctions pour les circuits électriques ou bien au niveau des portes logiques pour les circuits combinatoires ou séquentiels. Ils représentent les effets des défauts sur le comportement du circuit.

Ce travail consiste en premier lieu l'identification des défauts fréquents chez les circuits intégrés analogiques à savoir les effets de ces défauts sur leurs caractéristiques électriques ainsi les mécanismes qui les provoquent, une approche de modélisation fonctionnelle de l'amplificateur inverseur est exploitée pour le développement des modèles fonctionnels électriques à partir de ses caractéristiques.

La simulation de défauts catastrophiques de l'amplificateur inverseur est basée sur l'utilisation du simulateur analogique Pspice. Classiquement, les différentes étapes d'une simulation de fautes analogiques sont la simulation du circuit sans fautes (circuit fonctionnel), la sauvegarde des résultats obtenus, l'injection d'une faute dans ce circuit, la simulation du circuit avec la faute (le circuit défaillant) et enfin la comparaison des résultats des deux simulations. Les défauts injectés dans ce circuit sont classés en groupes selon leur effet sur le fonctionnement du circuit, cette classification permet de faciliter le test de circuit et de minimiser le temps de conception.

Le développement d'un modèle pour chaque défaut est fait par application de la méthode d'approximation par segmentation linéaire (piece wise linear approximation P.W.L), ce modèle est une représentation simplifiée du circuit sous forme d'un quadripôle dont ces éléments sont des résistances et des sources de tension contrôlées ou indépendantes.

Mots- clés: défauts physiques, modélisation de fautes, simulation de fautes, amplificateur inverseur, modélisation de circuits analogiques, PSPICE.

Tables des matières

| | |
|---|----|
| Introduction générale | 1 |
| <u>Chapitre I</u> | |
| <u>Modélisation de circuits analogiques et mixtes</u> | |
| I-1. Introduction | 3 |
| I-2. Modélisation | 3 |
| I-3. Objectif et intérêt de la modélisation | 3 |
| I-4. Méthodologie de modélisation de circuits analogiques | 4 |
| I-5. Techniques de modélisation | 7 |
| a- La modélisation structurelle | 7 |
| b- La macro-modélisation | 8 |
| c- La modélisation comportementale | 10 |
| I-6. Types de modèles | 11 |
| I-6-1. Modèles comportementaux (tabulés) | 12 |
| I-6-2. Modèles analytiques | 12 |
| I-7. Modélisation de composants électroniques | 12 |
| I-7-1. Modélisation de la diode | 12 |
| I-7-2. Modélisation du transistor bipolaire | 14 |
| I-7-2-1. Description fonctionnelle du transistor bipolaire | 15 |
| I-7-2-2. Principaux modèles du transistor | 15 |
| I-8. Conclusion | 20 |
| <u>Chapitre II</u> | |
| <u>Les simulateurs analogiques</u> | |
| II-1. Introduction | 21 |
| II-2. Techniques de simulation | 21 |
| II-2-1. La simulation logique | 21 |
| II-2-2. La simulation analogique | 22 |
| II-2-3. La simulation mixte logique-analogique | 23 |
| II-3. Procédure interne d'un simulateur | 24 |
| II-4. Les trois analyses basiques de la simulation électrique | 25 |
| II-4-1. L'analyse statique | 26 |
| II-4-2. L'analyse transitoire | 26 |
| II-4-3. L'analyse alternative petit signal | 26 |
| II-5. Représentation fonctionnelle d'un simulateur | 27 |
| II-6. Evolution des simulateurs | 27 |
| II-7. Algorithmique de résolution des circuits analogiques | 28 |
| II-7-1. Formulation du problème | 29 |
| II-7-2. Méthode de formulation des équations | 29 |
| II-7-3. Méthodes de résolution d'un système d'équations linéaires | 31 |
| II-7-4. Méthodes numériques d'analyse non linéaire | 33 |
| II-7-5. Méthodes numériques d'intégration | 34 |
| II-8. Les limites d'utilisation d'un simulateur | 35 |
| II-9. La simulation électrique sous SPICE | 35 |
| II-10. Quelques simulateurs des circuits électriques | 37 |
| II-11. Simulateur employé dans la thèse : OrCad Pspice 9.2 | 39 |
| II-11-1. Pspice prise en main | 40 |
| II-11-2. Etapes d'une simulation par Pspice | 40 |
| II-11-3. La description d'un circuit | 41 |
| II-12. Conclusion | 42 |

Chapitre III

Défaillance de circuits intégrés

| | |
|---|----|
| III-1. Introduction | 43 |
| III-2. Sources de défauts dans les circuits intégrés | 44 |
| III-2-1. Les erreurs de conception | 44 |
| III-2-2. Les défauts de fabrication | 45 |
| III-3. Défaillances physiques et défauts de fabrication | 45 |
| III-3-1. Mécanismes de défaillance | 45 |
| III-3-2. Classification des fautes | 47 |
| III-3-3. Défauts paramétriques et défauts fonctionnels | 47 |
| III-4. Défauts des composants à semi-conducteurs | 48 |
| III-5. Fautes de type matériel/physique | 51 |
| III-6. Modélisation des fautes | 52 |
| III-7. Techniques de simulation des fautes | 52 |
| III-8. Modèles de fautes des circuits analogiques | 53 |
| III-8-1. La modélisation de fautes en analogique | 54 |
| III-8-2. Génération de la liste de fautes | 55 |
| III-8-3. La simulation de fautes | 55 |
| III-9. Test de circuits analogiques et mixtes | 56 |
| III-9-1. Le test fonctionnel de circuits analogiques | 57 |
| III-9-2. Les techniques de test structurel (test basé sur les fautes) | 57 |
| III-10. Modèles de fautes des circuits numériques | 58 |
| III-10-1. Simulation de fautes en numérique | 59 |
| III-11. Conclusion | 59 |

Chapitre IV

Modélisation des défauts de l'amplificateur inverseur

| | |
|---|-----|
| IV-1. Introduction | 60 |
| IV-2. Description du circuit amplificateur inverseur | 60 |
| IV-3. Etude sur le μA 741 utilisé | 62 |
| IV-3-1. Structure des transistors utilisés | 64 |
| IV-4. Simulation de l'amplificateur inverseur avec Pspice | 64 |
| IV-4-1. Description des étapes de simulation | 65 |
| IV-4-1-1. Création d'un nouveau symbole par Pspice | 65 |
| IV-4-1-2. Création des blocks: (hierarchical blocks) | 69 |
| IV-4-1-3. Etapes de simulation avec Pspice | 72 |
| IV-5. La simulation de l'amplificateur inverseur | 72 |
| IV-6. Modèle de l'amplificateur inverseur | 76 |
| IV-6-1. Le modèle équivalent dans la région linéaire | 79 |
| IV-6-2. Modèle équivalent dans les régions de saturation | 83 |
| a- Paramètres électriques en régions de saturation positive et négative | 85 |
| b- Le port d'entrée équivalent en régions de saturation | 85 |
| c- Le port de sortie équivalent en régions de saturation | 86 |
| IV-7. Modèle de l'amplificateur inverseur en présence de défauts | 88 |
| IV-7-1. Exemples des modèles de l'amplificateur inverseur fautif | 88 |
| IV-7-2. Classification et groupes de fautes | 94 |
| IV-7-3. Caractéristiques de transfert de l'amplificateur inverseur fautif | 95 |
| IV-7-4. Modèles des défauts de l'amplificateur inverseur | 102 |
| IV-8. Conclusion | 103 |
| Conclusion et perspectives | 104 |
| Annexes | |
| Bibliographie | |

Introduction

Les concepteurs des circuits intégrés passent par des étapes de simulation qui leur permettent de réduire les coûts de fabrication et les délais de développement [1]. Cependant, l'intégration d'un grand nombre de fonctions rend souvent impossibles les simulations, à cause des problèmes de convergence. La solution proposée consiste alors de diminuer le temps de calcul de simulateur en remplaçant le circuit ou certaines de ces fonctions internes, par des modèles équivalents reproduisant le plus fidèle possible les performances à prendre en considération, la macro modélisation comportementale nous permet la réalisation de ces modèles.

Le modèle d'un système est une représentation de son comportement à l'aide de laquelle le simulateur comprend et procède à des calculs. La réalisation d'un modèle est guidée par les besoins des futurs utilisateurs, il convient donc de bien définir les performances attendues en terme de précision, de représentativité, de temps de simulation requit, et de type d'analyse que l'un souhaite réaliser

Les simulateurs apparus dans les années 70, ont évolué au cours de trente cinq dernières années. On en distingue actuellement trois types de simulateurs ; les simulateurs numériques, analogiques et mixtes. La dernière génération des simulateurs mixtes est basée sur l'utilisation d'un cœur de simulation unique permettant de simuler simultanément les parties analogique et numériques décrites dans un même langage [2] [6]. L'objectif des simulateurs électriques est d'essayer d'analyser des circuits de grande complexité. La simulation de circuits analogiques complexes a présenté deux problèmes majeurs ; temps de simulation très importants et problèmes de convergence (pas de résultats).

La simulation revêt une importance capitale pour assurer la validité d'une conception avant la fabrication du circuit correspondant. Toute erreur non détectée dans la conception peut en effet provoquer des itérations très coûteuses. La simulation intervient à des niveaux critiques du flot de conception-vérification : elle permet d'en réduire le nombre d'étapes et ainsi de diminuer le temps et le coût global de fabrication.

Les fautes et les pannes des systèmes microélectroniques modernes sont dues aux défauts physiques non souhaités que se montrent durant ou après la fabrication des composants électroniques. Les défauts sont causés par la panne des mécanismes comme la pression thermiques, contamination ionique, mauvaise métallisation, électromigration, et les effets des porteurs chauds.

Les défauts physiques qui peuvent être localisés dans un circuit intégré sont classés en deux catégories de défauts qualifiés comme durs (hard fault) et tendres (soft fault) [30]. Les défauts durs dit aussi les catastrophiques affectent le fonctionnement du circuit et sont connus comme défauts fonctionnels, ces défauts représentent une très grande déviation d'un paramètre, ce sont par

exemple les courts-circuits et les circuits ouverts, la présence d'une faute catastrophique impose un fonctionnement de circuit très loin des ces spécifications (il ne fonctionne pas). Les défauts tendres dit aussi paramétriques représentent la déviation douce d'un paramètre par rapport à sa valeur nominale, la présence d'une faute paramétrique impose un fonctionnement de circuit avec certaines déviations des spécifications (mal fonctionnement).

Les travaux présentés dans ce mémoire apportent une contribution à l'utilisation du simulateur Pspice pour la simulation et la modélisation de circuit amplificateur inverseur en absence et en présence de défauts, ces derniers sont injectés dans notre circuit au niveau des transistors et sont de type catastrophique. A partir des caractéristiques obtenues, on a développé des modèles de l'amplificateur inverseur avec et sans défauts, chaque modèle est caractérisé par ses éléments.

Le but de notre travail est de présenter un modèle fonctionnel décrivant approximativement l'effet des défauts électriques les plus fréquents dans les circuits intégrés analogiques propagé à la sortie. Cette représentation est une simplification du circuit réel en terme de peu de composants linéaires dont les valeurs électriques sont déduites à partir des caractéristiques de transfert, d'entrée et de sortie. Ces valeurs ont été extraites par la méthode approximative linéaire, P.W.L [36].

Le travail est constitué de quatre chapitres après une introduction générale, en entame le premier chapitre qui est consacré à l'étude générale de la modélisation dans le domaine d'électronique ainsi que la présentation de la méthodologie de la modélisation de circuits analogiques. Ensuite le deuxième chapitre qui traite la structure des simulateurs électriques afin de résoudre les problèmes rencontrés lors d'une simulation d'un circuit analogique, à cet effet, dans ce chapitre nous tentons de répondre aux questions suivantes :

- Comment le simulateur traite un circuit électrique ?
- Quelles sont les sources qui génèrent les problèmes de convergence lors d'une simulation ?

Suivant dans le troisième chapitre, nous étudions les types et les mécanismes de défauts physiques qui peuvent affecter les circuits intégrés ainsi que les sources et l'effet de ces défauts sur le fonctionnement d'un circuit analogique. Le quatrième chapitre est consacré à la simulation et la modélisation de l'amplificateur inverseur en absence et en présence de défauts, puis développer un modèle équivalent correspondant à chaque défaut par application de la méthode d'approximation par segmentation linéaire (Piece-Wise Linear approximation, P.W.L) sur les caractéristiques électriques de transfert d'entrée et de sortie de l'amplificateur inverseur, Cette approche mathématique est basée sur les résultats de la simulation. Le modèle dérivé de cette approche n'est qu'un simple circuit équivalent sous forme de quadripôle dont ces éléments électriques sont des résistances et sources de tension contrôlées ou indépendantes. Enfin, la thèse se termine par une conclusion et perspectives.

Chapitre I

***Modélisation des circuits
analogiques et mixtes***

I-1. Introduction :

Le temps de calcul de circuits analogiques devient très important, même prohibitif lorsque le nombre de transistors est très important (au-delà de 100 transistors), la nature du circuit étant également un facteur déterminant (fonction non linéaire occasionnant des problèmes de convergence). La solution consiste alors à élaborer un modèle à un niveau plus élevé que celui du transistor [1]. La modélisation est définie comme un processus par lequel le système physique peut être transformé en une forme abstraite appelée « MODELE ».

Le modèle d'un système est une représentation de son comportement à l'aide de laquelle le simulateur comprend et procède à des calculs [5]. Un modèle doit être le plus fidèle et le plus exact possible, c'est le plus important critère de la modélisation. Mais obtenir un modèle exact est la tâche la plus difficile.

Il y a naturellement différents modèles pour n'importe quel dispositif. L'approche à modéliser un composant consiste en la mesure du comportement électrique de dispositif sur ses bornes et de l'utilisation directe de ces propriétés mesurées. Ces dernières peuvent être présentées sous la forme des tableaux, des graphes, ou des termes de rapport fonctionnels empiriquement dérivées.

La réalisation d'un modèle est guidée par les besoins des futurs utilisateurs. Il convient donc de bien définir les performances attendues en terme de précision, de représentativité, de temps de simulation requit, et de type d'analyse que l'on souhaite réaliser [1].

I-2. Modélisation

Il existe deux approches permettant d'obtenir des modèles plus ou moins précis d'un composant ou d'une fonction électronique [1]:

- L'approche physique consiste à utiliser les modèles créés par les concepteurs des circuits intégrés et de modifier uniquement les paramètres. Cette approche peut être définie à partir des paramètres électriques (calculés par des mesures statiques, dynamiques, ou fréquentielles), ou des paramètres technologiques caractéristiques du processus de fabrication et de la géométrie du composant.
- L'approche comportementale consiste à modéliser un composant ou un circuit par l'évolution de ces entrées/sorties en réponse à différents stimuli.

I-3. Objectif et intérêt de la modélisation

Le but de la modélisation est de caractériser par une fonction mathématique ou un modèle numérique les différents composants qui constituent le circuit [3]. C'est la partie la plus délicate du

processus puisque les modèles simplifiés diminuent la précision, tandis que des modèles élaborés consomment beaucoup en mémoire et en temps de calcul.

Tandis que le physicien s'intéresse aux détails de la structure interne du composant, nous ne considérons le composant que d'extérieur, et tenons de lui donner un schéma idéal adapté au problème à résoudre [1]. Ce schéma équivalent ou « MODELE » doit être un compromis entre la simplicité et la fidélité pour fournir des résultats valables. Il est donc important de noter qu'il n'existe pas de modèle universel, on doit savoir choisir le modèle adapté au domaine étudié.

I-4. Méthodologie de modélisation des circuits analogiques

Pour de certaines raisons, la modélisation structurelle ne semble pas d'être adaptée à la simulation des systèmes analogiques complexes. Pour pouvoir simuler et synthétiser de tels systèmes, il est nécessaire de créer des bibliothèques de modèles comportementaux des fonctions élémentaires à fin de réduire le temps de calcul [1].

Les modèles sans d'abord réalisés dans le cas des composants idéals, puis nous introduisons progressivement les influences de chaque paramètre sur le comportement du composant ou de circuit.

L'objectif est de modéliser les fonctions analogiques élémentaires et de les remplacer par leur modèle représentatif dans des simulateurs globaux. Créer une bibliothèque de fonctions de base permettrait au concepteur de choisir, d'une manière rapide et précise, les modèles de différentes fonctions qui composent son circuit.

Il serait possible de concevoir des modèles très complet utilisables dans n'importe qu'elle zone de fonctionnement. Cependant ces modèles très difficiles à mettre en œuvre consomment beaucoup de temps de calcul et ne représentent pas l'application de manière précise.

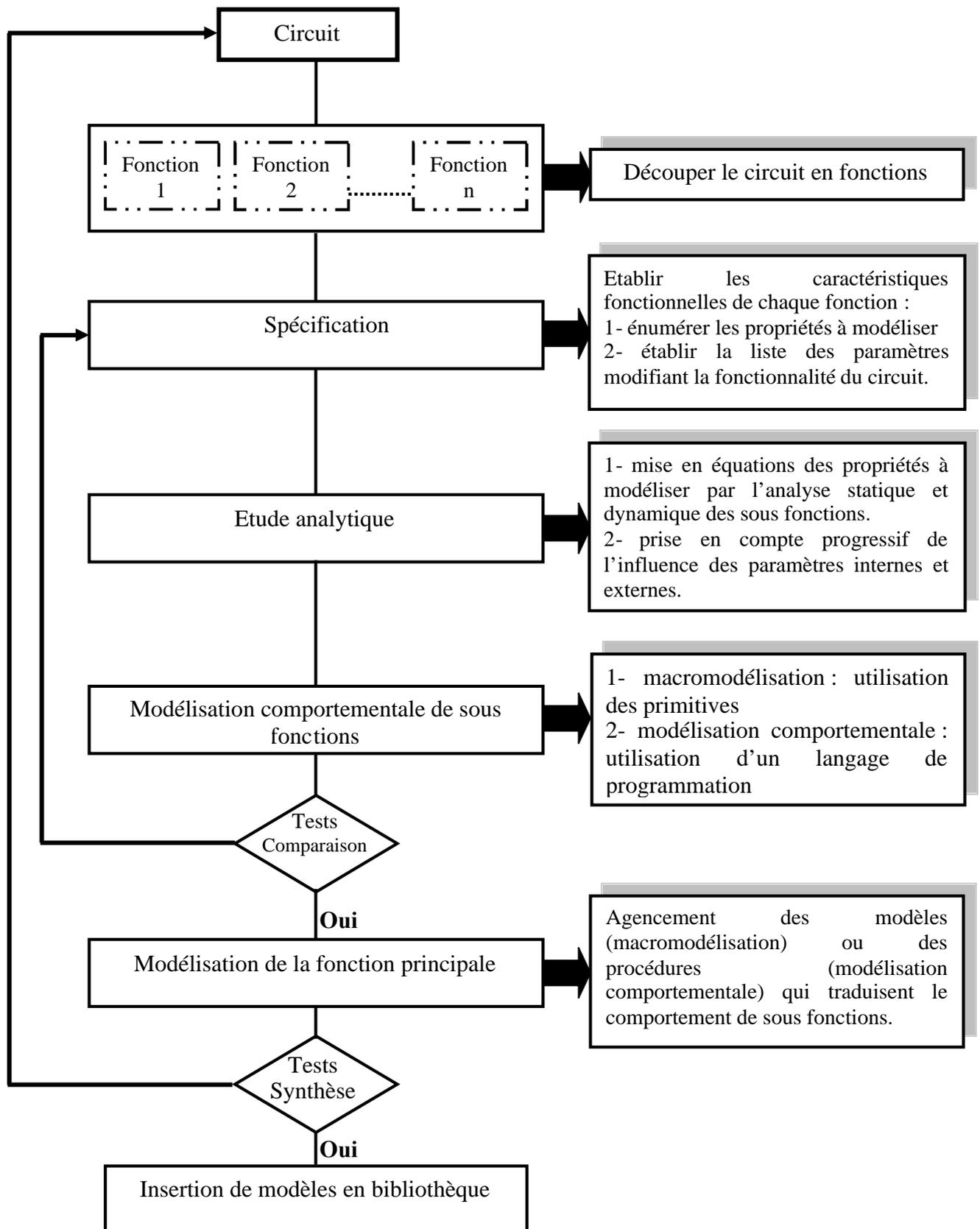


Figure.I-1 : Méthodologie de modélisation des circuits analogiques.

- la découpe fonctionnelle

Cette étape consiste à découper la fonction considérée en un ensemble de blocs fonctionnels. La décomposition du circuit en blocs fonctionnels ne fait pas l'objet d'une règle générale.

- La spécification

L'étape de la spécification est très importante. Elle consiste à énumérer les propriétés qui caractérisent les différents blocs fonctionnels obtenus après le découpage du circuit et à déterminer les différents paramètres qui influent sur leur fonctionnalité. Pour que le modèle soit le plus représentatif du circuit, il faut qu'il représente toutes les propriétés qui le caractérisent. Pour chacune d'une de ces fonctions, on établit une liste regroupant la liste de caractéristiques à modéliser (fonction de transfert, impédance d'entrée, gain en courant...etc.)

- Mise en équations des propriétés à modéliser

Cette étape constitue le cœur de la technique de la modélisation. Elle fait appel à des analyses combinées des régimes statiques et dynamiques du circuit.

- Modélisation des blocs fonctionnels

Une fois l'analyse quasi statique a été effectuée, il faut déterminer quels sont les blocs fonctionnels qui vont être simplifiés par l'élaboration d'un modèle équivalent. La technique de modélisation et le type de modèles réalisés (macro modèle ou modèle comportementale) dépendront de l'outil que l'on dispose et des besoins. Dans le cas d'une macromodélisation comportementale, nous utiliserons les primitives sources contrôlées et les éléments de base (R, L, C...etc.) pour concevoir nos modèles. Dans le cas d'une modélisation comportementale, le circuit est décrit dans un langage de programmation qui traite les équations de modélisation. Les modèles validés seront représentés par des symboles qui seront stockés dans les bibliothèques des simulateurs.

- Validation des modèles

Après avoir réalisé les modèles équivalents des blocs fonctionnels, il est nécessaire d'effectuer un certain nombre de vérifications avant de les utiliser et de les insérer dans la bibliothèque, l'étape de validation permet d'identifier les défauts (erreurs dues à la modélisation). À partir des simulations, on analyse très rapidement la fonctionnalité du circuit. Elles permettent de vérifier si les caractéristiques obtenues à partir du modèle au pourcentage d'erreur près, à ceux du modèle structurel (modèle niveau transistor). La comparaison de la durée de ces deux modèles permet d'évaluer la rapidité du modèle comportementale par rapport au modèle structurel. Les résultats de simulation sont ensuite confrontés soit aux caractéristiques des fiches des constructeurs, soit aux résultats des mesures effectuées sur un prototype.

Ces séries de test permettent d'établir très vite les performances du modèle. Si celles-ci sont conformes aux exigences du cahier de charge, le modèle est validé et peut être inséré dans la bibliothèque du simulateur.

- Modélisation de la fonction principale

La réalisation du modèle comportementale de la fonction principale se fait par l'agencement des modèles paramétrables de sous fonctions.

Dans le cas de la macro modélisation, les modèles des sous fonctions sont connectés entre eux en respectant les connexions entre chaque bloc. Dans le cas d'une modélisation comportementale, on fait appelle lors d'exécution de programme principale aux procédures qui gèrent les différents sous fonctions.

- Validation et insertion en bibliothèque du modèle finale

De même que les sous fonctions, le modèle de la fonction principale devra subir un ensemble de test (simulations, mesures) qui permettront d'identifier les défauts. Dès que le modèle est validé, il peut être archivé dans les bibliothèques pour être modifié ou réutilisé dans des simulations.

Les techniques permettant d'insérer un modèle dans bibliothèque sont propres aux simulateurs et nécessitent une bonne maîtrise de l'outil.

Cette méthode de modélisation permet de concevoir des modèles paramétrable en fonction des paramètres interne ou externes au circuit. L'astuce qui consiste à ne garder que les paramètres qui modifient la fonctionnalité du circuit, permet de gagner en rapidité et régler les problèmes de convergence en simplifiant les calculs mis en jeu lors des simulations.

I-5. Techniques de la modélisation

Nous pouvons principalement distinguer trois techniques de modélisation :

a. La modélisation structurelle

Consiste à décrire le composant ou le circuit par sa structure, c'est-à-dire par les éléments qui le décrivent (condensateur, résistance, diode...). Le modèle structurel s'aligne sur la bibliothèque du fondeur ou du fabricant de circuit intégré. Il prend en compte les paramètres technologiques utilisés en fabrication. La modélisation structurelle utilise les sous circuits du simulateur et demande un temps d'analyse très important lors de la simulation des systèmes complexes [1] [5].

L'inconvénient vient de la taille des circuits. Certains circuits analogiques (amplificateur opérationnel) contiennent plusieurs centaines de transistors et autres composants, ceci augmente considérablement le nombre de nœuds, et par la suite la taille de la matrice à traiter par le simulateur dont le temps de calcul est grande.

b. La macro modélisation

La macro modélisation consiste à décrire le comportement d'un circuit par l'utilisation des primitives d'un simulateur. Le but essentiel de la macro modélisation est de réduire la taille de circuit et ainsi le temps de la simulation. L'objectif de la macro modélisation est de remplacer un système électronique ou une partie de ce système (une fonction ou un dispositif actif) par un modèle à fin de réduire le temps requis par les nombreux simulateurs électriques effectués en phase de conception. Donc, un macro modèle doit répondre à deux exigences conflictuelles, il doit être structurellement le plus simple possible, et en même temps simuler le comportement du circuit avec une grande précision. Les macro modèles sont implantables sur n'importe quel outil simulation à base de Spice [2] [5].

La méthode de macro modélisation consiste à utiliser trois blocs de base composés par :

1. un étage d'entrée pour implanter l'impédance d'entrée.
2. un étage correspondant à la fonction principale (fonction de transfert du circuit).
3. un étage de sortie pour implanter l'impédance de sortie.

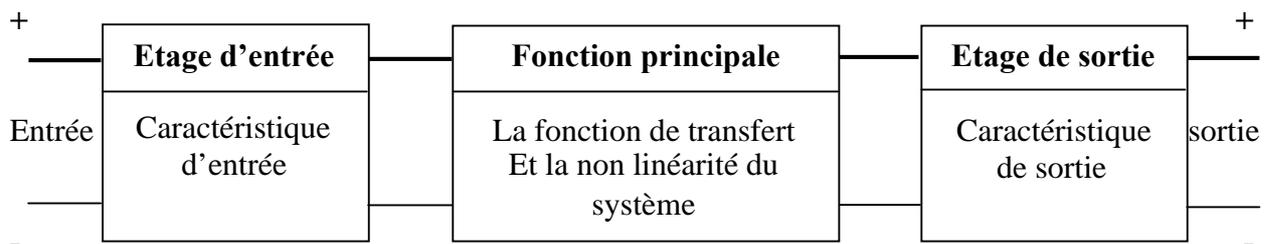


Figure.I-2 : Méthodologie de la macro modélisation.

Les macro modèles sont construits à partir d'un nombre réduit de composants. Les composants utilisés sont des composants primitifs du simulateur. Nous pouvons inclure des éléments passifs (résistances, capacités...etc.), des sources dépendantes ou indépendantes de type courant ou tension linéaire ou non, statiques, temporelles ou fréquentielles qui sont intégrées dans le module **ABM** (Analogue Behavioural Modeling) de Pspice [5].

En grande partie, cette méthode s'est développée grâce au succès de simulateur spice et aux besoins qu'avaient les concepteurs de faire apparaître des phénomènes autres que ceux électriques (modélisation de phénomènes physiques par schéma électrique équivalent), ou de simplifier un schéma en remplaçant certaines parties par des fonctions plus simples (buffers, amplificateurs opérationnels... etc.).

La macro modélisation comportementale de simulateur Pspice autorise la définition de blocs fonctionnels à partir d'expressions mathématiques et de fonctions [12]. Elle comprend un large éventail d'opérateurs mathématiques et de fonctions logiques.

Les sources contrôlées de courant et de tension peuvent implémenter toute fonction de transfert. Le comportement de circuit peut être défini dans le domaine temporel ou fréquentiel à l'aide de formules (y compris la transformée de Laplace) ou de tables de correspondances. Les fonctions de transfert peuvent intégrer des paramètres issus de sous circuits dans la hiérarchie.

b-1. Avantages et inconvénients

L'avantage majeur de la macro-modélisation, s'est qu'elle ne nécessite pas l'apprentissage d'un langage de programmation mais une bonne connaissance d'un simulateur analogique à base de SPICE et une bonne connaissance des fonctions à réaliser. Avec la macro modélisation nous pouvons alors réaliser un grand nombre de fonctions (fonctions mathématiques, filtres, oscillateur, convertisseur fréquence-tension, comparateur, amplificateur et boucle à verrouillage de phase) [5]. Cependant, malgré les avantages et la simplicité apparente, la macro modélisation pose un certain nombre de limitation :

1. la non linéarité des composants et la tension de décalage dans la diode posent certains problèmes qui ne sont pas négligeables ;
2. problème de convergence due à la discontinuité ou au rebouclage de certains circuits ;
3. paramétrage des composants qui n'existe pas dans SPICE de base mais nous pouvons les trouver dans les dérivés de SPICE comme par exemple dans ELDO, Smart Spice, PSPICE.

b-2. Exemple de macro modélisation d'un A.O.P (Macro-modèle de Boyle)

L'une des plus intéressante approche de macro-modélisation de l'amplificateur opérationnel est celle développée par Boyle. Cette approche a pour objectif d'obtenir un modèle de circuit intégré ou une portion dans le but de réduire le plus possible le temps de simulation et par suite le coût du processus de simulation [13].

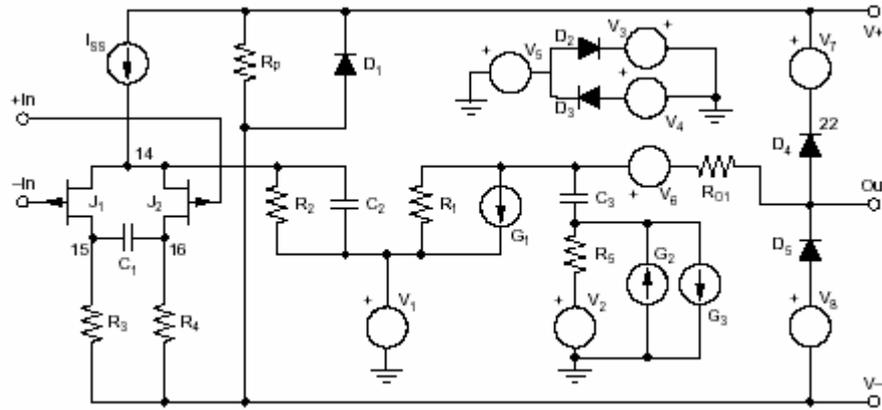


Figure. I-3 : Macro-modèle Boyle de l'amplificateur opérationnel.

c. La modélisation comportementale

La validation d'un système électronique, qu'il soit intégré sur une puce ou réalisé sous forme de cartes, est encore essentiellement basée sur des logiciels de simulation. Ceux-ci font appel à des modèles des différents éléments utilisés, qui en décrivent le comportement, c'est à dire les relations entre les signaux présents sur les points d'entrée/sortie (E/S) [2].

Ainsi, lors de la conception de circuits intégrés tels qu'un amplificateur opérationnel ou une porte logique, des modèles de composants (transistors, diodes, résistances, capacités,...) sont utilisés par un simulateur électrique, dit analogique (le programme SPICE est sans doute le plus connu). Ces modèles décrivent les relations macroscopiques entre tensions et courants des diverses bornes, sous forme d'équations différentielles. Il s'agit donc d'une représentation mathématique de phénomènes physiques auxquels obéissent les composants [8].

La modélisation comportementale désigne plutôt une représentation fonctionnelle de haut niveau, par opposition à une représentation structurelle, et qui est indispensable à la validation de circuits complexes, comportant un grand nombre d'amplificateurs ou de portes.

En effet, les capacités de convergence des simulateurs analogiques sont fortement conditionnées par le nombre de transistors. Même si de nouvelles techniques de simulation plus rapides sont développées, cette limitation ne peut être résolue qu'en adoptant une approche hiérarchique multi niveaux, consistant à décomposer le système en un ensemble de blocs fonctionnels. Le schéma de chaque bloc, ou de seulement certains d'entre eux, peut alors être remplacé par une description approchée uniquement fonctionnelle et plus abstraite. La définition de cette représentation est l'objet de la modélisation comportementale.

La modélisation comportementale permet de réduire les temps de conception et de concevoir des circuits de plus grande qualité pour deux raisons essentielles [5]:

- la simulation comportementale d'un circuit complexe est beaucoup plus rapide qu'une simulation effectuée avec une description transistors : le concepteur peut donc mieux vérifier le fonctionnement de circuit [8].
- La description comportementale de chaque bloc du circuit conduit à une définition plus précise de ces spécifications, ce qui permet d'éviter des erreurs de conception et d'obtenir un circuit optimal.

c-1. Exemples analogiques et digitaux

Les modules numériques sont ainsi décrits par des équations booléennes, des tables de vérité ou des tables d'états en précisant les temps de propagation entre E/S. Les signaux manipulés ne sont plus électriques mais abstraits: des bits définis par des états logiques (0/1/ indéterminé) ou des mots de bits ou même des fichiers de données peuvent être transmis entre modèles. Un autre type de simulateur, dit *digital*, est ici utilisé: son fonctionnement est souvent dirigé par les évènements que constituent les changements d'état des signaux [2].

En analogique, les signaux restent des grandeurs électriques, fonctions continues du temps (ou de la fréquence). Les modèles comportementaux analogiques peuvent être représentés par un ensemble simplifié d'équations différentielles, des fonctions mathématiques non linéaires ou linéaires par morceaux ou des tables de données. Notons que le terme de *macro-modélisation* est couramment employé en analogique. Il désigne en fait une méthode particulière de modélisation comportementale qui consiste en une simplification du schéma et essentiellement en l'utilisation de sources idéales contrôlées, proposées par les simulateurs de type SPICE, pour exprimer des relations entre tensions et courants. Cette approche est cependant assez limitée aux primitives du simulateur, introduit des effets parasites et peut poser des difficultés de convergence [2].

I-6. Types de modèles

Modéliser un dispositif électronique, c'est effectuer une description électrique ou logique son fonctionnement à l'aide d'expressions analytiques et de schémas. Ainsi, le but de la modélisation est d'analyser et de prédire le comportement et les performances du composant.

Le choix du modèle qui ne représente qu'une approximation de la réalité, incombe au concepteur du circuit. Afin de réaliser le meilleur compromis entre approximation de la réalité et la complexité du calcul, il est indispensable de connaître les phénomènes physiques qui interviennent et la limite de leur validité après la mise en œuvre du dispositif [4].

I-6-1. Modèles comportementaux (tabulés)

Il s'agit de relever les réponses pour toutes les entrées possibles. A ce stade, plusieurs méthodes peuvent être utilisées (approximations linéaires, approximations polynomiales...etc). Il faudrait stocker en mémoire tous les points des caractéristiques (modèle tabulé), la quantité d'information fournie par ce type de modèles est maximale mais elle est compensée par la rapidité d'utilisation.

I-6-2. Modèles analytiques

Ce type de modèle est obtenu par la mise en équation des lois physiques ou électriques régissant le fonctionnement du système. C'est un modèle générique facilement paramétrable de différentes façons sans cependant changer de forme. Il permet de décrire des modèles de différents niveaux suivant la complexité souhaitée. Son utilisation nécessite un temps de calcul très important et provoque une collecte d'informations d'une quantité considérable qui nécessite d'être réduite.

I-7. Modélisation de composants électroniques

I-7-1. Modélisation de la diode

La diode fait partie des composants actifs non linéaires, c'est à dire que la courbe $I=f(U)$ n'est pas une droite, mais c'est une exponentielle. Les modèles de la diode sont classés selon le régime de fonctionnement et le type de polarisation (directe ou indirecte) [3].

a. Régime statique

Un régime statique est un régime dans lequel les sources (tension et/ou courant) ne varient pas avec le temps. La diode peut être polarisée en directe ou en inverse.

a-1. Polarisation directe

Les modèles d'une diode polarisée en directe sont :

- Modèle interrupteur parfait (court circuit).
- Modèle source de tension idéale.
- Modèle source de tension réelle.

a-2. Polarisation inverse

Les modèles d'une diode polarisée en inverse sont :

- Modèle interrupteur fermé.
- Modèle source de courant parfaite.

b. Régime de petits signaux

Le régime de petits signaux est un régime dans lequel deux sources de tensions sont actives en même temps. La première est une source de tension continue, son rôle est de définir un point de fonctionnement (régime statique). La deuxième est une source de tension variable de faible amplitude, cette dernière est fonction de la position du point de fonctionnement de manière à rester dans la partie linéaire de la courbe $I=f(U)$ du composant étudié (régime dynamique).

b-1. Polarisation directe

- En basses fréquences, la diode se comporte comme une résistance (élément linéaire).
- En hautes fréquences, elle est équivalente à une résistance r_d en parallèle avec une capacité de diffusion C_d .

b-2. Polarisation inverse

Dans ce modèle, on considérera la diode simplement comme un condensateur C_t (capacité de transition). Physiquement en polarisation inverse il existe une zone de charge d'espace, celle-ci se comporte « comme un isolant » puisque il est impossible de faire passer le moindre électron entre les zones N et P. La valeur de C_t est définie comme la variation de la charge causée par la variation de la tension inverse

$$C_t = \left| \frac{dQ_i}{dV_i} \right| \quad (\text{I-1})$$

Son expression en fonction du type de jonction est :

$$C_t = \frac{C_0}{\left(1 - \frac{V_i}{\phi}\right)^k} \quad (\text{I-2})$$

C_0 : est la valeur de la capacité C_t à $V_i=0$.

Φ : est la valeur de la barrière du potentiel comprise entre 0.4 et 1V.

K : vaut $\frac{1}{2}$ pour une jonction abrupte et $\frac{1}{3}$ pour une jonction linéaire.

c. Régime de forts signaux

c-1. Polarisation directe

Le problème de la modélisation ici est qu'il n'est pas possible de garder un modèle identique pendant toute l'application du signal. Pourquoi ? Simplement que le fonctionnement, et par voie de conséquence le modèle, doit être fractionné en fonction de la tension d'entrée. Un modèle constant proche de zéro, un modèle source de tension réelle et un modèle plus complexe lié à la mise en conduction de la diode.

c-2. Polarisation inverse

La modélisation peut être identique à celle d'un modèle source de tension réelle. Dans ce cas le courant augmente brusquement à partir d'une certaine tension (de quelques volts à quelques centaines de volts) que l'on nomme tension de claquage, c'est un effet d'avalanche. Cette tension est destructive pour la diode normale, mais c'est une technique qui a été mise à profit pour les diodes zener, cette tension de claquage se nomme dans ce cas tension zener.

I-7-2. Modélisation du transistor bipolaire

La modélisation du transistor qui consiste à le représenter par un schéma électrique équivalent destiné à servir de base pour des calculs est un problème difficile par ce que les fonctions essentielles du transistor changent d'une application à une autre (régime statique, régime en grand signaux, régime en petits signaux basse fréquence, régime en petits signaux haute fréquences...).

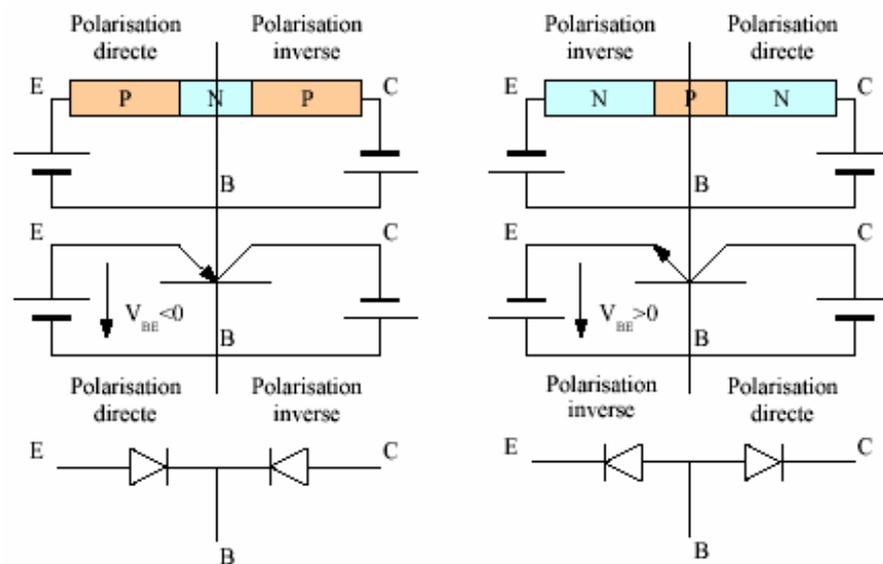


Figure.I-4 : Polarisation des jonctions PN pour avoir l'effet transistor.

I-7-2-1. Description du fonctionnement d'un transistor NPN/PNP

En fonctionnement normal, la jonction base-émetteur est polarisée dans le sens direct et la jonction base-collecteur en inverse, cela signifie que la polarisation directe de la base permet aux électrons/trous de passer dans l'émetteur sous la forme d'un courant de diffusion $-I_{dn}/I_{dp}$ puisque la barrière de potentiel a été annulée, de la même manière les trous/électrons de la base diffusent vers l'émetteur $-I_{dp}/I_{dn}$.

L'accumulation d'électrons/trous dans la base faite qu'ils sont attirés dans le collecteur car la polarisation entre la base et le collecteur est inverse, ceci est possible car au niveau de la base il existe une inversion localisée de la population puisque celle-ci possède une taille très faible. Les électrons ainsi stockés, ont suffisamment d'énergie pour transiter « naturellement » dans la zone collectrice aidée par la polarisation inverse de la zone B-C.

Dans les deux jonctions, il existe des courants inverses. L'agitation thermique est la source de la création de ces courants. Cependant ce courant est négligeable devant le courant de diffusion et ne contribue pas à l'effet transistor.

I-7-2-2. Principaux modèles du transistor [34]

a. Modèles reflétant directement les processus physiques du transistor

Ces modèles se déduisent de la constatation suivante : en polarisation normale, la jonction base-émetteur est une diode polarisée en direct, tandis que la jonction base collecteur est une diode polarisée en inverse.

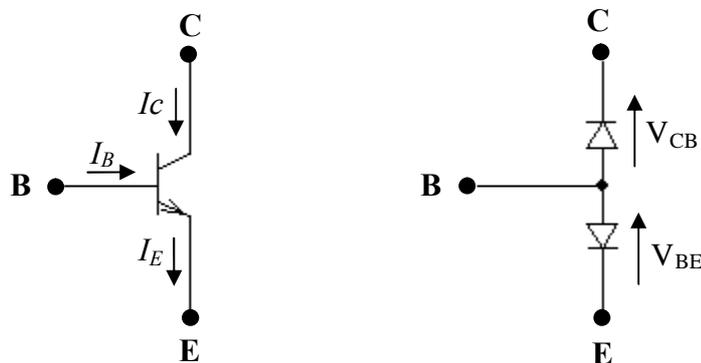
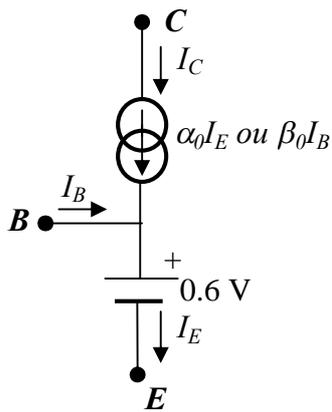


Figure. I-5 : Transistor NPN.

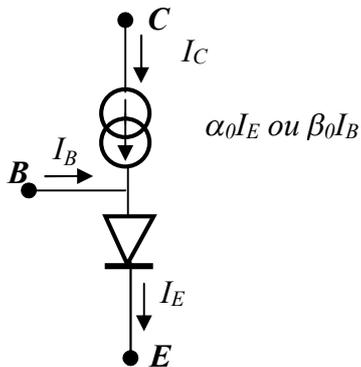
a-1. Fonctionnement statique (continu)



Cette tension $V_{BE} = 0.6V$ (à la température normale) peut être négligeable devant d'autres tensions du montage

Figure.I-6 : modèle du transistor en régime statique (continu).

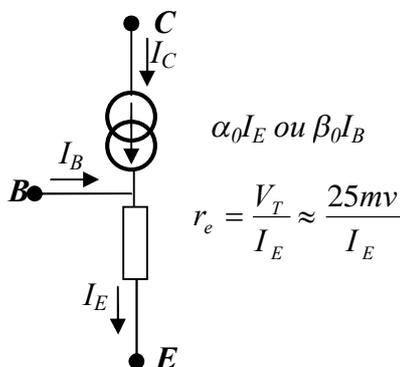
a-2. Grand signaux – basses fréquences



$\alpha_0 \approx 1$, sa valeur n'est pas très caractéristique du transistor on utilise souvent $\beta_0 = \frac{I_C}{I_B}$ car la commande du courant collecteur par I_B est plus significative que celle de I_C par I_E .

Figure.I-7 : Modèle du transistor en régime petits signaux – basses fréquences.

a-3. Petits signaux (basses fréquences), sans effet Early

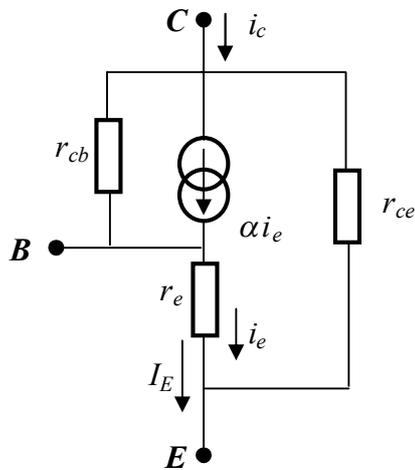


Modèle simplifier sans effet Early en toute rigueur, $\alpha \neq \alpha_0, \beta \neq \beta_0$. Il ne faut pas confondre le signal variable i_e et le courant continu I_E .

La résistance r_e ne dépend pas du transistor. Elle dépend du point de fonctionnement statique.

Figure.I-8 : Modèle du transistor en régime petits signaux – basses fréquences sans effet Early.

a-4. Petits signaux (basses fréquences), avec l'effet Early :



Modèle tenant compte de l'effet Early

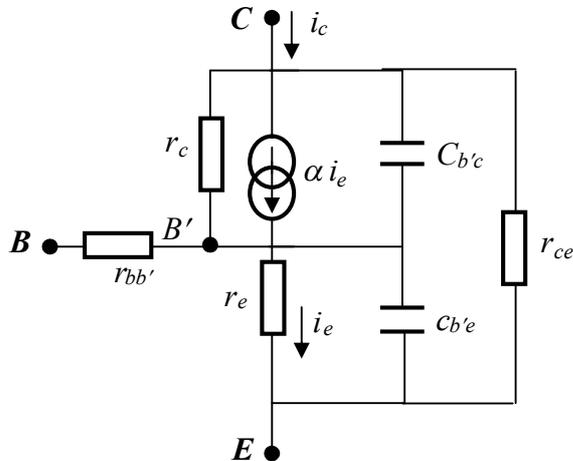
V_E : tension d'Early

$$r_{ce} = \frac{V_E}{I_E}$$

$$r_{cb} = \frac{V_E}{I} (\beta + 1)$$

Figure.I-9 : Modèle du transistor en régime petits signaux – basses fréquences avec effet Early.

a-5. Petits signaux (hautes fréquences)



$c_{b'e}$: capacité de diffusion

$r_e c_{b'e}$: constante de temps de diffusion τ

$C_{b'c}$: capacité de transition dépendant de V_{CB}

$r_{bb'}$: résistances d'accès (les résistances d'accès au collecteur et à l'émetteur sont négligeables)

Figure.I-10 : modèle du transistor en régime petits signaux – hautes fréquences.

D'une manière générale, les modèles précédents présentent l'avantage de permettre de déterminer avec une précision suffisante les paramètres essentiels du transistor en partant d'un nombre minimal des données du fabricant.

b. Modèle d'Ebers-Moll

Le modèle d'Ebers-Moll complet de la figure suivante récapitule les trois régimes de fonctionnement possible du transistor bipolaire. Il est valable pour de grands signaux et des courants continus.

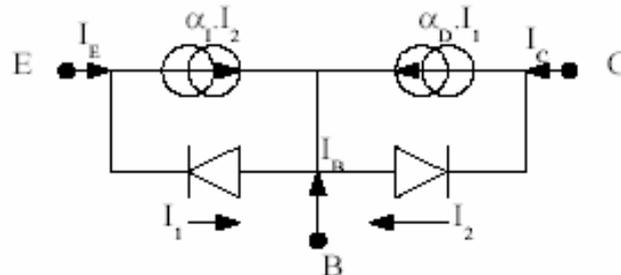


Figure.I-11: Modèle d'Ebers-Moll du transistor.

α_D , gain en courant du montage en base commune en mode direct (mode normal), $\alpha_D \approx 1$, β grand, α_I , gain en courant du montage en base commune en mode inverse, $\alpha_I \rightarrow 0$.

Ce modèle est constitué d'un modèle du transistor en fonctionnement normal.

c. Modèle à nulleur

C'est le modèle très utilisé à l'heure actuelle dans la simulation des montages électroniques à l'ordinateur. Ce modèle très simple peut s'avérer insuffisant dans certains calculs précis de certaines caractéristiques du montage.

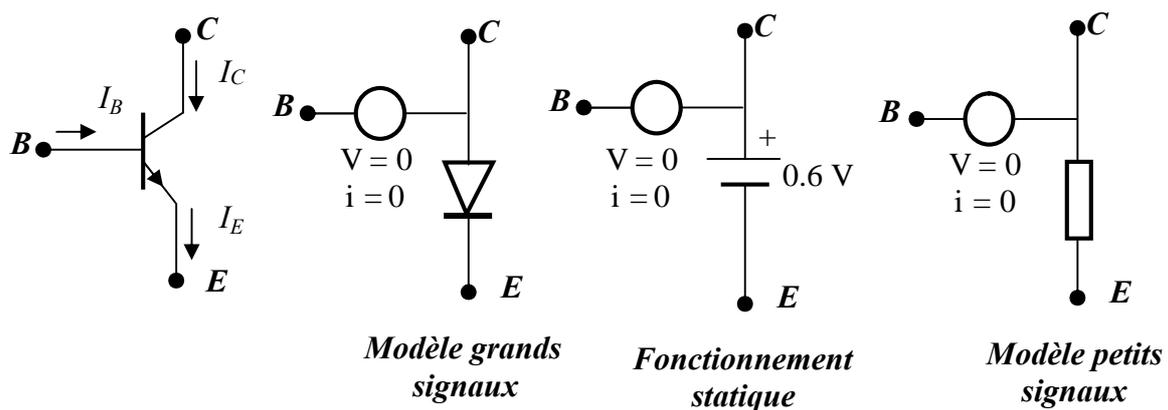


Figure.I-12 : Modèle à nulleur.

d. Quadripôle équivalent du transistor en petits signaux (paramètres hybride)

Ces paramètres sont les plus utilisés en basse fréquence. Le schéma équivalent du transistor est représenté par la figure suivante :

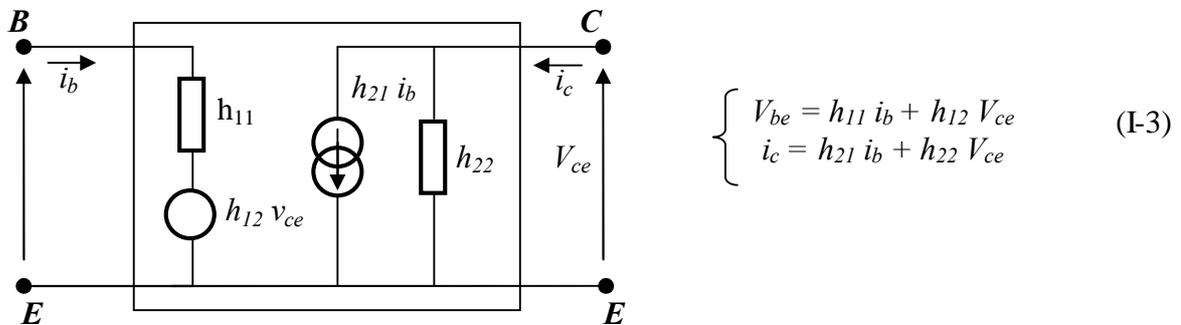


Figure.I-13 : Quadripôle équivalent du transistor en régime petits signaux.

On remarque que $h_{21e} = \frac{i_c}{i_b}$ lorsque $V_{ce=0}$ et égale à β .

Dans le montage en base commune, le paramètre h_{21b} est égal à α .

Placée dans un montage en fonctionnement normal, la source liée $h_{12} v_{ce}$ a une valeur parfaitement négligeable ($h_{12} \approx 10^{-4}$) devant la chute de tension $h_{11} i_b$, la conductance très faible h_{22} (environ $10^{-5} S$) est sans influence notable sur la charge de sortie. On est donc conduit à un schéma équivalent simplifié du transistor.

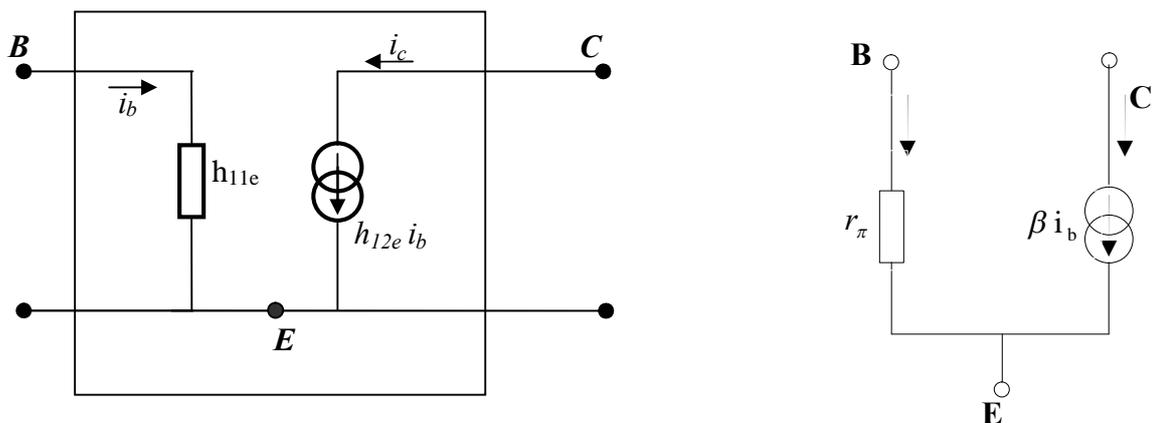


Figure.I-14 : Schéma équivalent simplifié du transistor.

I-8. Conclusion

Ce chapitre a permis de mettre en valeur les buts de la modélisation comportementale: réduire les temps de simulation et permettre l'étude de systèmes complexes analogiques/ digitaux, améliorer la qualité de la conception par application de la méthodologie de conception hiérarchique descendante (top-down) associée à une validation ascendante (bottom-up) et même faciliter la simulation et le diagnostic de fautes [2].

On peut d'autre part distinguer deux classes de modèles fonctionnels selon les phases de conception:

- Les modèles génériques qui sont utilisés lors des étapes de décomposition hiérarchique et décrivent la fonction nominale idéale et certaines non-idéalités qui sont critiques pour le choix de l'architecture du système, telles que les temps de propagation, la distorsion, le bruit, etc.... Ils sont de plus indépendants de toute architecture et technologie.
- Les modèles de validation qui représentent un circuit (ou bloc) particulier et sont construits après réalisation du layout. Leurs paramètres sont obtenus à partir de la caractérisation du circuit réel. Ils peuvent tenir compte des fluctuations statistiques du procédé et sont, dans ce cas, bien adaptés à l'optimisation du rendement, ainsi qu'au diagnostic de fautes. Un compromis entre précision et vitesse de simulation doit cependant être effectué.

L'objet principale de la macro-modélisation est de remplacer un système électronique ou une partie de ce système (une fonction ou un dispositif actif) par un modèle afin de réduire significativement le temps requis par les nombreuses simulations électriques effectuées en phase de conception. Pour ce faire, un macro-modèle doit répondre à deux exigences conflictuelles: il doit être structurellement le plus simple possible et en même temps simuler le comportement du circuit avec le maximum de précision. Selon leur mode de construction et leur niveau d'abstraction, on distingue essentiellement trois catégories de macro-modèles:

1. Les modèles analytiques écrits dans un langage de programmation de type C ou un langage spécifique de type AHDL (Analog Hardware Description Language).
2. Les modèles électriques construits à partir d'éléments idéaux linéaires: sources contrôlées et composants passifs [2]
3. Les modèles physico-électriques construits à partir d'éléments idéaux et d'un nombre réduit de composants actifs physiques, essentiellement des diodes et des transistors MOS décrits par un modèle non linéaire de bas niveau, typiquement de niveau 1 SPICE [13] [35].

Chapitre II

Les simulateurs analogiques

II-1. Introduction

Un simulateur électrique est un programme informatique, qui à partir de la description d'un circuit et de ces variables d'excitation permet de calculer n'importe quelle caractéristique ou variable électrique (tension, courant, impédance...), en importe quel endroit d'un circuit et quelles que soit les excitations appliquées. Ce programme est capable d'analyser la topologie d'un circuit et d'y appliquer les lois fondamentales des réseaux électriques. Pour ce fait, il doit connaître le fonctionnement de chaque composant de circuit. En effet, il permet d'étudier le comportement et l'évolution du système.

Grâce à un simulateur électrique, on peut directement vérifier la conformité des résultats qui sont passés par l'élaboration du prototype. L'objectif des simulateurs électriques est d'essayer d'analyser des circuits de grande complexité (plusieurs milliers des éléments non linéaires).

La simulation de circuits analogiques complexes présente deux problèmes majeurs :

- Les temps de simulation sont très importants.
- On est confronté à des problèmes de convergence (pas de résultats).

La solution proposée consiste alors à diminuer l'effort de calcul de simulateur en remplaçant le circuit ou certaines de ses fonctions internes par des modèles équivalents reproduisant le plus fidèlement possible les performances à prendre en considération. La réalisation de ces modèles est l'objectif actuel de nombreux travaux de recherche.

II-2. Techniques de simulation

II-2-1. Simulation logique

La simulation logique est une technique de simulation rapide basée sur l'évaluation de fonctions logiques et la propagation d'événements dans le modèle. Les signaux ne peuvent prendre qu'un nombre fini d'états et le temps est représenté par une valeur discrète, un multiple entier d'une unité de base appelée temps de résolution minimum (MRT - minimum resolvable time). Un événement est un changement de valeur sur un signal. La Figure II-1 donne l'algorithme général de la simulation dirigée par les événements (event-driven simulation) [2] [6] [31].

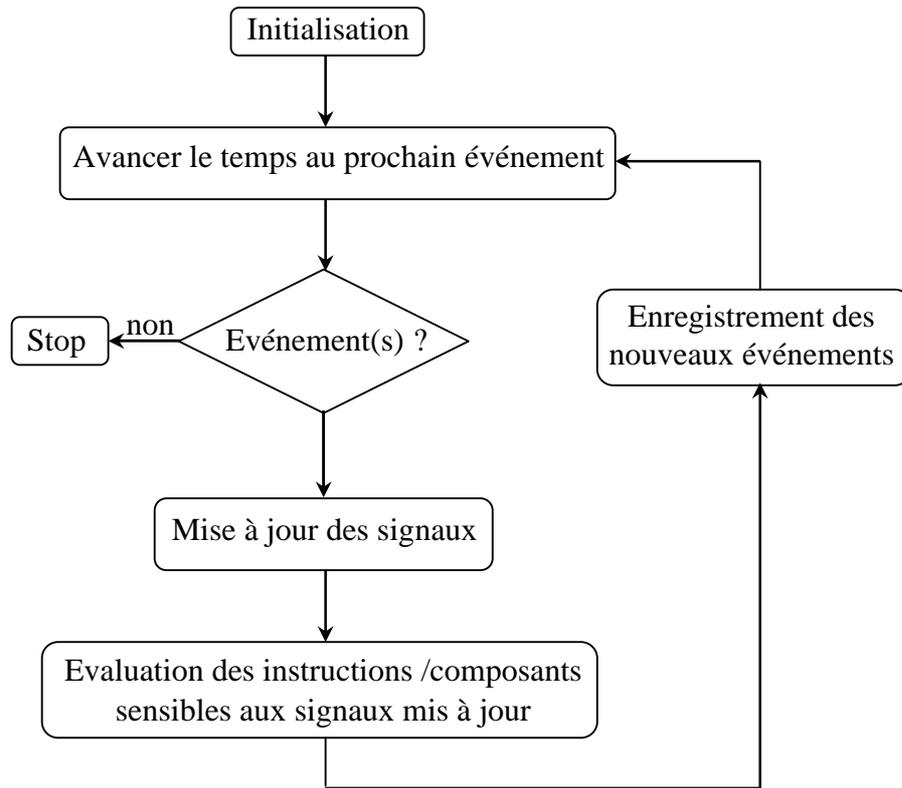


Figure.II-1 : Algorithme générale de simulation dirigée par événements [6]

La simulation démarre par l'affectation de valeurs initiales à tous les signaux. Il faut noter que l'état initial du modèle n'est pas nécessairement un état cohérent, ou stable car il n'y a pas encore de propagation des valeurs aux entrées primaires du modèle. Le temps de simulation est ensuite avancé jusqu'au moment du prochain événement prévu. Les valeurs des signaux ayant un événement à ce moment-là sont mises à jour et toutes les instructions ou les composants du modèle concernés par ces mises à jour sont réévalués. Ceci aboutit potentiellement à de nouveaux événements sur des signaux, au même instant ou à des temps futurs. La boucle se répète ainsi jusqu'à ce qu'il n'y ait plus d'événements à propager dans le modèle.

II-2-2. Simulation analogique

La simulation analogique est beaucoup plus complexe que la simulation logique et requiert ainsi plus de ressources (temps de calcul, mémoire). L'archétype du simulateur analogique, ou électrique, est le programme SPICE. La simulation analogique implique la résolution d'équations différentielles et algébriques linéaires et non linéaires. Les solutions sont des tensions entre les nœuds du circuit et les courants dans les branches du circuit. Normalement seulement un sous-ensemble de toutes les tensions et de tous les courants est requis [2] [6].

La simulation analogique permet plusieurs types d'analyses :

- **L'analyse temporelle** (transient analysis) calcule les réponses temporelles du circuit (tensions et courants en fonction du temps) relativement à un ensemble de stimulus (sources et conditions initiales).
- **L'analyse DC** (direct current) calcule l'état du circuit pour un ensemble de stimulus fixes après un temps infiniment long (steady state). L'analyse DC est utile pour calculer le point de repos, ou de polarisation, du circuit, des fonctions de transfert, la résistance d'entrée et de sortie du circuit, les sensibilités de variables de sortie en fonction de paramètres du circuit.
- **L'analyse AC** (alternative current) calcule les réponses fréquentielles du circuit en régime de petits signaux sinusoïdaux appliqués autour du point de repos du circuit. L'analyse AC est utile pour calculer des fonctions de transfert (p. ex. gain en tension, trans-impédances) en fonction de la fréquence et des conditions de polarisation du circuit. Elle est aussi utile pour analyser l'influence du bruit et déterminer les caractéristiques de distorsion du circuit.

II-2-3. La simulation mixte logique-analogique

Le tableau II-1 récapitule les caractéristiques principales de la simulation logique et de la simulation analogique [6] [7].

| Caractéristique | Simulation logique | Simulation analogique |
|------------------------------------|--|--|
| Variables/inconnues | Signaux logiques | Tensions, courants, etc. |
| Valeurs des inconnues | Quantifiées ('0', '1', 'X', 'Z', etc.) | Réelles |
| Calcul de l'état du circuit/modèle | Evaluation de fonctions logiques | Résolution d'équations différentielles algébriques non linéaires |
| Etat initial (t=0) | Pas nécessairement un état stable | Etat stable (point de repos DC) requis |
| Itération à un temps donné | Affectation de signaux avec délais nul (délai delta) | Résolution de systèmes non linéaires |
| Représentation du temps | Discret, multiple du MRT | Réel |
| Gestion du temps | Dirigé par événement | Continue avec pas d'intégration variable |
| Contrôle du temps temporel | Evénements sur les signaux | Erreur de troncature locale ou équivalente |
| Types d'analyses | temporelle | Temporelle, DC, AC |

Tableau II-1. Récapitulation des caractéristiques de la simulation logique et analogique

Au vu de cette table, la simulation mixte logique-analogique doit résoudre les problèmes suivants:

- **Conversions entre valeurs logiques et analogiques** : Il s'agit de définir des conversions qui aient un sens physique et qui n'aboutissent pas à une perte de précision ou à des non convergences durant la simulation. Il faut noter que ces conversions ne sont que des artefacts de la simulation mixte et ne constituent pas des composants physiques dans le circuit.
- **Etat initial (à $t = 0$) du circuit/modèle** : L'analyse temporelle en simulation analogique requiert le calcul d'un point de repos DC correspondant à une solution des équations du circuit. Si ce n'est pas le cas, la suite de l'analyse a de fortes chances de diverger ou au mieux d'être incorrecte. La simulation logique n'est pas aussi sévère car l'avancement du temps mettra le circuit dans le bon état.
- **Gestion du temps** : Non seulement le temps est représenté différemment en simulation logique et en simulation analogique, mais il est géré selon des critères qui ne sont pas communs. Il s'agit donc de définir des points de synchronisation entre les deux échelles de temps de manière à prendre en compte correctement les interactions logiques-analogiques.
- **Support des analyses possibles en simulation analogique** : Seule l'analyse temporelle est réellement applicable de manière commune aux deux modes. Il s'agit donc de définir l'état de la partie logique lorsque l'on veut procéder à une analyse DC ou AC de la partie analogique. Une manière simple est de considérer la partie logique comme stable, c'est-à-dire que les signaux logiques agissant à l'interface logique-analogique doivent être considérés comme des sources constantes (après conversion des valeurs logiques en valeurs analogiques).

II-3. Procédure interne d'un simulateur

D'une manière générale, les simulateurs se servent de modèles conçus à partir des équations qui représentent le comportement physique du composant. La précision de ces modèles dépend du nombre des paramètres et de la complexité des équations [1]. Le principe de ces paramètres est basé sur des méthodes d'extraction mathématique à partir des courbes expérimentales qui nécessitent des mesures précises.

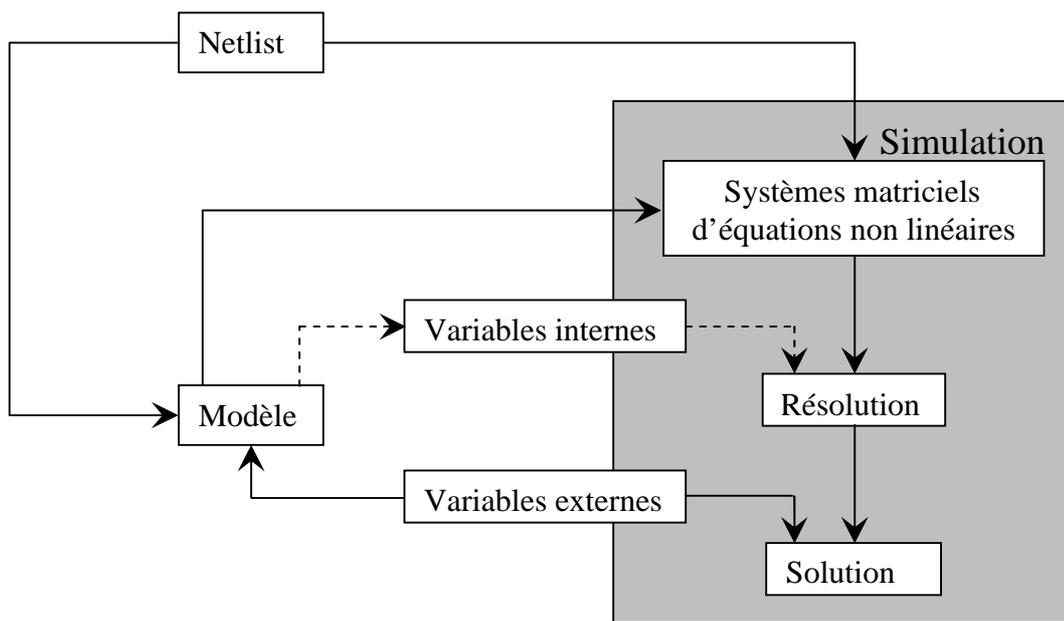


Figure.II-2 : Procédure interne d'un simulateur.

Les simulateurs sont destinés à l'analyse continue, fréquentielle et temporelle des circuits. Ils disposent pour cela l'algorithme de résolutions numériques des équations différentielles.

La figure II-2 décrit la procédure engagée lors d'une simulation, les circuits sont décrits dans un simulateur par une liste des interconnexions (*Netlist*), qui indique comment sont connectés les éléments. A chaque modèle est associé un système d'équations qui décrivent les lois aux différents nœuds (tension et courant). Le simulateur résout ses systèmes d'équations non linéaires par des méthodes d'intégration numériques, des techniques itératives et des méthodes de résolution matricielle.

II-4. Les trois analyses basiques de la simulation électrique

Pour caractériser complètement un circuit électrique, au moins trois types d'analyse doivent pouvoir être réalisés par un simulateur électrique: une analyse statique, une analyse transitoire et une analyse alternative petit signal.

II-4-1. L'analyse statique

L'analyse statique est utilisée pour déterminer les points de fonctionnement (la polarisation et les points de repos correspondant) ainsi que les caractéristiques de transfert des circuits électriques linéaires et non linéaires. Pour ce faire, le vecteur \mathbf{X} étant nul, les composants réactifs sont neutralisés (les condensateurs sont remplacés par des circuits ouverts et les inductances sont remplacées par des courts-circuits) et toutes les sources indépendantes sont considérées comme statiques. Si l'opérateur \mathbf{F} est linéaire la solution est directement déterminée par une méthode numérique de résolution d'un système d'équations linéaires, sinon le système est préalablement linéarisé par une méthode numérique d'analyse non linéaire.

II-4-2. L'analyse Transitoire

L'analyse transitoire est utilisée pour déterminer la réponse temporelle d'un circuit pour une durée d'observation $[0, T]$. Pour ce faire, l'intervalle $[0, T]$ est discrétisé afin d'obtenir les instants de calcul $[0, t_1, t_2, \dots, T]$. Puis, partant d'un jeu de valeurs initiales spécifié par l'utilisateur ou par une analyse statique, pour chaque instant de calcul une intégration numérique est effectuée par une méthode numérique d'intégration afin de transformer le système d'équations différentielles en système d'équations algébriques. Enfin, le système est linéarisé par une méthode numérique d'analyse non linéaire pour délivrer la solution par une méthode numérique de résolution d'un système d'équations linéaires.

II-4-3. L'analyse alternative petit signal

L'analyse linéaire alternative petit signal est utilisée pour déterminer les caractéristiques fréquentielles d'un circuit. Pour ce faire, tous les éléments actifs non linéaires du circuit sont modélisés par un circuit équivalent linéaire petit signal autour d'un point de fonctionnement déterminé par une analyse statique. Tous les stimuli sont sinusoïdaux et de même fréquence mais peuvent avoir des phases relatives différentes. Les impédances ou les admittances sont mises sous leur forme opérationnelle et évaluées sur l'axe imaginaire du plan de la variable complexe P ($P=j\omega$). Ainsi, l'impédance d'un condensateur est considérée sous la forme opérationnelle $Z_C = \frac{1}{j\omega C}$, l'impédance d'une inductance est considérée sous la forme $Z_L = jL\omega$.

II-5. Représentation fonctionnelle d'un simulateur électrique

Un simulateur électrique standard (deuxième génération) est toujours construit à partir d'au moins quatre méthodes numériques :

- une méthode de formulation des équations.
- une méthode de résolution d'un système d'équations linéaires.
- une méthode d'intégration.
- une méthode d'analyse non linéaire.

II-6. Evolution des simulateurs

La taille, la complexité et le degré de raffinement des modèles des dispositifs actifs utilisés, sont devenus tellement importants que la conception d'un circuit intégré est totalement impossible sans l'assistance d'outils informatiques de simulation. En effet, ce n'est que par une évaluation rapide des performances d'un circuit sans avoir à le fabriquer, que l'on peut obtenir un temps de conception réduit entraînant une limitation des coûts de production. On distingue essentiellement trois catégories de simulateurs:

- La première catégorie est constituée des simulateurs logiques ou événementiels qui ne s'intéressent qu'au changement d'état logique des nœuds d'un circuit. Ils sont uniquement utilisés en électronique numérique pour évaluer fonctionnellement les performances. Sur chaque événement, le simulateur n'ayant à examiner que les éléments de circuit affectés par le changement d'état puis éventuellement à le propager, aucune résolution des lois de Kirchhoff et aucune analyse matricielle n'est requise. Ces outils sont ainsi très rapides et n'ont pratiquement aucune limitation en termes de taille et de complexité du circuit à simuler.
- La deuxième catégorie de simulateurs est également limitée à l'analyse des circuits numériques, elle est constituée des simulateurs temporels. Les dispositifs non linéaires sont remplacés par des modèles linéaires par morceaux ou tabulés, la quasi-unidirectionnalité et le fort taux d'inactivité caractérisant les "gros" circuits numériques (statistiquement plus de 80% du circuit est inactif sur une phase d'horloge) sont exploités. Ce type de simulateur "plus physique" que les simulateurs logiques permettent d'obtenir des précisions de l'ordre de quelques pourcent sur les temps de réponse pour un temps de calcul dix à cent fois plus long.
- Quant à la troisième catégorie, elle est constituée des simulateurs analogiques, ou simulateurs électriques, qui ont essentiellement pour vocation l'étude du comportement d'un circuit linéaire ou non linéaire sur un intervalle de temps continu (ou plus exactement discrétisé avec un pas de calcul théoriquement très inférieur à la plus petite constante de temps du circuit à analyser).

La simulation logique et/ou temporelle et/ou analogique peut être combinée dans un même exécutable ou en fonctionnement séparé pour constituer un type de simulateur appelé simulateurs mixtes, permettant directement l'évaluation des performances électriques des systèmes électroniques mixtes constitués de circuits analogiques et numériques intégrés sur un même substrat, c'est à dire les **SoC** (**S**ystème **o**n **C**hip).

Enfin, des simulateurs analogiques dédiés ont également été développés pour des applications spécifiques, l'exemple type est le simulateur SWITCAP qui permet l'analyse des circuits à capacités commutées. Historiquement, les premiers simulateurs électriques sont contemporains des premiers ordinateurs puisque c'est dès 1950 qu'un calculateur composé de relais électromécaniques a été programmé pour l'analyse et la conception des filtres électriques. Bien entendu leur évolution a suivi l'évolution des ordinateurs, et nous sommes passés en moins d'un quart de siècle d'un simulateur de première génération permettant difficilement la simulation de circuits composés de quelques transistors modélisés par une dizaine de paramètres à un outil de troisième génération permettant la simulation de circuits de plusieurs milliers de transistors MOS modélisés par une centaine de paramètres. Aujourd'hui, la plupart des simulateurs électriques en versions commercialisées ou versions publiques, sont des descendants du simulateur de deuxième génération **SPICE** (**S**imulation **P**rogram with **I**ntegrated **C**ircuit **E**mphasis) [12] développé et distribué gratuitement par l'université de Berkeley dès 1972.

II-7. Algorithmique de résolution de circuits analogiques

Les circuits analogiques font intervenir divers éléments de natures différentes. Le circuit est caractérisé par l'agencement de ces éléments, et les éléments définissent les relations entre les grandeurs analogiques (tension, courant) à leurs bornes. On trouve :

- des éléments linéaires : relations linéaires entre tension et courant (résistance).
- Des éléments à mémoire : relations faisant intervenir le temps pour une analyse transitoire, ou la fréquence pour une analyse AC (capacités, bobines).
- Des éléments non linéaires : relations non linéaires entre tension et courant (diodes, transistors...).

II-7-1. Formulation du problème

Simuler un circuit électronique consiste tout d'abord à lui associer un modèle mathématique puis à calculer numériquement sa réponse à une excitation spécifique. Pour ce faire, on passe du circuit physique à un système d'équations par une méthode de formulation des équations, en représentant chaque composant de base (résistance, condensateur, inductance, ...) par son modèle mathématique et en appliquant les contraintes de connexions imposées par les lois de Kirchhoff. Le fonctionnement du circuit peut ainsi être formalisé par un système d'équations différentielles implicite de la forme [33] :

$$F(X, \dot{X}, t) = 0 \quad (\text{II-1})$$

L'opérateur **F** est en général un opérateur non linéaire fonction du temps par l'intermédiaire du vecteur **U(t)** des sources indépendantes (stimulus), du vecteur **X** des variables inconnues et du vecteur dérivé \dot{X} .

Si cette formulation "standard" est de très loin la plus utilisée actuellement en simulation électrique, ce n'est pas la seule possible.

En effet, un circuit constitué de n éléments dynamiques (condensateurs et inductances) peut toujours être mis sous la forme d'une seule équation différentielle d'ordre n pouvant être mise sous une forme canonique dite à variable d'état (ou normale) constituée d'un système explicite des n dérivées du vecteur d'état **X** correspondant aux n équations différentielles d'ordre un telles que :

$$\dot{X} = F(X, t) = [A]X + bu \quad (\text{II-2})$$

La matrice **[A]** étant la matrice d'état. Ce second formalisme, qui permet d'utiliser directement l'arsenal mathématique mis au point pour l'étude des systèmes dynamiques, est très satisfaisant intellectuellement mais pratiquement, jusqu'à présent il n'a conduit qu'à la réalisation d'outils de simulation pouvant être numériquement instables.

II-7-2. Méthodes de formulation des équations

Pour déterminer le système d'équations décrivant le circuit à analyser, ce dernier doit être préalablement représenté par un réseau de branches idéales interconnectées, chaque branche étant caractérisée par une relation mathématique appelée équation de constitution. D'autre part, pour pouvoir modéliser un circuit électrique, le système d'équations doit respecter deux contraintes: Chaque équation de constitution et les lois de Kirchhoff en tension et en courant qui fixent les contraintes topologiques de connexion, doivent être respectées à tout instant, c'est à dire sur chaque pas de calcul.

- L'analyse nodale

Il existe de nombreuses méthodes de formulation permettant une mise en équation automatique, c'est à dire sans possibilité d'oubli et de double emploi. Toutes ces méthodes peuvent être regroupées en deux familles distinctes. La première famille cherche une mise en équation en imposant la mise forme des équations en fonction de critères théoriques: d'après les lois de Kirchhoff, un réseau électrique composé de \mathbf{B} branches et $\mathbf{N}+1$ noeuds, possède \mathbf{B} équations de branche, \mathbf{N} équations de noeud sur les courants et ainsi $\mathbf{B}-\mathbf{N}$ équations sur les tensions. Le nombre d'équations à résoudre est donc égal à \mathbf{N} ou $\mathbf{B}-\mathbf{N}$ selon la méthode utilisée. Si généralement, le nombre d'équations est faible, le défaut majeur de ces méthodes est qu'elles conduisent à mettre les équations de constitution sous la forme d'une matrice impédance ou admittance qui peut ne pas exister.

- L'analyse nodale modifiée (la MNA)

L'analyse nodale modifiée, permet de s'affranchir directement du problème de l'impossibilité de gérer les sources de tension idéales et de l'inexistence éventuelle de matrices admittances. Pour ce faire, la matrice MNA est exprimée sous la forme :

$$\begin{pmatrix} [Y_R] & [B] \\ [C] & [D] \end{pmatrix} \begin{pmatrix} \vec{V} \\ \vec{J} \end{pmatrix} = \begin{pmatrix} \vec{I} \\ \vec{F} \end{pmatrix} \quad (\text{II-3})$$

La construction du système d'équations est un peu compliquée. La matrice $[Y_R]$ est la matrice nodale réduite excluant les contributions dues aux sources de tension et aux éléments contrôlés en courant. Le vecteur \vec{V} est le vecteur tension de noeud, \vec{J} est le vecteur courant des branches définies en tension, \vec{F} est le vecteur tension des branches définies en tension, la matrice $[Y_R]$ et le vecteur \vec{I} sont construits comme pour l'analyse nodale. Si il n'y a pas de branche définie en courant avec des courants commandés, la matrice $[B]$ est construite avec des zéros et des uns tels que :

$b_{ij} = 0$: Si le noeud i n'est pas connecté à la branche j .

$b_{ij} = +1$: Si le noeud i est le noeud positif de la branche j .

$b_{ij} = -1$: Si le noeud i est le noeud négatif de la branche j .

Dans le cas contraire, la matrice $[B]$ devra contenir les coefficients de couplage fixant les différentes relations. Quant aux matrices $[C]$ et $[D]$ au vecteur \vec{F} ils contiennent les relations de branches des \mathbf{P} branches définies en tension.

II-7-3. Méthodes de résolution d'un système d'équations linéaires

La vitesse de résolution du système formée va avoir une incidence directe sur la rapidité des simulateurs qui vont être effectués. En effet, cette étape est réalisée de nombreuses fois pour établir une convergence à un point de calcul donné.

Le nombre de fois N qu'elle est réalisée est de la forme :

$$N = N_{ir} * N_{pc} \quad (\text{II-4})$$

N_{ir} : est le nombre d'itérations requises (résolution d'un système non linéaire).

N_{pc} : est le nombre de points de calcul requis par l'analyse (transitoire, DC ou AC).

Si on essaie de résoudre le système par la méthode de KRAMER qui demande l'inversion de la matrice [A], on obtient un nombre très importants d'opérations requises $2*(n+1)$ pour une matrice de taille $n*n$.

- Elimination de Gauss

Cette méthode consiste à obtenir par des opérations élémentaires sur les lignes de la matrice **A**, une matrice triangulaire haute figure. II-3. De ce fait, la solution sera automatique. La $n^{\text{ième}}$ valeur sera obtenue directement et les autres par propagation ascendantes des résultats. On parle en fait d'obtention par substitution.

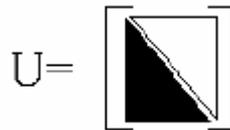


Figure. II-3 : Matrice triangulaire inférieure.

Le nombre total d'opérations requises est égal à $\frac{1}{n^3}$.

Le nombre d'opérations pour obtenir la matrice **A** sous forme matricielle reste cependant important. On préfère à cette méthode la décomposition **LU** qui rend plus rapide l'obtention des résultats.

- Décomposition LU

Elle s'inspire de la méthode de Gauss, on effectuera les opérations suivantes :

$$U = (\prod E_i) A \quad (\text{II-5})$$

Avec : E_i est la matrice élémentaire pour des opérations sur les lignes.

Il existe alors trois types de transformations élémentaires :

1. Echange de deux lignes.
2. Multiplication d'une ligne par une constante.
3. (ligne j) \leftarrow (ligne i) + Cte (ligne k).

Les deux derniers types 2 et 3 ont comme propriétés de former des matrices triangulaires inférieures.

On supposant dans un premier temps que les opérations de type 1 sont inexistantes, on obtient

$$\mathbf{A} = \mathbf{L} \cdot \mathbf{U} \quad (\text{II-6})$$

Avec :

$$\mathbf{L} = (\Pi E_i)^{-1} \text{ triangulaire inférieure.}$$

Si maintenant on prend en compte les opérations de type 1, on peut écrire :

$$\Pi E_i = (\Pi E_i')^p \quad (\text{II-7})$$

Avec :

\mathbf{P} : matrice des échanges de deux lignes.

On a alors $\mathbf{L} \cdot \mathbf{U} = \mathbf{P} \cdot \mathbf{A}$ se qui revient à mettre le système sous la forme :

$$\mathbf{L} \cdot \mathbf{U} \cdot \mathbf{X} = \mathbf{P} \cdot \mathbf{B} = \mathbf{B}' \quad (\text{II-8})$$

Avec :

\mathbf{L} : la matrice triangulaire inférieure (Lower).

\mathbf{U} : matrice triangulaire supérieure (Upper).

Une fois ces opérations réalisées, la résolution du système devient automatique, on a deux étapes de résolution à effectuer :

- substitution directe $\mathbf{L} \cdot \mathbf{Y} = \mathbf{B}'$ qui donne la matrice \mathbf{Y} par substitution comme dans la méthode de Gauss.
- substitution inverse $\mathbf{U} \cdot \mathbf{X} = \mathbf{Y}'$ qui donne la valeur des inconnus recherchés \mathbf{X} toujours par substitution.

Cette méthode de résolution est très utilisée, car le nombre d'opérations est réduit et devient n^2 .

L'un des principaux problèmes posés par l'algorithme d'élimination, c'est qu'il a besoin d'effectuer une division par le pivot. Ce pivot doit être non nul et autant que faire ce peut, pas trop petit, une phase préalable de permutations de lignes et de colonnes est nécessaire pour optimiser numériquement la procédure. D'autre part, lors de la décomposition des matrices, certains termes nuls de la matrice initiale peuvent devenir non nuls et la matrice se remplit.

Différentes techniques de conditionnement, jouant sur le choix du pivot par une organisation des lignes et des colonnes, doivent être utilisées pour conserver le caractère creux de la matrice initiale. Enfin, une des spécificités de l'analyse nodale est de générer des matrices pratiquement symétriques, et l'effort en termes de nombre d'opérations pour symétriser la matrice est souvent faible pour un gain global important. Ce faisant, le conditionnement des méthodes de formulation des équations et du point de vue informatique une procédure qui peut s'avérer assez coûteuse en terme de temps de calcul et fortement dépendante du type de procédure utilisée.

II-7-4. Méthodes numériques d'analyse non linéaire

Si un circuit contient des composants non linéaires, il requiert pour l'analyse statique et l'analyse transitoire, une méthode numérique pour résoudre une équation algébrique non linéaire implicite de la forme :

$$G(x) = 0 \quad (\text{II-9})$$

Pour l'analyse statique, la forme précédente est respectée par principe, puisque toutes les dérivées sont nulles et pour l'analyse transitoire, la forme précédente est respectée à l'instant \mathbf{K} , de part l'utilisation d'une méthode d'intégration numérique. Pratiquement, en simulation électrique les méthodes d'analyse utilisées sont basées sur la méthode de « **Newton Raphson** » dont la formulation de son algorithme est la suivante :

$$x_{f+1} = x_f - \frac{f(x_f)}{f'(x_f)} \quad \text{Jusqu'à } |x_{f+1} - x_f| \leq \varepsilon |x_f| \quad (\text{II-10})$$

Le principe de cet algorithme est montré dans la figure II-4. Il consiste à se converger vers la solution à l'aide de la pente que la caractéristique présente pour chaque étape.

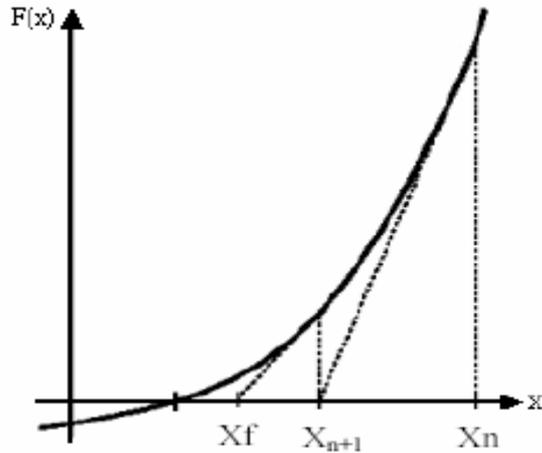


Figure.II-4 : Principe de l’algorithme de Newton Raphson.

Les itérations sont arrêtées et l’algorithme doit avoir converger lorsque la différence entre les deux dernières itérations est inférieure à la valeur proportionnelle à la constante ε .

ε : est donc le coefficient de convergence et de précision de l’algorithme.

Cependant si le point de départ était dans les zones la caractéristique sensibles (pente horizontale ou verticale) l’algorithme n’aurait aucune chance de converger. C’est la raison pour la quelle on modifie légèrement dans les types de simulateur SPICE la valeur de **GMIN**.

II-7-5. Méthodes numériques d’intégration

Dans une analyse transitoire, certains éléments dits à mémoire, font intervenir des équations différentielles. Ces éléments sont en particulier les capacités et les inductances.

Intégrer numériquement une équation différentielle consiste à partir de la valeur initiale x_0 et calculer successivement les valeurs $x(t_1)$, $x(t_2)$... $x(t_k)$...jusqu’à la valeur finale $x(t_N)$ correspondante à la solution recherchée. En simulation électrique, l’intégration numérique transforme un système d’équations différentielles en un système d’équations algébriques, en d’autre terme il transforme un réseau dynamique éventuellement non linéaire en un réseau résistif éventuellement non linéaire.

- La méthode d’intégration d’Euler

C’est la méthode la plus simple qui fait intervenir seulement deux points : celui de l’itération intérieure et celui de l’itération calculée :

$$X(n+1) = X(n) + h.f(X(n+1), t(n+1)) \quad (\text{II-11})$$

Cet algorithme donne une précision relativement bonne.

- La méthode d'intégration trapézoïde

Cette méthode consiste à considérer la moyenne effectuée sur les deux derniers points. Sa formulation est la suivante :

$$X(n+1) = X(n) + \frac{h}{2} [f(X(n), t(n)) + f(X(n+1), t(n+1))] \quad (\text{II-12})$$

Cet algorithme est plus précis que le précédent.

- Les méthodes d'intégration de Gear

Les algorithmes de GEAR faire intervenir les coefficients a_i qui permettent d'obtenir une meilleure stabilité. En effet le calcul de la nouvelle itération prendra en compte plus de points antérieurs.

$$X(n+1) = \frac{4}{3}X(n) - \frac{1}{3}X(n-1) + \frac{2}{3}h.f(X(n+1), t(n+1)) \quad (\text{II-13})$$

Cet algorithme présente l'avantage d'être plus stable que les précédents, au détriment de la précision.

Le simulateur gère lui-même le passage d'un algorithme à l'autre suivant les problèmes d'oscillation rencontrés.

Le simulateur PSPICE propose l'algorithme du trapèze ainsi que celui de Gear d'ordre 2 comme résolvant du système d'équations. Par contre pour le cas de logiciel Simplorer les méthodes de trapèze et d'Euler sont celles utilisées.

II-8. Les limites d'utilisation d'un simulateur

De part les différentes erreurs de calculs associées aux différentes méthodes numériques et de part sa complexité, si un simulateur électrique est un outil de conception de circuits intégrés incontournable et puissant, c'est également un outil conditionnellement fiable, dont l'utilisation peut parfois s'avérer délicate et incertaine. L'utilisateur averti doit toujours pouvoir interpréter les résultats et si nécessaire affiner ou modifier les différents paramètres de réglage et de contrôle des algorithmes.

II-9. La simulation électrique sous SPICE

La référence en matière de simulateur analogique de circuits intégrés est le programme SPICE, développé à l'université de Berkeley. Il a donné lieu à de nombreuses versions industrielles basées sur un même langage de description structurelle, nommé dans ce document langage SPICE. Une bibliothèque de composants modélisés dans le code même du simulateur est fournie et

comporte des éléments passifs (résistances, capacités, inductances, inductances mutuelles), des composants semi-conducteurs (diodes, transistors bipolaires, à effet de champ JFET et MOSFET), des sources idéales indépendantes de tension et de courant et enfin des sources idéales contrôlées polynomiales (sources de tension ou courant contrôlées par des tensions ou des courants). L'écriture de nouveaux modèles de composants est une tâche difficile de programmation, qui dépend des algorithmes utilisés par le simulateur, elle est donc réservée à des spécialistes.

Des simulateurs plus récents, tels que **Saber**, **Eldo**, **Spectre** proposent, quant à eux, des langages de description comportementale, qui facilitent l'écriture de nouveaux modèles. Ils possèdent d'autre part une bibliothèque étendue de primitives comportant des modèles comportementaux de macro-blocs (amplificateurs, comparateurs, commutateurs analogiques, portes logiques, etc...).

La première étape effectuée par ces programmes consiste en la mise en équation du réseau électrique par application des lois de Kirchhoff. Signalons que la taille du système d'équations est une fonction exponentielle du nombre de noeuds et conditionne donc fortement la vitesse de simulation. Plusieurs types d'analyse peuvent alors être réalisés pour étudier le comportement du circuit:

- L'étude du point de fonctionnement du circuit ou analyse DC qui correspond à une étude en régime permanent.
- L'étude de la réponse temporelle dite analyse transitoire.
- L'étude de la réponse fréquentielle ou petits signaux (analyse AC), pour laquelle le circuit est linéarisé autour du point de fonctionnement.
- Les analyses de bruit, généralement fréquentielles, mais il existe aussi des techniques de simulation transitoire de bruit, utilisées par exemple dans le simulateur Eldo.
- L'étude de la sensibilité, qui consiste en la définition du pourcentage de variation de grandeurs électriques du circuit en fonction de certains paramètres de conception, en linéarisant le circuit autour d'un point de polarisation.
- La définition des pôles et zéros, à la suite d'une analyse fréquentielle, par exemple par l'algorithme QZ de recherche de valeurs propres.
- Les analyses statistiques de type Monte-Carlo afin de déterminer la dispersion des performances du circuit en fonction des fluctuations statistiques de paramètres de conception. Un grand nombre de simulations sont ici requises. Cette étude permet ensuite de définir la valeur nominale des composants pour obtenir un rendement optimal.

Ces simulateurs doivent faire face à des problèmes de convergence qui apparaissent essentiellement lors de la recherche du point de fonctionnement pour les circuits comportant un nombre élevé de transistors, ainsi que pour les circuits fortement couplés, en particulier en présence de transistors bipolaires. D'autre part, certaines applications à échantillonnage, telles que les filtres à capacités commutées, les boucles à verrouillage de phase (PLL) ou encore les alimentations à découpage, requièrent des temps de simulation temporelle relativement élevés.

Enfin, concernant les circuits analogiques-numériques, des simulateurs numériques particulièrement rapides doivent être bien sûr mis en oeuvre pour la partie numérique.

II-10. Quelques simulateurs des circuits électriques

Il existe une gamme de simulateurs qui permet de simuler différents types de circuits électriques. Cette offre couvre essentiellement la simulation de circuits électroniques aussi bien analogiques que numériques ou mixtes. On rencontre également des logiciels dont la vocation est plus pédagogique, facile à utiliser, mais ne présentant pas un intérêt scientifique évident.

| Nom du logiciel | Développeur | Description |
|-----------------|------------------|---|
| Pspice | OrCad | Simulateur Spice de circuits électroniques analogiques ou numériques http://www.orcad.com/products/pspice/ |
| Psim | Powersim | Simulateur de circuits électroniques de puissance et contrôle moteur http://www.powersimtsch.com/ |
| Wincad | Mecrelic | Simulateur Spice de circuits électroniques analogiques ou numériques http://glao.dezai.free.fr/ |
| Simplorer | Ansoft | Simulateur de circuits électroniques ou électromagnétiques http://www.ansoft.com/products/em/simplorer/ |
| DXP | Protel | Simulateur de circuits électroniques analogiques ou numériques http://www.protel.com/ |
| TKgate | Jeffery P.Hansen | Logiciel de simulation électronique gratuite, sources libres (licence GNU) http://www-2.cs.cmu.edu/~Hansen/tkgate/ |
| Electric | Steven M. Rubin | Logiciel de simulation électronique et électrique créé en 1982 par Steven M.Rubin et développé à l'origine par Linux, sources libres (licence GNU) http://www.gnu.org/software/electric/ |
| Schemaplic | Fitec | Logiciel de conception et de simulation des schémas électriques http://www.fitec.fr/interactif.htm |

Tableau II-2 : Quelques simulateurs de circuits électroniques [1]

II-11. Le simulateur utilisé dans la thèse : OrCad Pspice 9.2

PSPICE est un logiciel de simulation de fonctionnement des circuits électriques, initialement analogiques puis numérique ou mixte, qui, au long des années, est devenu un standard industriel et académique. Il est issu du logiciel SPICE développé en FORTRON en 1970 par D. OPPERSON et L.W. NAGEL à l'université Berkeley. SPICE avait une interface de type texte et le résultat de simulation était sous forme de grands tableaux de chiffres imprimés sur le long listing déroulé dans le crépitement des télétypes.

Aujourd'hui tombé dans le domaine public, SPICE a donné naissance à de nombreuses versions commerciales tournant sur stations ou sur PC, nous citerons PSPICE de MICROSIM, HSPICE sur station de travail, ISPICE, et SMASH qui toutes ont le même moteur de base.

Pendant plus de 10 ans, PSPICE a été commercialisé par la société MICROSIM et les versions se sont succédées fonctionnant d'abord sous DOS (jusqu'à la version 5) puis sous WINDOWS.

Depuis 1999 MICROSIM [12] a été racheté par le groupe ORCAD grand spécialiste de logiciels de simulation sur PC. La version ORCAD PSPICE V9 a des performances semblables à 7.1 ou 8 mais un environnement différent. En particulier la saisie de schémas est différente de Schématic de MICROSIM.

Sa version, PSpice 9.2.3 est un des modules fonctionnels d'OrCad. Le premier simulateur de PSpice a été introduit en 1985. Depuis cette date, il a été constamment mis à jour en fonction de la technologie des ressources informatiques et des systèmes d'exploitation jusqu'au point de devenir un outil universellement utilisé dans l'industrie, dans les universités et dans les laboratoires de recherche. La plupart des fabricants de composants électroniques fournissent aujourd'hui des modèles écrits en PSpice.

PSpice est un simulateur complet pour la conception analogique. Avec ses modèles internes et ses bibliothèques largement rependues et développées, les systèmes à haute fréquence jusqu'aux circuits intégrés de basse puissance, tout peut être simulé. Dans la bibliothèque de PSpice, des modèles peuvent être édités mais les utilisateurs peuvent également créer des modèles pour de nouveaux dispositifs à partir des fiches techniques. « PSpice A/D Basics » est un simulateur de signaux mixtes. C'est une version plus élaborée de PSpice qui peut être employée pour simuler des systèmes mixtes sans limite théorique de taille, contenant des parties analogiques et des éléments numériques. Malheureusement, quand il s'agit de grands systèmes, les simulations deviennent trop lourdes et demandent un temps d'exécution prohibitif.

De quoi s'agit il ?

PSPICE est un simulateur mixte de l'électronique, c'est-à-dire qu'il est possible de simuler le comportement électrique de dispositifs associant des fonctions analogiques et logiques.

Pour fonctionner Pspice repose sur une bibliothèque de modèles Spice.

En outre, il permet de simuler des montages complexes avec réalisme étonnant. L'utilisation de Windows permet de le rendre plus convivial, toutefois seules des machines puissantes (au minimum un Pentium) permettent de travailler dans des conditions acceptables.

II-11-1. PSpice: prise en main

Compte tenu de ce qui vient d'être dit, nous n'utiliserons que deux des modules qui composent PSpice ; Schematics qui permet de réaliser un schéma du circuit à tester et PSpice A/D, le module de simulation et d'analyse.

La démarche consiste à:

- dessiner un schéma du montage et placer sur ce schéma un ou plusieurs appareils de mesure virtuels (voltmètres et/ou ampèremètres).
- configurer et paramétrer le dispositif d'analyse.
- lancer la simulation et étudier les résultats.

Les deux premières étapes se déroulent à l'intérieur du module Schématics; pour la troisième étape, on passe dans le module PSpice A/D.

II-11-2. Etapes d'une simulation par Pspice

Pour simuler le fonctionnement d'un circuit électrique analogique, plusieurs étapes sont nécessaires :

- Une description du circuit, des composants qui le constituent et des interconnexions. Ceci fait l'objet d'un fichier texte nommé « xxx.CIR » qui est écrit soit par l'utilisateur grâce à un quelconque éditeur de texte, ou construit automatiquement par le logiciel de simulation. Dans ce cas ci, le schéma du circuit est édité sur l'écran par emploi de l'option « SCHEMATIC » fournie par le simulateur électrique OrCAD Pspice [12].
- Une description des sources de tension et courant qui sont reliées au circuit, alimentations et signaux d'excitation (STIMULI). Dans les versions DOS cette description est également contenue dans le fichier CIR précédent.
- Le calcul de la réponse du circuit par le logiciel SPICE proprement dit. Plusieurs types de simulation sont possibles nous les décrirons plus loin.

- L'exploitation des résultats. Le temps des longs listings est révolu, les résultats sont présentés à l'écran sous forme de courbes multicolores.
 - Pour la version MCROSIM le logiciel chargé de cette tâche s'appelle PROBE.
- La figure II-5 illustre la répartition du travail entre ces différents éléments logiciels.

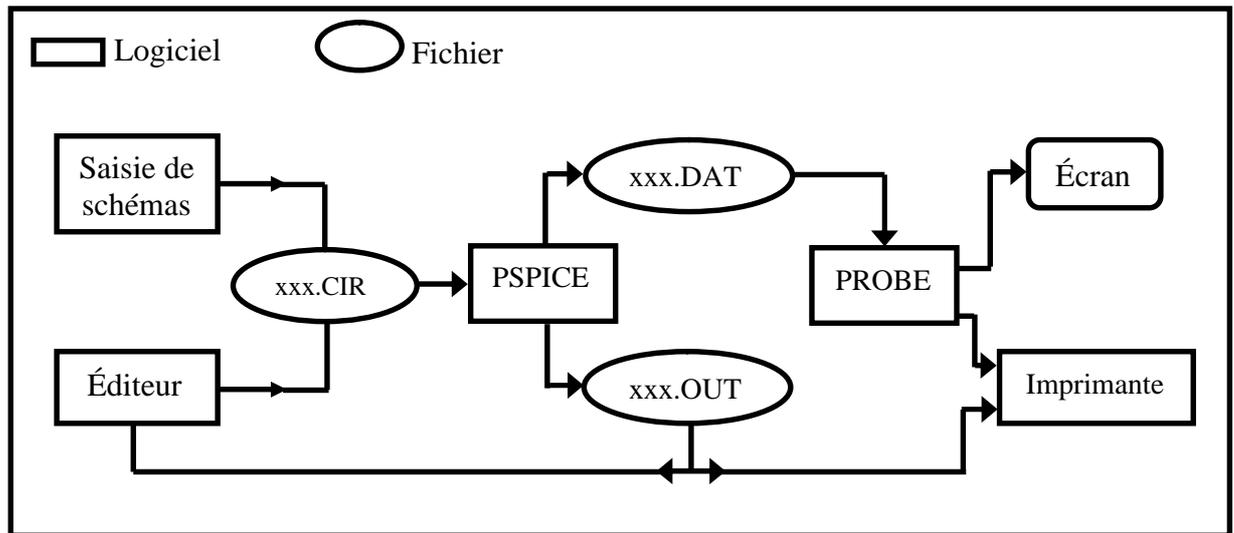


Fig. II-5 : Répartition du travail entre différents éléments de Pspice.

II-11-3. La description d'un circuit

Un circuit électrique est constitué par des composants placés entre les nœuds d'un réseau. Pour décrire sa structure, il suffit de définir le contenu de chaque branche. Dans PSPICE chaque nœud porte un numéro (ce peut aussi être un nom) défini par l'utilisateur ou attribué automatiquement par le logiciel de saisie de schémas. L'un de ces nœuds est la masse GND (ou AGND) qui porte obligatoirement le numéro 0.

Le fichier de description NETLIST réserve une ligne pour chaque branche, cette ligne débute par une lettre caractéristique du composant, R pour résistance, C pour condensateur etc.... (Tableau ci-joint) suivi d'un numéro (ou de lettres) indiquant le numéro de composant. Suivent les nœuds auxquels est affiché le composant (pour un composant ayant plus de deux accès, plusieurs nœuds peuvent figurer dans un ordre dans chaque cas. La ligne se termine par la valeur du composant ou sa désignation précise s'il s'agit d'un composant actif.

II-12. Conclusion

Les simulateurs doivent faire face à des problèmes de convergence qui apparaissent essentiellement lors de la recherche du point de fonctionnement pour les circuits comportant un nombre élevé des transistors, ainsi que pour les circuits fortement couplés, en particulier lors de la présence des transistors bipolaires.

Les capacités de convergence des simulateurs sont fortement conditionnées par le nombre de transistors. Même si de nouvelles techniques de simulation (algorithme de résolution) plus rapides sont développées, cette limitation ne peut être résolue qu'en adoptant une approche hiérarchique multi-niveaux, consistant à décomposer le système en un ensemble de blocs fonctionnels. Le schéma de chaque bloc, ou de seulement certains d'entre eux, peut alors être remplacé par une description approchée uniquement fonctionnelle et très abstraite.

Dans la plupart des simulateurs, le choix de la résolution des systèmes d'équations (matrice) est donné à l'utilisateur afin de prendre l'algorithme qui lui convient en fonction de la précision cherchée.

Il est important de connaître le fonctionnement du simulateur pour mieux appréhender lors d'une simulation le compromis « temps de simulation » et « précision ».

Chapitre III

Défaillance des circuits intégrés

III-1. Introduction :

Le flot de développement et de fabrication a un impact sur la qualité et la fiabilité finale d'un produit. Les raisons pour lesquels un circuit peut être défaillant sont de deux origines selon qu'elles sont liées à la conception ou à la fabrication. Réaliser un produit de qualité requiert donc une coopération étroite entre les trois aspects que sont la conception, le test et le processus de fabrication. Les différentes interactions entre ces trois domaines sont représentées à la figure III-1. Certaines de ces interactions sont évidentes et clairement admises comme par exemple les règles de conception ou règles de dessin qui contraignent la conception pour satisfaire le processus de fabrication. D'autres interactions commencent à être admises voire appliquées comme par exemple :

- la conception en vue du test.
- Le test orienté défaut qui consiste à utiliser les données et statistiques en provenance des chaînes de fabrication pour orienter les efforts de test [32].

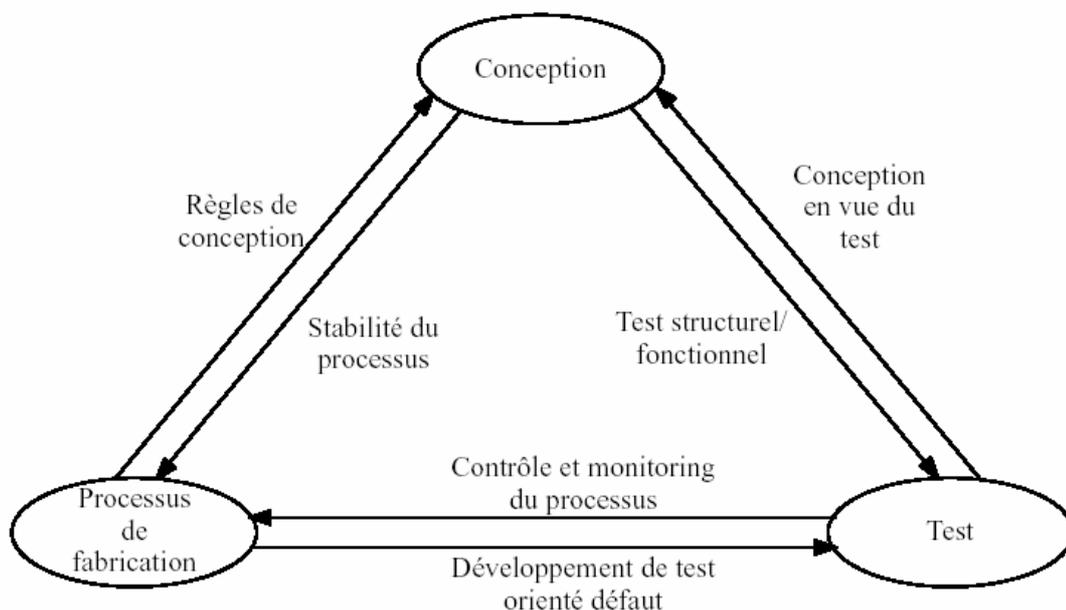


Figure.III-1 : interaction entre conception, test et processus de fabrication en vue d'une production de qualité.

Une défaillance du système survient lorsque le service délivré dévie des conditions établies dans la spécification, qui est une description agréée du service attendu. Une erreur est un état, par rapport au processus de traitement, susceptible de conduire à une défaillance. Une faute est la cause supposée ou adjugée d'une erreur [15].

Une erreur est donc la manifestation d'une faute dans le système, alors qu'une défaillance est la manifestation d'une erreur sur le service délivré par le système.

Une erreur peut résulter :

a) De l'activation d'une faute interne au système, préalablement dormante, une faute interne peut :

- Résulter d'une défaillance physique d'un composant matériel (alors vu comme un système) ; on parle alors de faute physique.
- Etre une faute de conception affectant le logiciel ou le matériel ; le terme "conception" doit être pris ici au sens large, depuis l'expression des besoins du système jusqu'à sa réalisation, tant au cours de la production initiale du système que lors de modifications ultérieures.

b) De l'occurrence d'une faute externe, qui peut soit être relative à l'environnement physique du système, soit être une faute humaine d'interaction ; il y a alors génération d'une erreur.

L'obtention d'un système Logiciel/Matériel sûr de fonctionnement passe par l'utilisation combinée d'un ensemble de méthodes que l'on peut classer comme suit [15] :

- **Prévention des fautes** : comment empêcher, par construction, l'occurrence ou l'introduction de fautes.
- **Tolérance aux fautes** : comment fournir, par redondance, un service conforme à la spécification en dépit des fautes.
- **Elimination des fautes** : comment minimiser, par vérification, la présence de fautes.
- **Prévision des fautes** : comment estimer, par évaluation, la présence, la création, et les conséquences de fautes.

III-2. Sources de défauts dans les circuits intégrés

III-2-1. Les erreurs de conception

L'augmentation de complexité des circuits rend de plus en plus difficile de vérifier que la conception implémente bien les spécifications de haut niveau. Des validations à tous les niveaux de la conception peuvent faciliter cette vérification. Ces validations sont en général faites par simulation voire quelquefois par preuve formelle et sont très consommatrices en temps. Elles sont de plus incomplètes car elles ne peuvent pas être exhaustives pour des raisons économiques (temps de simulation trop importants) mais aussi pour des raisons techniques (paramètres

environnementaux trop importants). Les erreurs de conception sont mises en évidence pendant la phase de caractérisation du produit. Elles sont résolues par une reconception adéquate. Bien que parfois mise en évidence par des procédures de test, elles ne constituent pas la cible et l'objectif des techniques et méthodes présentées dans ce document [32].

III-2-2. Les défauts de fabrication

Quelles que soient les qualités du processus de validation et donc du niveau de confiance et du crédit à apporter à la conception vis à vis des spécifications, il reste néanmoins que les défauts de fabrication peuvent apparaître à n'importe quelles étapes de la fabrication. Ils doivent donc être pris en compte :

- En essayant de les minimiser le plus possible par une amélioration du rendement de production.
- lors de l'élaboration de techniques de test pour le circuit.

La suivante va donner un bref aperçu des différents mécanismes qui contribuent à l'occurrence de ces défauts de fabrication.

III-3. Défaillances physiques et défauts de fabrication

Le but du test tel qu'il a été précisé en introduction est de déterminer les circuits défaillants du fait de la présence d'un ou plusieurs défauts (ou défaillances) physiques. Il paraîtrait donc naturel de s'intéresser tout d'abord aux différents types de défaillances pouvant affecter un circuit [32].

Malheureusement, il n'existe pas d'ensemble cohérent de types de défaillances permettant de couvrir tous les défauts pouvant apparaître dans les différentes technologies utilisées pour la réalisation des circuits; chacune de ces technologies présentant des modes de défaillance bien particuliers. Une étude complète et détaillée de l'ensemble des défauts physiques pouvant affecter un circuit intégré sort donc de l'objectif particulier de ce mémoire. Néanmoins et afin de cerner le problème nous dirons quelques mots des différents types de défauts pouvant affecter les circuits intégrés et plus particulièrement ceux réalisés en technologies MOS.

III-3-1. Mécanismes de défaillance

Les mécanismes de défaillance les plus importants conduisant à l'apparition de défauts sont :

- Défauts des tranches

Malgré les considérables progrès réalisés dans la fabrication des tranches, les contaminations et les micro-cracks ne peuvent pas être complètement éliminés. Ils induisent naturellement des dysfonctionnements des éléments se trouvant dans la zone affectée.

- Facteurs humains

L'interaction de l'homme avec le processus de fabrication constitue depuis toujours une importante cause de défauts. La pollution de l'air par les opérateurs constitue naturellement le facteur le plus important. Mais des facteurs comme une manutention maladroite, l'oubli voire la duplication d'étapes n'est pas à négliger. On cherche à réduire ces facteurs par une automatisation et une robotisation de plus en plus poussées en particulier pour les lignes de très forte production.

- Pannes d'équipement

C'est une des sources principales de défauts dans les unités de production moderne. L'impact de ces défaillances d'équipement peut être minimisé par l'application de maintenance préventive sur les équipements sujets à défaillance. L'intervalle entre maintenances provient naturellement d'un compromis effectué entre le coût de la maintenance et le coût induit par une défaillance de l'équipement concerné.

- Impact de l'environnement

Durant quasiment tout le processus de fabrication, les tranches sont en contact avec l'air à l'intérieur de l'unité de production. Toute pollution de cet air par des particules de dimensions supérieures aux dimensions minimum du processus peut amener des problèmes si elle vient à se déposer sur la tranche. Malgré les sommes considérables affectées au filtrage et à la dépollution de cet air, la présence de source de particules polluantes à l'intérieur même de la zone de production interdite de pouvoir espérer supprimer toutes ces particules. Il s'avère donc nécessaire de tester chacun des circuits produits afin de s'assurer de son bon fonctionnement.

- Instabilité du processus de fabrication

Ce type d'instabilités est du à des conditions de fabrication très critiques et particulières. Par exemple, la température dans un four d'oxydation ou encore les turbulences dans le flot des gaz utilisés pour la déposition dans les techniques de CVD ("Chemical Vapor Deposition").

III-3-2. Classification des fautes

Une faute peut être définie comme un effet d'un défaut sur les caractéristiques électriques d'un circuit intégré s'éloignant du comportement spécifié. Les sources de fautes dans les circuits analogiques (processus de perturbation) sont soit des défauts globaux soit des défauts locaux [37].

- Défauts globaux

Incluent une imperfection dans les paramètres de contrôle durant la fabrication des circuits intégrés, instabilités des conditions du processus, instabilités du matériau, inhomogénéité du substrat et mauvais alignements des masques. Des défauts pareils affectent toutes les puces sur la plaquette approximativement de la même manière.

Des exemples typiques [32] de défaut global sont le désalignement de masques, le mauvais dimensionnement (largeur) des interconnexions ou encore des problèmes d'implantation affectant les paramètres des transistors (tension de seuil). Ces types de défauts sont en général détectés par monitoring de paramètres dans quelques emplacements de la tranche [32].

L'occurrence de défauts globaux dans une ligne de production peut s'avérer extrêmement coûteuse en particulier pour des lignes de fabrication à grand volume. Pour éviter ce genre de problèmes, la qualité du processus de fabrication est surveillée ("monitor") soit directement soit indirectement. La surveillance directe s'effectue par l'intermédiaire de modules de test spécialement conçus qui sont connus sous le terme PCM (pour "Process Control Monitoring"). Ces PCM contiennent des structures de base telles que transistors, connexions de matériaux conducteurs ou encore chaîne de contacts (vias). En général, chaque tranche produite contient aux alentours de cinq PCM répartis de manière à couvrir la surface de la meilleure façon.

- Défauts locaux

Tels que souillures, trous dans l'oxyde, absence de contacts etc...., proviennent habituellement des particules durant le processus de fabrication et modifient un système particulier ou bien une très petite partie d'une puce [32]. Les défauts locaux n'affectent que de faibles zones des circuits. Un exemple typique est constitué par les particules de poussière. Ces défauts peuvent naturellement affectés plus d'un circuit sur la tranche. Chacun des circuits devra donc être testé pour s'assurer de son bon fonctionnement.

III-3-3. Défauts paramétriques et défauts fonctionnels

Certains défauts peuvent n'affecter que le comportement paramétrique du circuit. En d'autres termes, le circuit réalise sa fonction mais avec des performances inférieures à celles attendues.

La détection de tels défauts peut s'avérer très difficile et demander des tests spécifiques. Les autres types de défaut causent une faute catastrophique. Cette dernière peut aller, d'un dysfonctionnement pour une configuration particulière de données qui de ce fait peut s'avérer fort complexe à détecter jusqu'à une défaillance franche (indépendante des données) dont la détection posera beaucoup moins de problème.

III-4. Défauts des composants à semi-conducteurs

On rencontre le plus souvent des circuits électroniques analogiques tels que les diodes, les transistors, les circuits intégrés qui tombent en panne même si apparemment ces composants n'ont subi aucune usure. Cela est dû à plusieurs mécanismes qui se manifestent au niveau de leur structure interne tels que :

- Claquage de couches isolantes (Oxyde break down)

À mesure que le degré d'intégration s'élève, les couches isolantes des semi-conducteurs deviennent de plus en plus minces, elles se perforent avec le temps, même si elles ne sont pas soumises à une tension de claquage.

- Injection de porteurs chauds (Hot carrier injection)

Dans les semi-conducteurs, les porteurs de charges sont accélérés par les champs électriques. L'énergie produite risque d'être suffisante pour traverser les couches isolantes. Ce mécanisme de défaillance provoque souvent des défauts de fonctionnement intermittents.

- Electro-migration

Dans les pistes conductrices très minces, des ions métalliques peuvent se déplacer et entraîner dans le cas le plus sévère une coupure d'une liaison comme le montre la figure III-2.

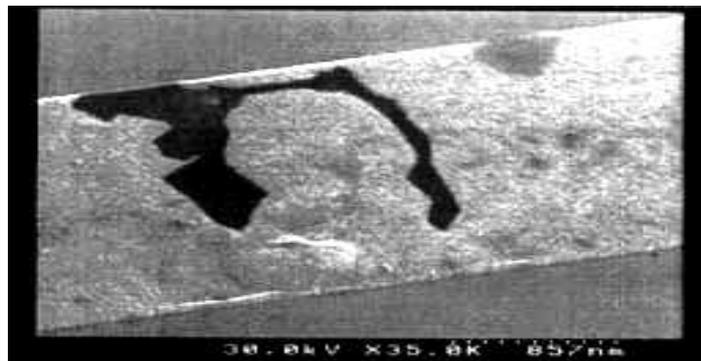


Figure.III-2 : Electro-migration.

- Crevasse dans les couches de passivation ou les couches métallisées

Ces effets se manifestent surtout dans les boîtiers en matière plastique, puisque l'inertie thermique du boîtier est plus forte que celle du Silicium. Ainsi les contraintes risquent de produire des craquelures dans les couches de protection et de fragmenter les pistes conductrices en Aluminium comme le montre la figure III-3.

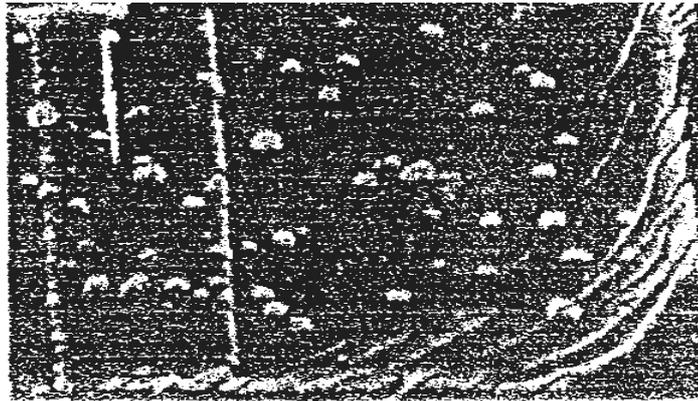


Figure.III-3 : Fissure dans les couches de passivation.

- Coupure des fils de liaison

Dans un circuit intégré, la puce proprement dite est reliée aux broches par un fil fin en Or ou en Aluminium, collé sur une plage métallisée. Les fils sont à rupture ou aux fissures par suite de différents mécanismes de défaillance comme est illustré sur la figure III-4.

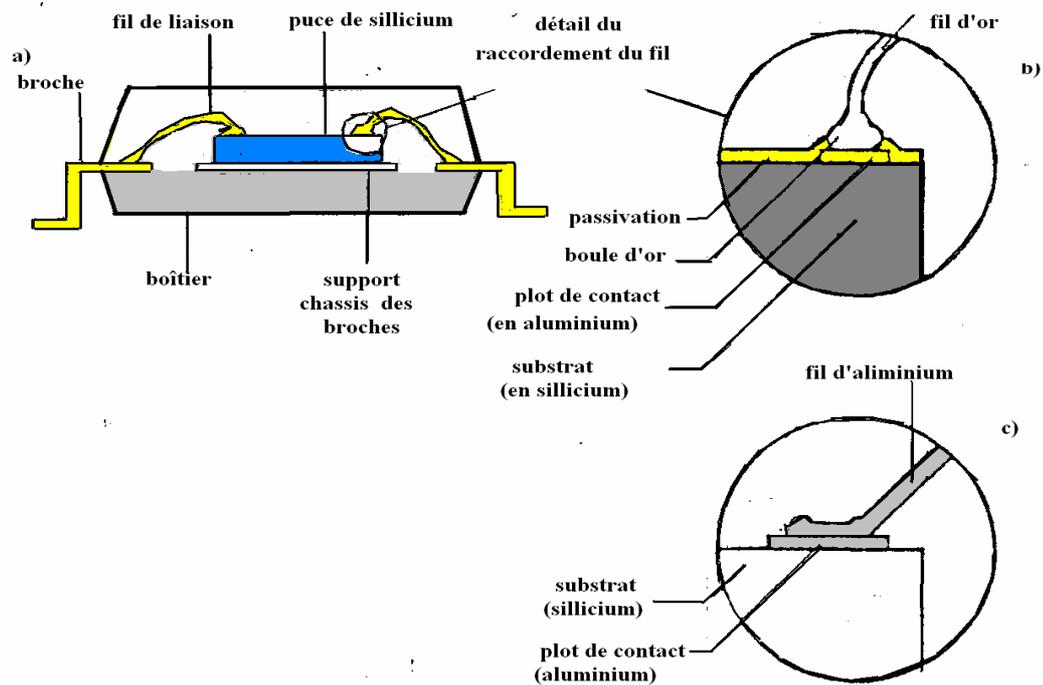


Figure. III-4 : réalisation des liaisons : a) coupe des circuits encapsulés, b) détail de la liaison par fil d'Or, c) aspect d'une liaison en fil d'Aluminium collé aux ultrasons.

- Corrosion par l'humidité

Les boîtiers en matière plastique sont particulièrement perméables à l'humidité. Il a été confirmé dans pas mal d'étude sur les mécanismes de défaillance que le taux d'humidité est un facteur grave quant au défaillance liée au collage par adhésion [30]. En cas de fonctionnement dans les condition d'humidité extrême, les plages métalliques en Aluminium risquent de se corroder, ce qui altérera les propriétés du circuit.

- Effet thyristor

Ce mécanisme de défaillance se produit dans les circuits CMOS. Si la tension appliquée à une broche est supérieure à la tension d'alimentation (V_{cc}) ou inférieure à celle de la masse (V_{dd}), le thyristor parasite que constitue la structure P-N-P entre V_{cc} et la masse risque de s'amorcer.

III-5. Les fautes de type matériel/physique

Les fautes de type matériel qui surgissent pendant l'exploitation du système sont classifiées par leur durée : permanente, transitoire, ou intermittente [15].

- Faute permanente

Est causée par un dommage irréversible au niveau du composant, tel qu'une jonction de semi-conducteur qui a été court-circuitée en raison d'un vieillissement thermique. Une faute permanente dans un circuit entraîne en général la défaillance de la carte utilisant ce circuit, et le rétablissement du service peut seulement être obtenu en remplaçant ou en réparant le composant ou le sous-ensemble endommagé.

- Faute transitoire (ou temporaire)

Est déclenchée par des conditions environnementales telles que la fluctuation d'une ligne de courant, une interférence électromagnétique ou un impact de particule. Ces fautes sont généralement de courte durée et endommagent rarement le composant affecté, bien qu'elles puissent induire un état incorrect dans le système. Avec l'arrivée des technologies nanométriques, les fautes transitoires, déjà difficiles à modéliser et à prédire, sont aujourd'hui de plus en plus évidentes et nombreuses, et constituent la cause de plus de 80% des défaillances dans les systèmes informatiques.

Parmi les effets transitoires les plus difficiles à maîtriser et dont l'impact est le plus difficile à évaluer, on note l'effet des particules provenant du rayonnement cosmique (par exemple, les neutrons atmosphériques) ou de la désintégration des isotopes instables présents dans les matériaux des circuits intégrés et de leur encapsulation (particules alpha).

- Faute intermittente

Les fautes temporaires internes sont souvent dénommées fautes intermittentes. Ces fautes résultent de la présence de combinaisons survenant rarement, telles que des changements au niveau des paramètres d'un composant matériel (effet de variations de température, retard dans les temporisations du à des capacités parasites) ou des situations, affectant aussi bien le logiciel que le matériel, survenant quand la charge excède une certaine valeur, par exemple des temporisations ou des synchronisations marginales.

III-6. Modélisation des fautes

Un fonctionnement anormal observable d'un système est appelé une erreur. Une erreur est une conséquence d'une faute dans le système [11] [37]. Les fautes peuvent résulter des causes suivantes:

- Erreurs de conception telles que des spécifications incomplètes, des contradictions entre les différents niveaux d'abstraction ou des violations des règles de conception.
- Erreurs de fabrication telles que des connexions incorrectes ou des composants non convenables.
- Défauts de fabrication lors du processus de fabrication.
- Défaillances physiques résultant du vieillissement des composants et des facteurs environnementaux.

Les fautes peuvent être permanentes, intermittentes ou transitoires comme est déjà mentionné. Il est très difficile d'examiner toutes ces sortes de fautes dans un modèle abstrait du système sous test; par exemple, si nous avons un modèle au niveau porte logique, alors il est très compliqué voire impossible de modéliser des erreurs d'alignement de la gaufre (mask alignment error). Les fautes logiques représentent des effets des fautes physiques. L'ensemble des fautes logiques possibles est appelé un modèle de fautes. Le modèle des fautes suppose que, dans un circuit combinatoire, chaque ligne peut être « collée » de façon permanente à une des valeurs logiques 0 ou 1. On dit que les fautes sont de types collé-0 ou collé-1. Si un circuit donné possède n lignes, chacune d'elles peut soit fonctionner correctement, soit être collée-0, soit être collée-1, alors le nombre de tous les cas possibles à considérer est $3^n - 1$. Dans le cas où seulement une ligne serait responsable d'induire le circuit en faute, le modèle est dit "collé à une seule faute", autrement il est dit "collé à fautes multiples".

Détecter une faute f dans un circuit combinatoire est un problème NP-complet. Le modèle « collé à une seule faute » est le plus utilisé grâce au fait qu'il est simple à manipuler et indépendant des technologies. Ce modèle a été étendu aux niveaux élevés d'abstraction comme le RTL. D'autres modèles de fautes ont été proposés, tels que les fautes du pont et les fautes du délai.

III-7. Techniques de simulation des fautes

L'objectif de la simulation des fautes est d'évaluer efficacement la couverture d'une séquence de test. La couverture peut être définie comme le pourcentage de fautes couvertes par la séquence, étant donné un modèle de faute [11] [37].

La simulation des fautes, de manière séquentielle, transforme le modèle du circuit sans fautes C pour représenter le circuit fautif C_f résultant d'une faute f . Avec cette technique, une seule faute

est simulée à la fois, d'où le processus doit être répété pour chaque faute; ceci le rend inapplicable pour des circuits réels.

La simulation des fautes parallèles simule simultanément le circuit bon et un nombre de circuits fautifs. Les réponses de tous ces circuits aux mêmes vecteurs de test sont emmagasinées dans des cases-mémoires contiguës.

La simulation des fautes déductives, basée sur la simulation du bon circuit, déduit le comportement de tous les circuits fautifs théoriques; seul un sous-ensemble de ces derniers est examiné à cause de la limitation de mémoire. La simulation des fautes concurrentes observe si des résultats des circuits fautifs concordent ou pas avec ceux du bon circuit (sain) et elle continue l'analyse juste pour les circuits dont les sorties sont incorrectes [11] [37].

III-8. Modèles de fautes des circuits analogiques

Il existe pour les fautes en analogique de nombreux modèles. Cependant il est d'usage de classer les fautes en analogique en deux catégories [30]:

- Les fautes paramétriques qui représentent la déviation douce d'un paramètre par rapport à sa valeur nominale. La présence d'une faute paramétrique impose un fonctionnement de circuit avec certaines déviations des spécifications (il fonctionne mal).
- Les fautes catastrophiques sont des fautes représentant une très grande déviation d'un paramètre, ce sont par exemple les courts-circuits et les circuits ouverts. La présence d'une faute catastrophique impose un fonctionnement de circuit très loin des ces spécifications (il ne fonctionne pas).

| Eléments | Fautes |
|---|--|
| Transistor MOS | Courts-circuits : <ul style="list-style-type: none"> - entre le drain et la source - entre le drain et la grille - entre la grille et la source Grille flottante. Courants de fuite. |
| Condensateurs et résistances | Courts-circuits Circuits ouverts |
| Transistor bipolaire et BiCMOS | Courts-circuits : <ul style="list-style-type: none"> - entre le collecteur et la base - entre le collecteur et l'émetteur - entre la base et l'émetteur - courts-circuits vers le substrat |
| Tableau III-1 : Différents types de fautes et composants affectés [30] | |

III-8-1. La modélisation de fautes en analogique

La modélisation et l'injection de fautes en analogique peut se faire selon deux niveaux de modélisation d'un circuit analogique, le niveau circuit et le niveau comportemental.

La modélisation de fautes au niveau circuit se base sur la description du circuit sans fautes et l'injection de fautes peut alors se faire [30] [37]:

- Au niveau des éléments (transistors par la modification de certains paramètres ou l'insertion de courts-circuits ou des circuits ouverts aux bornes de ces éléments.
- Au niveau du circuit, par l'insertion de courts-circuits ou de circuits ouverts dans le circuit. Cependant il n'existe pas de corrélation réelle entre les fautes générées de cette façon ou les fautes provenant de défauts réels susceptibles d'apparaître au cours du processus de fabrication.

La modélisation de fautes au niveau comportemental se base sur les données statistiques des répartitions de défauts provenant de la fabrication. Ces défauts sont alors simulés au niveau technologique puis classés en fonction de leur incidence sur le fonctionnement du circuit. Les fautes peuvent être raffinées par simulation analogique fonctionnelle.

III-8-2. Génération de la liste de fautes

De la même manière que pour la modélisation de fautes, la génération de liste des fautes peut être conduite soit au niveau circuit (netlist) ce qui conduit à une liste exhaustive comportant éventuellement des redondances, soit à partir du layout, c'est ce que l'on appelle l'analyse de faute inductive (IFA : Inductive Fault Analysis). Dans ce dernier cas la liste de fautes est générée à partir d'une description statistique de défaut sur le Layout. Cette méthode a l'avantage de fournir une liste de fautes optimisées mais réclame un grand temps de calcul et des outils spécialisés.

III-8-3. La simulation de fautes

La simulation de fautes [37] sert à déterminer la capacité des stimuli de test à détecter une faute. Dans le domaine analogique, la simulation de fautes est en général opérée en utilisant des simulateurs analogiques du type SPICE, ELDO, SPECTRE, ou SABER. Les étapes effectuées sont les suivantes :

- Simulation de circuit sans fautes.
- Injection d'une faute.
- Simulation de circuit avec faute pour un stimulus donné.
- Comparaison des résultats de simulation et évaluation du stimulus.

Cependant cette manière d'opérer est très gourmande en temps de calcul et l'utilisation du simulateur analogique n'est pas optimisée. Les principaux points gênants sont :

- Le temps de simulation et la précision de calcul
- La prise en compte des dispersions technologiques sur les paramètres.
- La capacité de simuler les modes AC, DC et transitoires.

De nombreux travaux [30] [32] [37] ont été effectués sur la simulation de fautes en analogique et des simulateurs de fautes ont été créés en adaptant des simulateurs analogiques. C'est le cas de FSPICE basé sur le simulateur SPICE et de ANAFAULT basé lui sur ELDO d'ANACADE/MENTOR GRAPHICS.

Des travaux ont également porté sur l'optimisation du temps de simulation notamment pour les circuits linéaire et la simulation de fautes en mode DC [30] [20] (qui est un mode de test fréquent en raison de sa rapidité et de son coût). D'autres travaux [29] [33] [14] se sont attachés à utiliser la description comportementale de circuits analogiques à partir de langages de description du matériel. Cette méthode propose de remplacer la partie du circuit qui n'est pas soumis à une injection de fautes par un model comportemental ce qui permet d'améliorer le temps de calcul. Il existe également des travaux portant sur la simulation de fautes de circuits à capacités commutées basés sur des simulateurs spécifiques pour de tels circuits.

III-9. Test de circuits analogiques et mixtes

Le test de circuits intégrés analogiques est une étape importante et coûteuse de cycle de fabrication. Cependant le test de circuits intégrés analogiques est un domaine complexe ou pour l'instant peu de solutions ont été adoptées par l'industrie. Les raisons de problématique du test de circuits intégrés analogiques sont [9]:

- La nature des signaux

Les signaux analogiques sont continus, ceci implique que l'ensemble des valeurs pris par les signaux est infini. En considérant une précision fixe du système de mesure, on doit alors travailler avec des échelles de tolérance.

Les relations entre les signaux d'entrée et de sortie des circuits analogiques sont souvent très complexe par rapport à celles des systèmes numériques. Elles sont plus difficiles à modéliser que ces dernières qui sont basées sur les tables de vérité, précises et facile à modéliser.

Dans les circuits analogiques, le signal peut être une tension, un courant, une phase, une fréquence etc. à temps continu ou discret. De plus la mesure de signaux analogiques est difficile à réaliser sans les perturbés. De plus, dans le cas d'électronique analogique d'interface de capteurs, les signaux sont très petits émergeant à peine du bruit de fond.

Les systèmes analogiques sont souvent non linéaires, ont des caractéristiques de bruit et possèdent des paramètres qui fluctuent beaucoup.

- Les modes de défaillances

Les modes de défaillance sont très nombreux et modélisables. Il varie non seulement avec le type de technologie microélectronique mais aussi avec les différents procédés à l'intérieur d'une même classe.

Au contraire des circuits numériques basés sur l'emploi des transistor NMOS et PMOS, il existe dans les circuits analogiques toute une variété de composants complexes (transistor MOS, bipolaire,...), condensateurs, diodes, résistances, inductances...cela complexifie les étude des mécanismes de défaillance.

La distribution statique des fautes dans les systèmes analogiques n'est généralement pas connue avec assez de précision, pour cette raison les méthodes de probabilité sont souvent inopérantes.

- L'accessibilité

Les circuits analogiques contiennent des boucles fermées, et des composants n'ayant ni entrée ni sortie identifiées.

- Les équipements de test

La complexité et les performances des circuits analogiques récents ainsi que le nombre important de paramètres et l'accessibilité induite aux structures internes restreint l'usage d'équipement de test automatique, de tels équipements n'ont parfois pas assez de capacité de calcul et de stockage pour tester des circuits analogiques très complexes.

III-9-1. Le test fonctionnel de circuits analogiques

En ce qui concerne le test de circuits intégrés purement analogiques, dans la majorité des cas, un test fonctionnel est pratiqué. C'est-à-dire que la phase de test est un ensemble de mesures des spécifications du circuit opéré par une large gamme de signaux de test. Ces ensembles de test ne sont pas destinés à mettre en évidence la présence de défauts mais seulement à vérifier certaines fonctionnalités. Le test fonctionnel n'est de fait pas optimisé en terme de coût et il est impossible de lui affecter une qualité. Cependant il ne réclame aucun surcoût en terme de conception.

Les tests fonctionnels généralement effectués sont de quatre types [30]:

- **Les mesures DC** : qui mesurent le comportement statique du circuit, les points de polarisation et servent à tester les courants de fuite, les impédances de sortie, les *offsets* etc...
- **Les mesures AC** : elles servent à caractériser les réponses en fréquence en grands ou petits signaux et également les caractéristiques de distorsion.
- **Les mesures transitoires** : pour caractériser la réponse des circuits à des stimuli transitoires.
- **Les mesures de bruit.**

III-9-2. Les techniques de test structurel (test basé sur les fautes)

Les techniques de test structurel des circuits analogiques reprennent la philosophie du test structurel basé sur la simulation de fautes des circuits intégrés analogiques. C'est-à-dire que le test est un ensemble de signaux de test (stimuli) qui visent des défauts potentiels du circuit. Des fautes modélisant des défauts de fabrication sont injectées dans un modèle du circuit pour pouvoir générer les vecteurs de test détectant ces fautes et établir une valeur de couverture de faute. Le test peut alors être évalué en terme d'efficacité à détecter certains défauts. Le développement d'une telle stratégie de test impose alors les étapes suivantes :

- Analyse des mécanismes et des modes de défaillance
- Génération des listes de fautes.
- Modélisation, injection et simulation de fautes.
- Génération des stimuli de test.
- Analyse de taux de couverture de fautes.

III-10. Modèles de fautes des circuits numériques

Dans le domaine de circuits numériques, il existe un restreint de modèles de fautes qui sont :

- **Collage** (stuck at) : c'est le collage d'un nœud du circuit à un état logique (0 ou 1) de manière permanente, ce type de faute est le plus utilisé pour la génération automatique de vecteurs de test par simulation de fautes pour les circuits numériques.
- **Collage à l'état passant et collage à l'état bloqué** (stuck open, stuck on) : c'est le collage d'un transistor dans l'état passant ou l'état bloqué, ce type de faute nécessite plusieurs vecteurs de test pour être détecté.
- **Court circuit** (bridge fault) : c'est une faute qui résulte du court circuit entre plusieurs lignes du circuit intégré. Elles peuvent donner un caractère séquentiel à un circuit combinatoire en formant des boucles de réaction.
- **Faute de délai** (Delay fault) : ce sont des fautes qui modélisent les défauts affectant le temps de propagation de signal à travers une porte logique.

Certaines de ces fautes comme le collage et le court circuit sont illustré sur la figure III-5

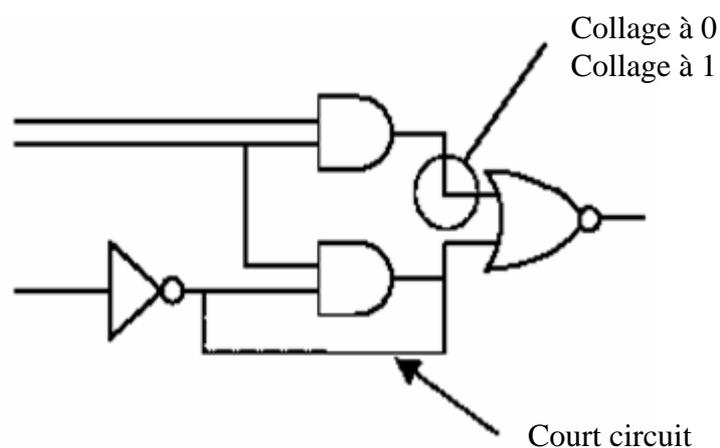


Figure.III-5 : fautes affectant un circuit numérique

III-10-1. Simulation de fautes en numérique

La simulation de fautes est une méthode qui permet à partir d'une description d'un circuit numérique et d'une liste de fautes susceptibles d'affecter ce circuit de qualifier un ensemble de vecteurs de test en terme de couverture de fautes. L'ensemble des vecteurs de test pourra alors être optimisé pour avoir la meilleure couverture de fautes. La simulation de fautes est directement liée aux défauts pouvant affecter les circuits intégrés, c'est pourquoi une telle méthode doit être accompagnée d'une étude de mécanisme de défaillance au niveau technologique :

- Un circuit est dit défaillant quand son comportement observé est différent du comportement attendu.
- Un mécanisme de défaillance est l'ensemble des phénomènes physiques menant à un défaut.
- Une faute est la manifestation d'un défaut physique d'un circuit.

III-11. Conclusion

Nous avons présenté dans ce chapitre une liste de défauts et de mécanismes de défaillance des circuits intégrés analogiques. Cette étude a pour but de rechercher les défauts potentiellement présents en sortie de fabrication des circuits analogiques.

Les mécanismes de défaillance présentés peuvent induire des défauts soit au moment de fabrication, soit au cours d'utilisation. Dans ce dernier cas, de nombreux facteurs peuvent activer ces phénomènes comme par exemple le taux d'humidité, la pression, les surcharges électriques et mécaniques, la température, etc.

Chapitre IV

*Modélisation des défauts
de l'amplificateur inverseur*

IV-1. Introduction :

La modélisation et l'injection de fautes en analogique peut se faire aux deux niveaux de modélisation d'un circuit analogique : le niveau circuit et le niveau comportemental.

La modélisation de fautes au niveau circuit se base sur la description du circuit sans fautes et l'injection de fautes peut alors se faire :

- Au niveau des éléments (transistors par la modification de certains paramètres ou l'insertion de courts-circuits ou des circuits ouverts aux bornes de ces éléments
- Au niveau du circuit, par l'insertion de courts-circuits ou de circuits ouverts dans le circuit.

Cependant il n'existe pas de corrélation réelle entre les fautes générées de cette façon ou les fautes provenant de défauts réels susceptibles d'apparaître au cours du processus de fabrication.

Ce chapitre est composé de deux parties, la première partie est consacrée à la simulation et la modélisation de circuit amplificateur inverseur sans fautes, la deuxième partie consiste la simulation de l'amplificateur inverseur en présence d'un défaut (court circuit ou circuit ouvert) au niveau d'un de ses transistors, puis développer le modèle correspondant à chaque défaut. Notre circuit accepte 96 défauts possibles sur les transistors, mais il y a des défauts qui ont le même effet sur le fonctionnement du circuit. On a classé ces défauts en 37 groupes et développé un modèle pour chaque groupe.

Une approche de Piece-Wise Linéaire (P.W.L) est alors appliquée pour approcher le comportement non linéaire de notre circuit à des régions linéaires chacune décrite par un circuit équivalent. Des équations linéaires sont jointes au modèle pour décrire chaque région d'opération, les éléments du modèle sont des impédances, et des sources de tension d'entrée et de sortie.

IV-2. Description du circuit amplificateur inverseur

L'amplificateur inverseur est le montage de base à amplificateur opérationnel, l'entrée non inverseuse est à la masse, le signal d'entrée est relié à l'entrée inverseuse par une résistance R_1 , comme la sortie est reliée à cette entrée par une résistance R_2 , comme le montre la figure IV-1.

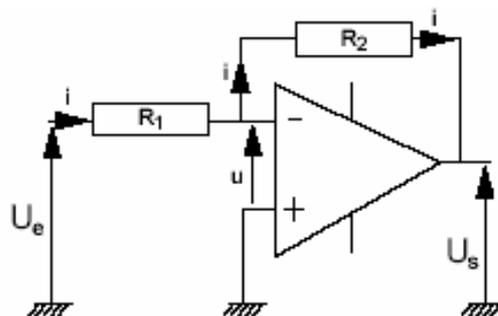


Fig.IV-1 : Schéma de l'amplificateur inverseur.

En utilisant les caractéristiques propres de l'amplificateur opérationnel définis en annexe 1:

- résistance d'entrée infinie signifie que le courant qui traverse R1 et R2 est le même.
- le gain de l'A.O.P en fonctionnement linéaire est infini, ce qui entraîne que la différence de potentiel u est nul.

Cela signifie que l'on pourra obtenir le gain que l'on désire par le choix d'un rapport de deux résistances, ce qui est commode parce que les résistances sont des composants très bon marché, de bonne qualité et de valeurs extrêmement variées.

$$\begin{aligned}
 i &= \frac{U_e - u}{R_1} = \frac{U_e}{R_1} \\
 i &= -\frac{U_s - u}{R_2} = -\frac{U_s}{R_2} \quad \Rightarrow \quad \frac{U_s}{U_e} = G = -\frac{R_2}{R_1}
 \end{aligned}
 \tag{IV-1}$$

L'amplificateur inverseur présente une résistance de sortie faible à cause de la contre réaction de tension appliquée à l'AOP. En revanche, sa résistance d'entrée est égale à R1.

L'inverseur qu'on a choisi pour développer des modèles et modèles de fautes est à base de l'amplificateur opérationnel de type UA 741, produit exclusif à la compagnie de renommée mondiale FERRANTI.

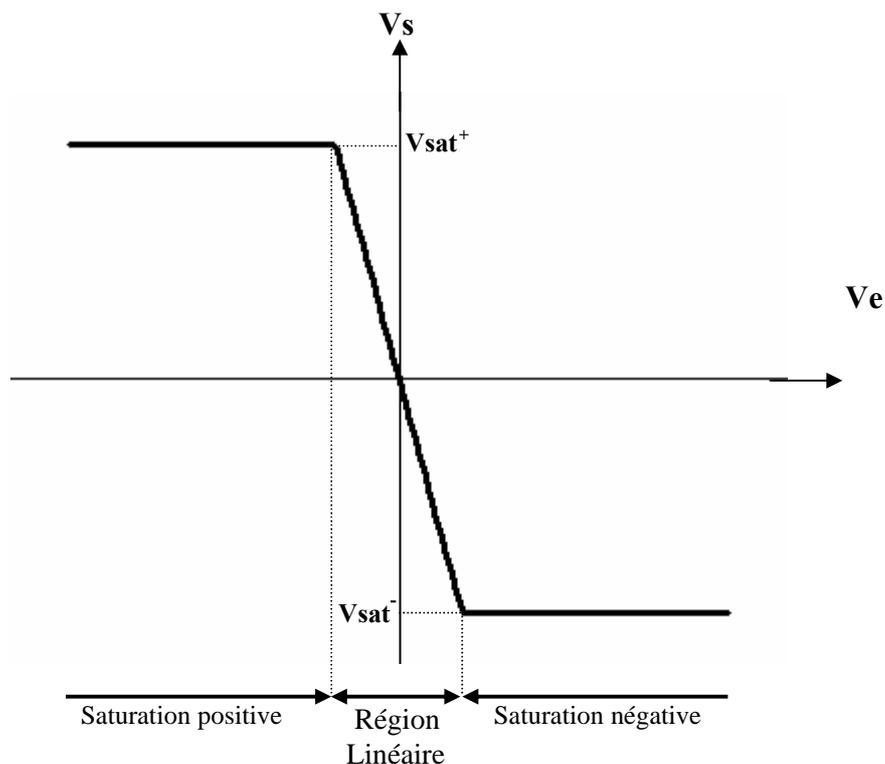


Figure.IV-2 : Caractéristique de transfert de l'amplificateur inverseur.

IV-3. Etude sur le $\mu A 741$ utilisé

L'amplificateur inverseur à étudier dans ce mémoire est à base de l'amplificateur opérationnel $\mu A 741$ ayant le schéma interne représentant dans la figure IV-3, les transistors constituant ce schéma sont de type « Mono Chip », leurs représentations sont illustré dans la figure IV-6.

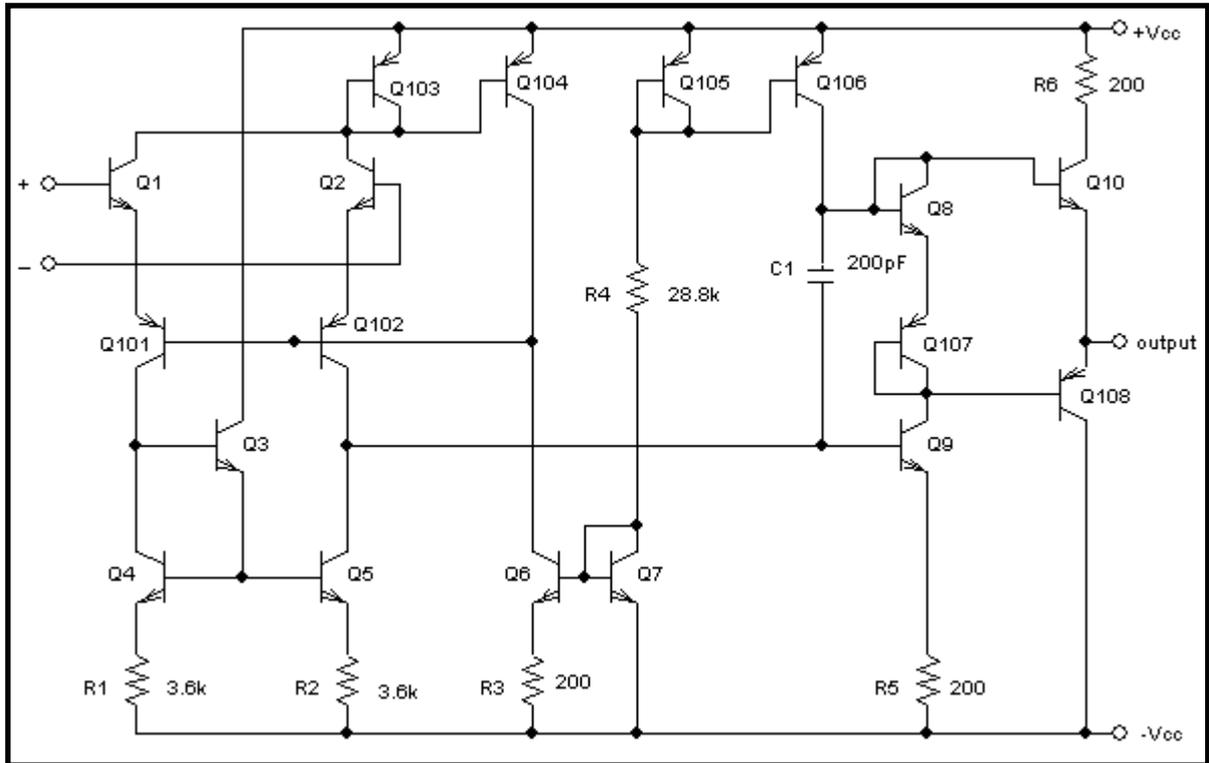


Fig.IV-3 : Schéma interne de l'amplificateur opérationnel $\mu A 741$.

D'après ce schéma électrique, on peut distinguer et identifier trois étages associés en cascade :

- L'étage d'entrée :

Constitué par l'ensemble des transistors Q1, Q2, Q101, Q102, avec un fort gain par la suite de leurs associations, le gain en sortie de l'ensemble est important grâce aux charges actives constituées par les transistors Q4 et Q5. La polarisation de l'étage d'entrée est réalisée par le transistor monté en diode, Q103, et la source de courant Q104. Le miroir de courant fourni par cette source est maintenu constant (autour de $180\mu A$), par un réseau polarisé construit avec les transistors Q6, et Q7.

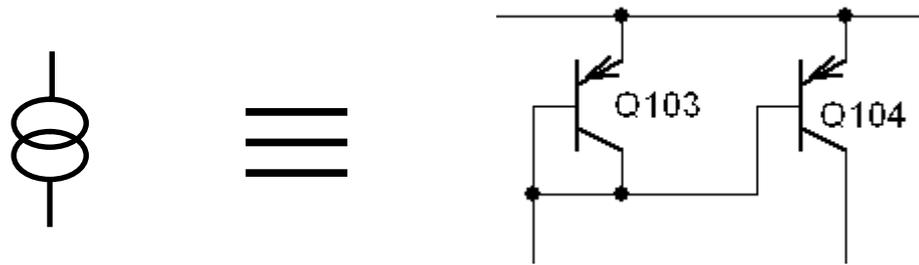


Figure.IV-4 : Polarisation de l'étage d'entrée (Q103 monté en diode).

- L'étage intermédiaire (fondamental)

L'étage d'entrée est suivi par un circuit fondamentale (émetteur commun) à fort gain en tension, dont la sortie n'est plus différentielle, il est identifiée par la liaison du collecteur du Q102, et la base du Q9, son courant de polarisation est assuré par le générateur du courant des deux transistors Q105, et Q106, générant ainsi le courant miroir ($650\mu\text{A}$).

- L'étage de sortie

Utilise deux transistors montés en push-pull Q10 et Q108.

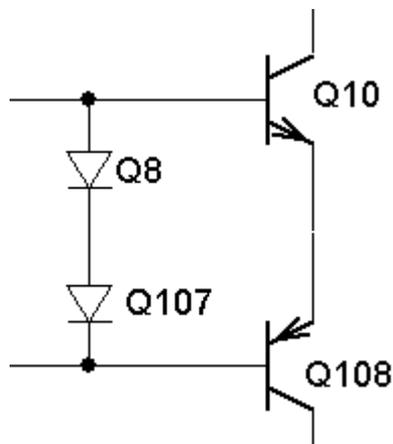
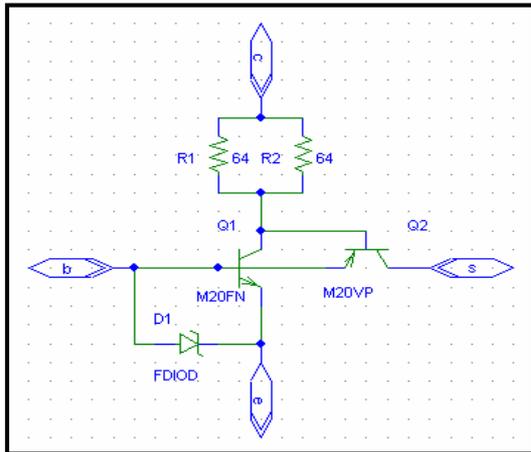


Figure.IV-5 : Polarisation de push-pull.

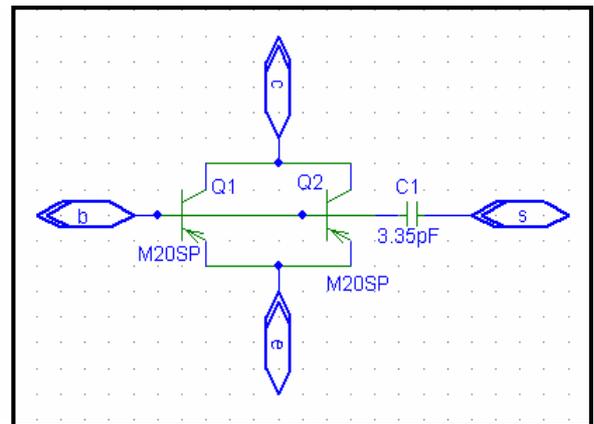
Les deux transistors montés en diodes (Q107 et Q8) sont employés pour polariser les deux anciens transistors par environ 1.2 volts, c'est-à-dire elles permettent d'imposer la tension d'entrée de cet étage qui est en fait la tension de sortie de l'étage intermédiaire constante à une certaine valeur. En plus des éléments essentiels décrits ci-dessus, on trouve une capacité C qui régit le comportement de l'amplificateur opérationnel en fonction de la fréquence. Elle permet la suppression des composants continus quand il s'opère en régime alternatif.

IV-3-1. Structure des transistors utilisés

Le schéma électrique de l'amplificateur opérationnel disposé en figure IV-3 est propre à la maison originale FERRANTI, en outre, la réalisation fut possible grâce à la disposition des transistors (voir Fig.IV-12) intégrés dans un même circuit (*Monochip*) et offrant les mêmes caractéristiques électriques que celles du 741 intégré.



(a) Transistor NPN



(b) Transistor PNP

Figure.IV-6 : Structure des transistors de type « Mono Chip »

IV-4. Simulation de l'amplificateur inverseur avec Pspice

IV-4-1. Description des étapes de simulation

Quand le schéma d'amplificateur opérationnel $\mu A741$ utilisé se compose de 18 transistors (10 transistors de type NPN et 08 transistors de type PNP), l'utilisation des transistors « Mono Chip » cités précédemment rend le schéma d'amplificateur inverseur très complexe (36 transistors, 10 diodes, 28 résistances, 09 condensateurs et 03 sources de tensions plus les masses). Afin de réduire la taille du schéma de notre circuit à simuler, Pspice nous permet d'associer chaque schéma de transistor à un bloc et de l'enregistrer comme un composant dans la librairie de Pspice.

Les transistors **M20FN**, **M20VP**, **M20SP** et la diode Zener **FDIOD** (M20FN est de type NPN, M20VP et M20SP sont de type PNP) n'existent pas dans la librairie de Pspice, donc il faut les créer et les enregistrer dans la librairie.

IV-4-1-1. Création d'un nouveau symbole par Pspice

Exemple : transistor M20FN

La création du transistor M20FN comme les autres composants a été faite en utilisant le « **Symbol Wizard** ». La figure IV-7 représente la page du rédacteur de symbole de Pspice « **Symbol Editor** », elle est affichée après la sélection du « **Edit Library** » dans le menu « **File** » de Pspice Schematic, il faut donc sélectionner « **Symbol Wizard** » dans le menu « **Part** » pour le commencer, voir la figure IV-8.

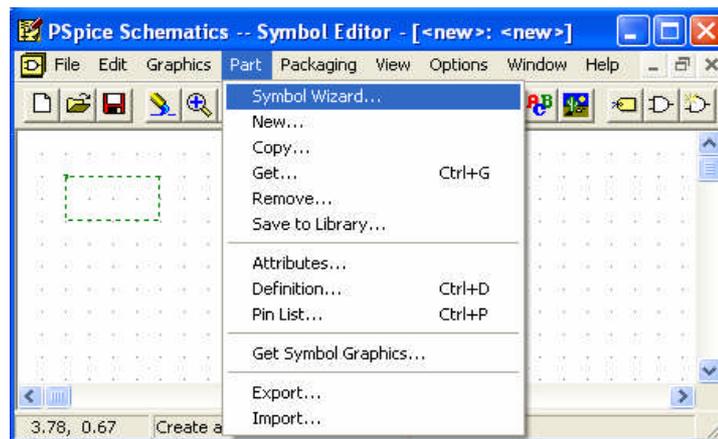


Figure.IV-7 : Editeur de symbole dans Pspice.

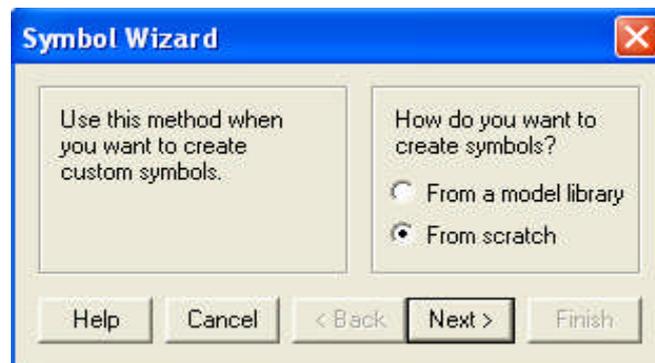


Figure.IV-8 : Symbol Wizard.

Dans la fenêtre de la figure IV-8, on doit choisir la manière de création du symbole (dans notre cas, **From scratch**) puis cliquer « **next** », et continuer à suivre les instructions. La fenêtre « **Create New Symbol** » de la figure IV-9, nous permet entrer le nom du nouveau symbole ainsi que sa description (exemple : transistor bipolaire npn M20FN)



Figure.IV-9 : Création du nouveau symbole (nom et description)

L'étape suivante est de sélectionner automatiquement la forme du symbole comme le montre la figure.IV-10

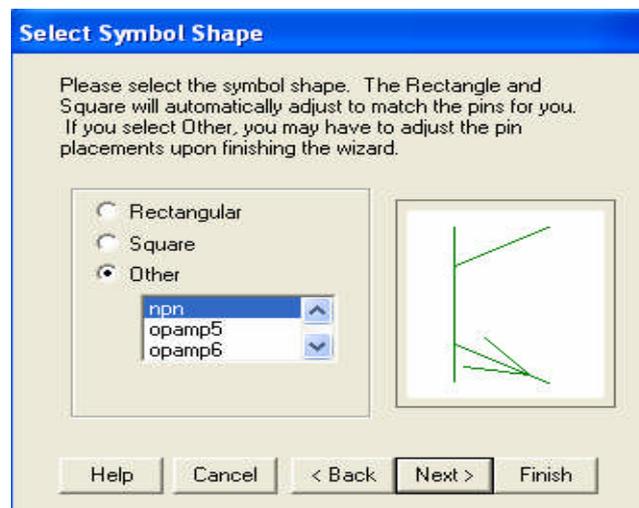
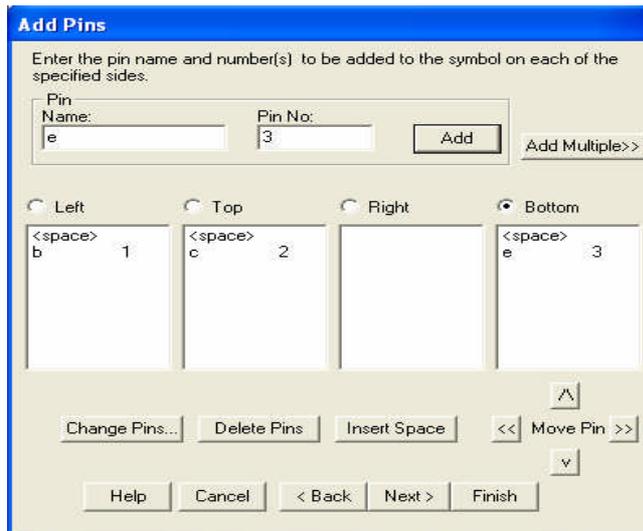
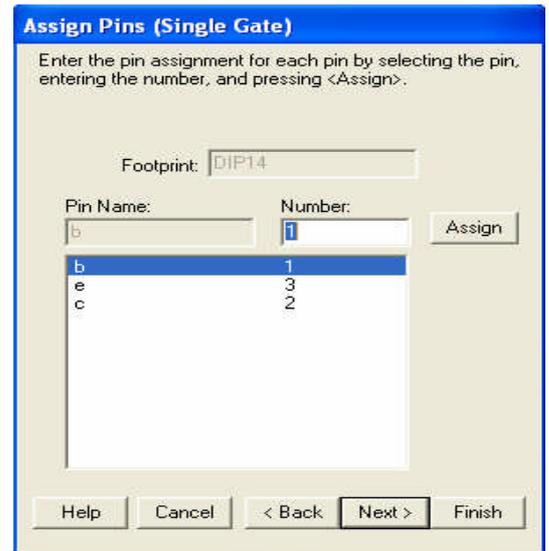


Figure.IV-10 : Sélection de la forme du symbole

La figure IV-11 nous montre comment additionner et attribuer les pôles (pins) au symbole et éditer leurs positions, il faut donner un nom et un numéro à chaque pôle (pin).



(a)



(b)

Figure.IV-11 : Addition et attribution des pôles (pins).

L'attribution des pôles est faite en sélectionnant le pole dans la fenêtre « **Assign Pins** » représentée dans la figure IV-11 (b), puis cliquer « **Assign** ».

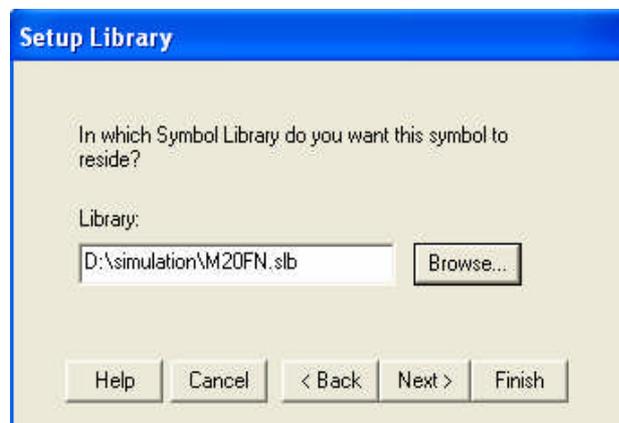
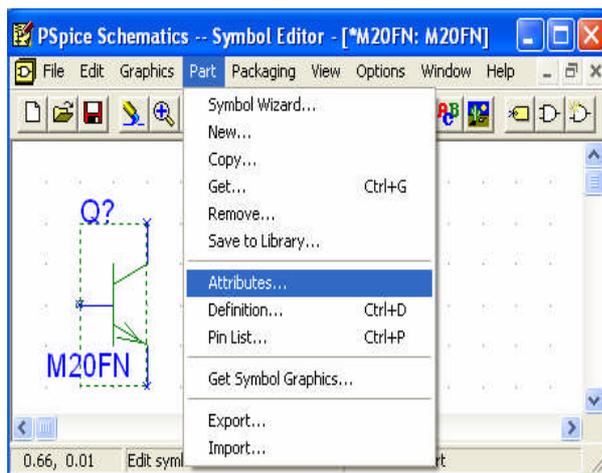
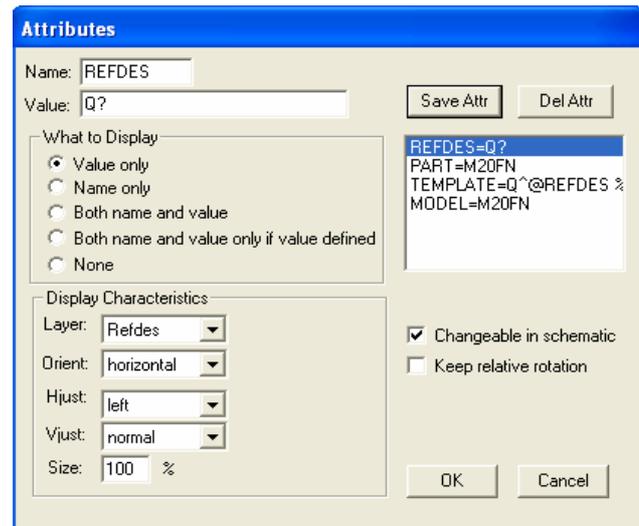


Figure.IV-12 : Enregistrement du symbole dans la librairie.

La figure IV-12 représente la fenêtre qui nous permet d'enregistrer le symbole, en cliquant **next**, la fenêtre de la figure IV-13 (a) va afficher, la sélection de « **Attributes** » nous donne la fenêtre ou on peut entrer les différentes caractéristiques du symbole (fig. IV-13 (b)).



(a)



(b)

Figure.IV-13 : Attribues du symbole.

Après la création du symbole, il nous reste alors d'associer un modèle à ce symbole, dans la fenêtre de la figure IV-13 (a) sélectionner « **Model** » dans le menu « **Edit** », c'est la fenêtre « **Edit Model** » de la figure IV-14 qui va afficher ou on a deux choix : « **Edit model (text)** » ou « **Edit model (model editor)** ».

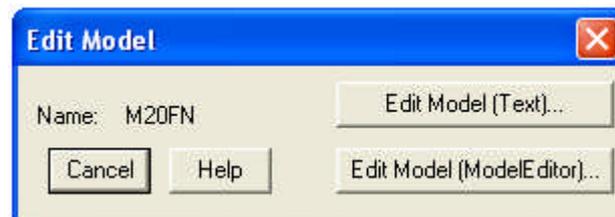


figure.IV-14: Edition du modèle de transistor M20FN.

Si on choisi « **Edit Model (model editor)** », on va y avoir la fenêtre de « **PSpice Model Editor** » représentée dans la figure IV-15, on peut entrer les différents paramètres du modèle dans le tableau ci-joint (Is, BF, NF, VAF...) puis enregistrer le modèle dans la librairie, alors la création du symbole avec modèle est terminée.

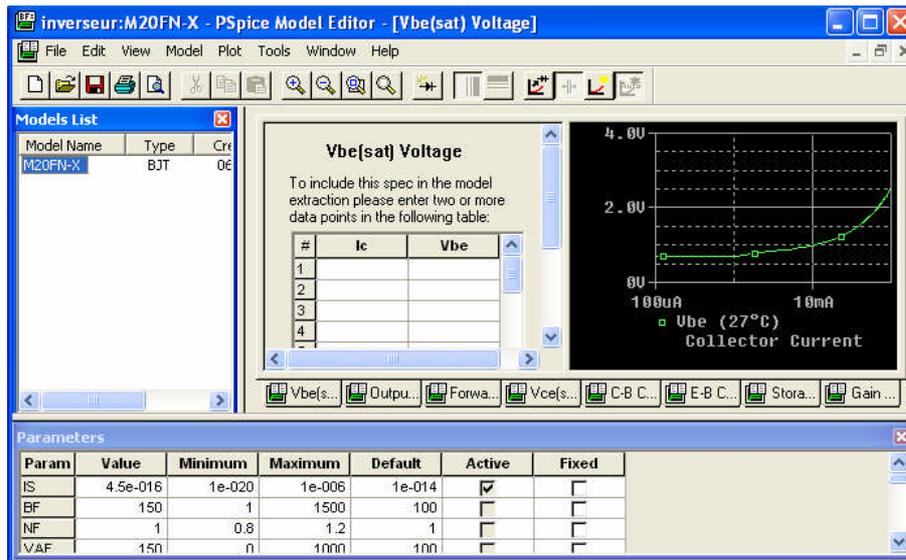


Figure.IV-15 : Paramètres du modèle.

IV-4-1-2. Création des blocs: (hierarchical blocks)

Pour améliorer la taille du circuit à simuler, il faut créer des blocs comportant les schémas des transistors « Mono Chip » utilisés, après l'association des schémas aux blocs, ils devront être enregistrés dans la librairie de Pspice comme des symboles (composants).

Pour la création de ces blocs, nous devons suivre les étapes suivantes :

- Dans **Pspice Schematic**, on choisi le menu « **Draw** » puis on sélectionne « **Block** »

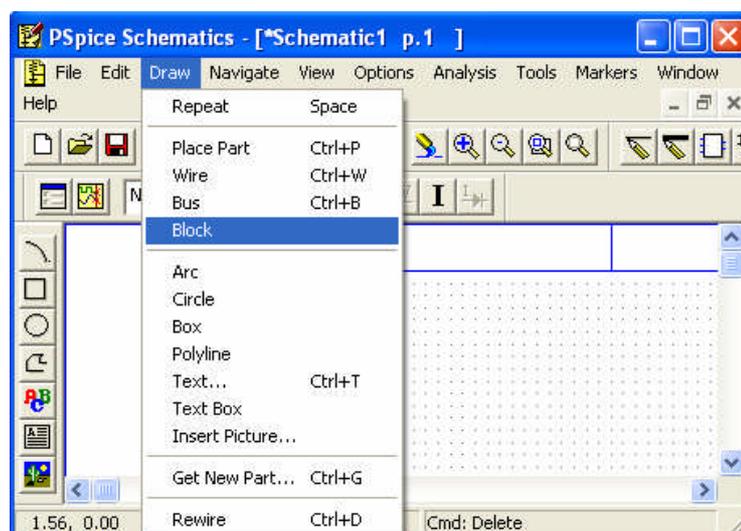


Figure.IV-16 : Lancement du bloc.

- Après, le bloc sera affiché sous la forme d'un rectangle et sous le nom **HB1** (figure.IV-17).
Dans le menu « **Navigate** » de la figure IV-24 et après la sélection de bloc, on choisi « **Push** » pour associer un schéma à ce bloc, ce schéma doit être créé et enregistré précédemment.

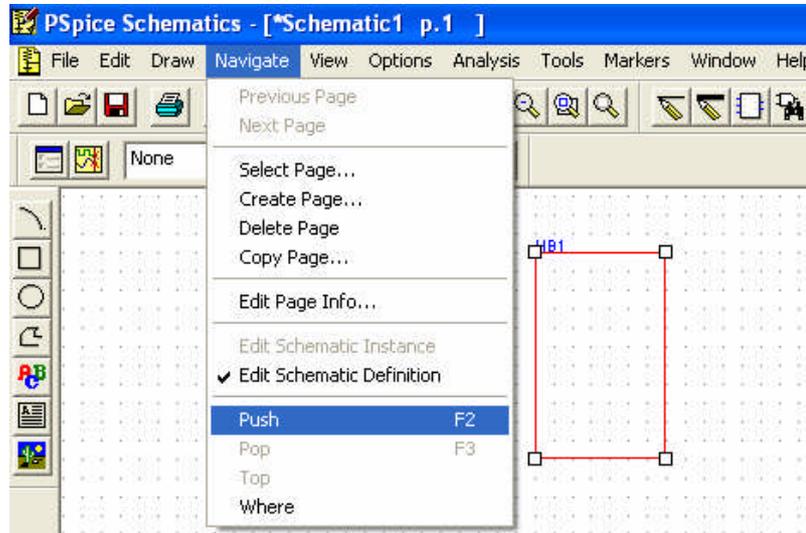


Figure.IV-17 : association d'un schéma au bloc.

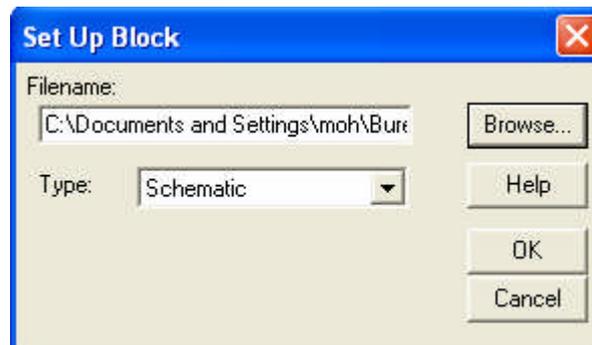


Figure.IV-18 : Sélection du schéma à associer.

Pour convertir le bloc à un symbole, il faut lui ajouter des pins correspondants, puis dans le menu « **Edit** » de la fenêtre représentée dans la figure IV-19, on sélectionne « **Convert block** » pour le convertir en un symbole acceptant différentes modifications selon notre choix.

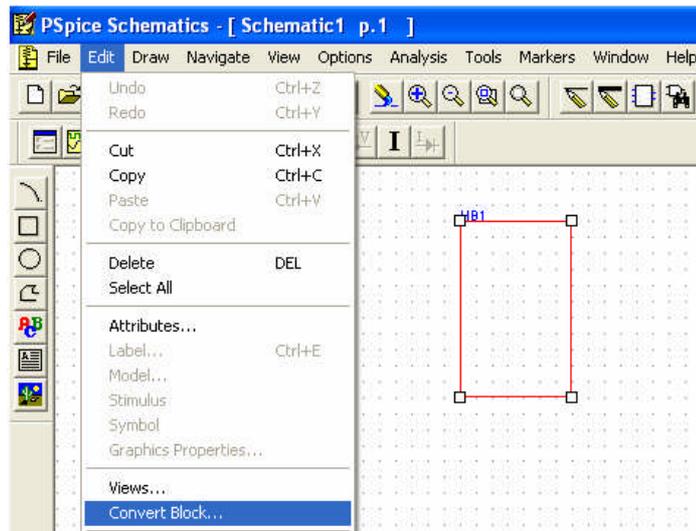


Figure.IV-19 : Conversion du bloc en un symbole.



Figure.IV-20 : Enregistrement du symbole.

Après l'édition de différentes caractéristiques du bloc par l'éditeur de symbole, le bloc va se trouver dans la librairie de Pspice sous la forme représentante dans la figure IV-21. Il est prêt à être utilisé comme tous les autres symboles d'origine du Pspice.

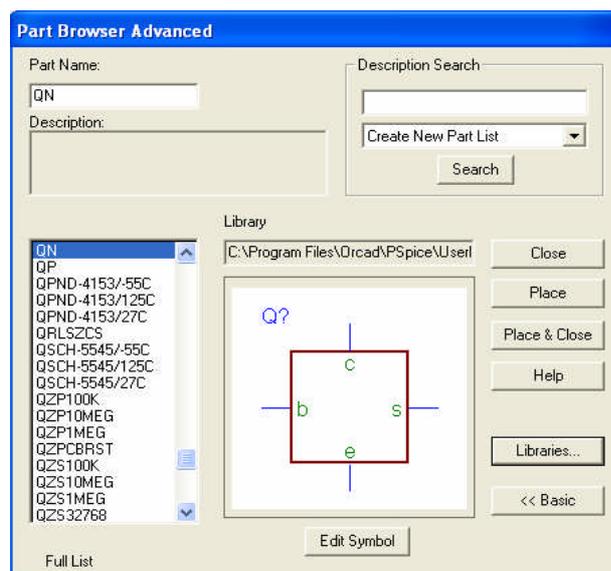


Figure.IV-21 : Bloc sous forme de symbole.

Les autres composants (M20VP, M20SP et FDIOD) ont été créés de la même manière que le transistor M20FN.

VI-4-1-3. Etapes de simulation avec Pspice

Une telle simulation Pspice est faite selon les trois étapes suivantes :

Étape 1 : création de circuit

- Création d'un nouveau projet (new analog, mixed AD project).
- Placer les composants du circuit.
- Connecter ces composants.
- Spécification des valeurs et noms de chaque composant.

Étape 2 : spécification du type de simulation

- placer le marqueur de courant ou de tension.
- sélectionner le type de l'analyse (Bias, DC sweep, transient, AC sweep).
- lancer la simulation.

Étape 3 : Affichage des résultats

- Ajouter des traces par utilisation de l'icône « add trace ».
- Utilisation de curseur pour analyser la forme de la courbe.
- Lance « output file » s'il est nécessaire.
- Enregistrer ou imprimer les résultats.

IV-5. La simulation de l'amplificateur inverseur

La figure IV-22 représente la fenêtre de « PSpice Schematics » dans laquelle le schéma de l'amplificateur inverseur à simuler est réalisé.

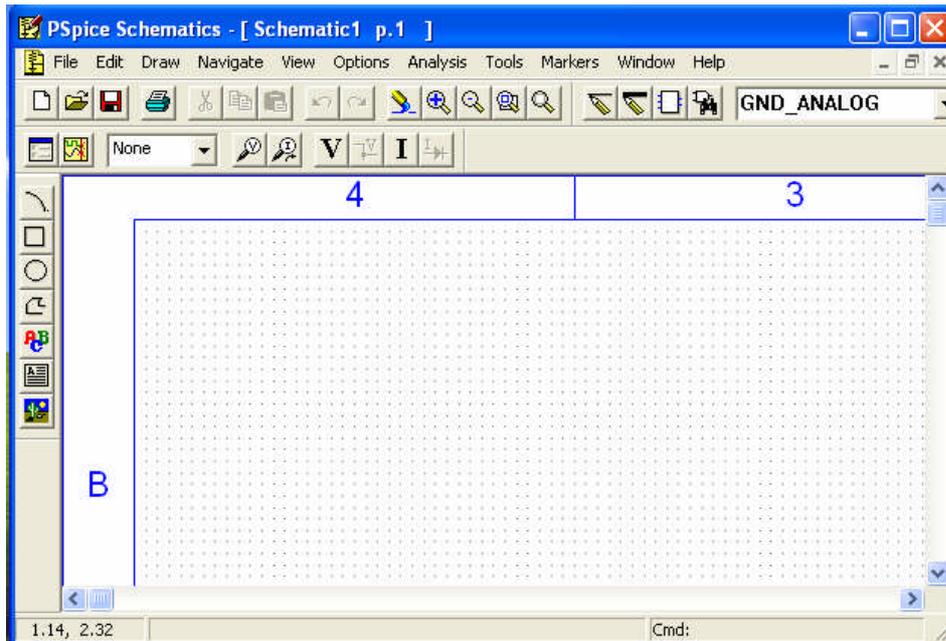


Figure.IV-22 : PSpice Schematics.

- Placement des composants et des connections

Pour placer un composant dans schematics, cliquer sur l'icône « **Get new part** » 

Ceci va ouvrir la fenêtre représentée dans la figure IV-23.

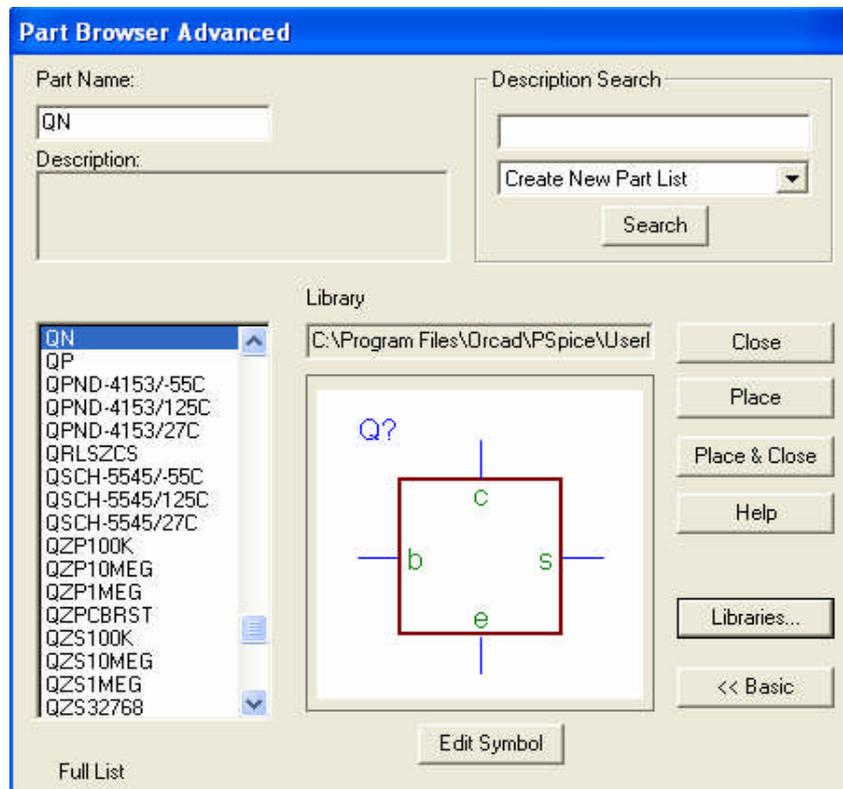


Figure.IV-23 : Placement des composants.

Après le placement des composants, il faut les connectés en utilisant  l'icône (**draw wire**), puis attribuer les valeurs et les noms des composants, en cliquant deux fois sur le composant, la figure IV-24 montre le schéma à simuler par Pspice.

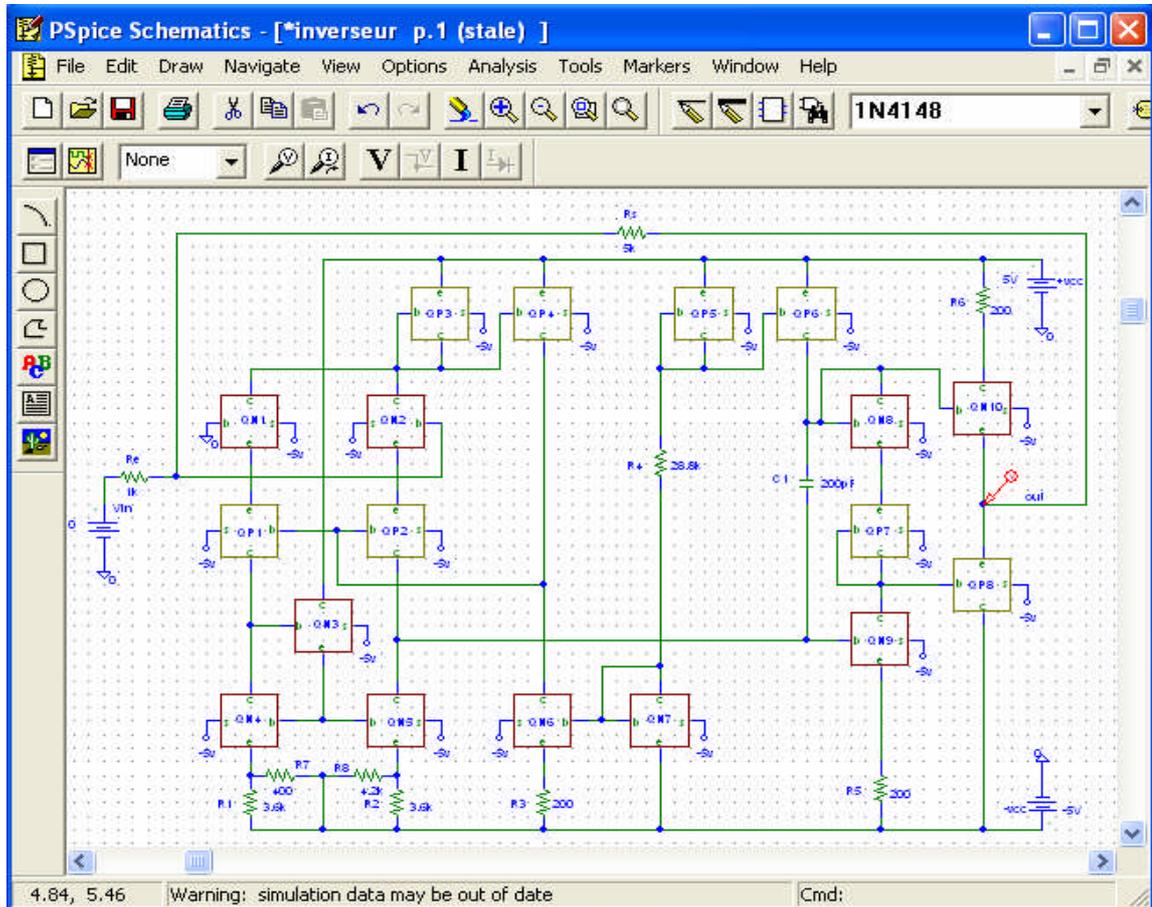


Figure.IV-24 : Schéma d'amplificateur inverseur.

- Spécification du type de l'analyse et de simulation :

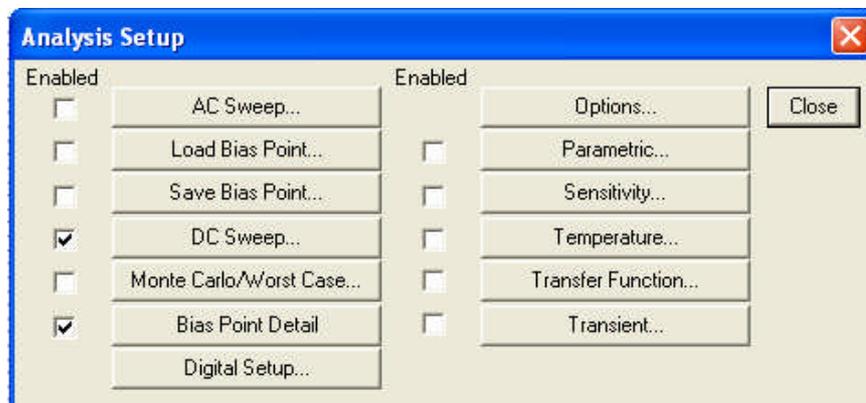


Figure.IV-25 : Différentes analyses permises de Pspice.

Dans ce mémoire, on a utilisé l'analyse DC pour étudier les différentes caractéristiques de l'amplificateur inverseur.

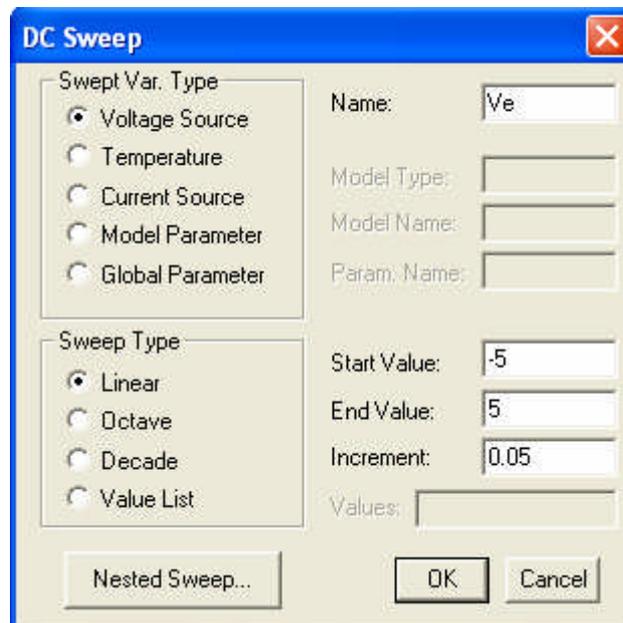


Figure.IV-26 : Analyse DC (direct courant).

1. dans la fenêtre « **analysis** » de schematic, choisir « **Setup** »
2. cocher le type de variable (par exemple source de tension), puis entrer le nom de cette source, la valeur initiale, la valeur finale et le pas, puis cliquer OK.
3. dans la fenêtre « **analysis** » de schematic, cliquer « create netlist » pour vérifier que le circuit ne contient pas des erreurs.
4. après placement du marqueur (de tension ou de courant), lancer la simulation en choisissant « **simulate** » ou l'icône 

- Affichage des résultats de la simulation

Lorsque la simulation est terminée, la fenêtre « **Probe** » va ouvrir automatiquement, la figure IV-27 nous montre la caractéristique de transfert de l'amplificateur inverseur $V_s = f(V_e)$.

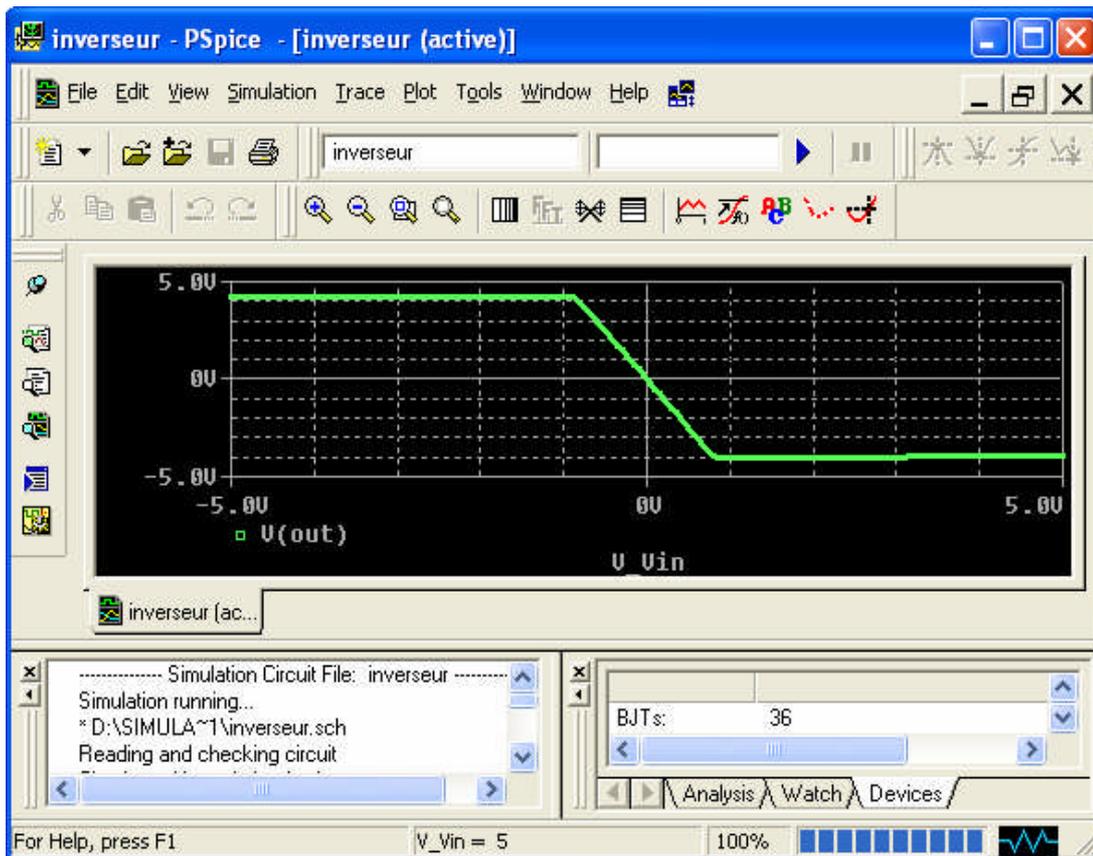


Figure.IV-27 : Résultat de la simulation, caractéristique de transfert de l'amplificateur inverseur.

IV-6. Modèle de l'amplificateur inverseur

Le circuit faisant l'objet du développement de macro-modèle est considéré comme un bloc fonctionnel. Il s'agit d'un amplificateur inverseur à base de $\mu A741$ réalisé à base de transistors « Monochip » et suivant le prototype de la compagnie « Ferranti ».

Autre objectif important de ce travail est de se servir de ce modèle pour en réduire le modèle équivalent de ce même circuit quand il est en présence de défauts : il s'agit de trouver des « modèles signatures » à ces défauts à partir d'un modèle référence.

Les caractéristique de l'amplificateur inverseur sont composées de différentes régions distinctes, cette structure est due aux paramètres non linéaires, qui changent de valeurs, et qui se résume en fin de compte à un ensemble de régions linéaires.

L'application de la technique P.W.L « **Piece Wice linéaire** » [27] [28] [36] permet de délimiter les régions linéaires par des points de cassure (**break points**) ou points d'inflexion de la courbe des différentes caractéristiques du circuit et d'extraire les paramètres électriques composant un modèle électrique linéaire [36].

Cette technique est alors appliquée pour approcher le comportement non linéaire de notre circuit à des régions linéaire chacune décrite par un circuit équivalent. Des équations linéaires sont jointes au modèle pour décrire chaque région d'opération, les éléments du modèle sont des impédances et des sources de tension d'entrée et de sortie.

L'amplificateur inverseur est représenté sous forme d'un bloc, dont les éléments qui le composent sont inconnus et nécessitent d'être déterminés.

Le comportement du circuit est caractérisé par trois régions d'opération : la région linéaire, et les régions de saturations positive et négative. Ceci est confirmé par les trois caractéristiques (figure IV-29, Figure IV-30 et Figure IV-31) qui serviront de donner pour l'extraction de paramètres électriques à savoir : la résistance d'entrée R_e , résistance de sortie R_s , source de tension contrôlée, ...etc.

Le circuit équivalent interne sera sous la forme donnée en figure IV-28 [36].

Il s'agit d'un quadripôle à un port d'entrée et un port de sortie, les composants qui le constituent sont :

- **Comme paramètres d'entrée :**

Une résistance d'entrée R_e , et une tension résiduelle.

- **Comme paramètres de sortie :**

Une résistance de sortie R_s , et une source de tension contrôlée ou non.

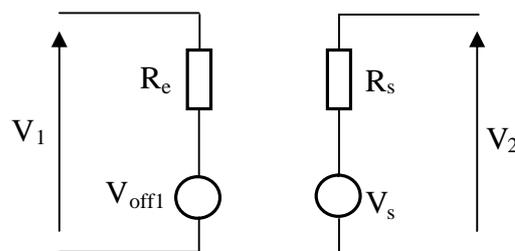


Figure.IV-28 : Circuit équivalent linéaire.

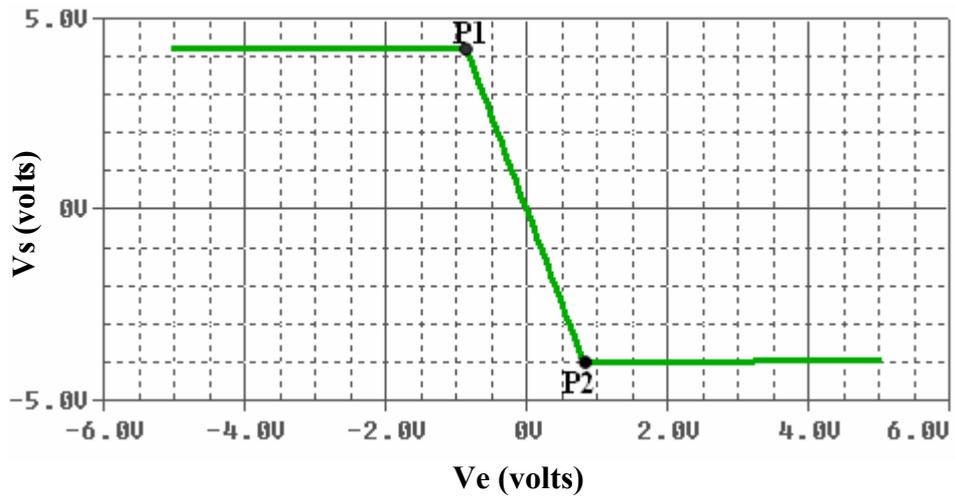


Figure.IV-29 : Caractéristique de transfert $V_s = f(V_e)$

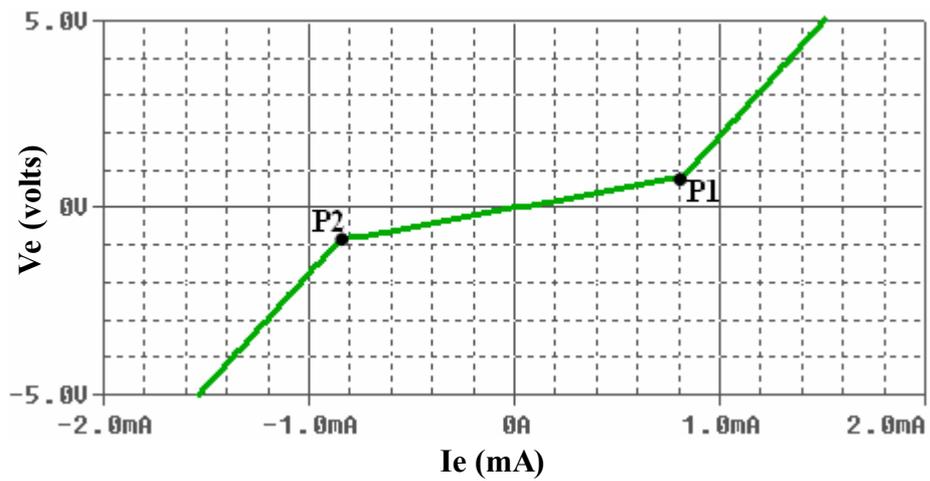


Figure.IV-30 : Caractéristique d'entrée $V_e = f(I_e)$

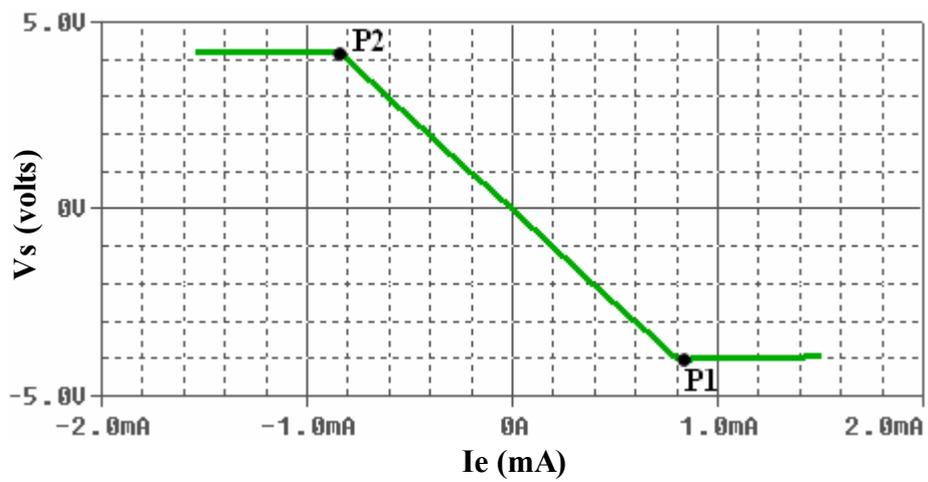


Figure.IV-31 : Caractéristique de sortie $V_s = f(I_s)$

IV-6-1. Le modèle équivalent dans la région linéaire

A partir de différentes caractéristiques du circuit, les paliers sont ceux qui délimitent la région linéaire, ces points sont marqués comme **P1** et **P2** (voir les figures IV-29, IV-30, IV-31), et correspondent respectivement aux valeurs de la tension d'entrée suivantes :

$$V_{e1} = -0.85V \text{ et } V_{e2} = 0.85V.$$

Entre ces deux valeurs, la caractéristique de transfert fournit une variation linéaire entre la tension d'entrée et la tension de sortie, ce qui conduit à un rapport constant comme étant le gain de l'amplificateur inverseur « **Gv** ». Il est évalué à partir de la pente de la région linéaire, et a été exactement déterminé par l'utilisation de simulateur « OrCad Pspice 9.2 » et suivant un éventail de tension d'entrée allant de -0.85v à 0.85v (valeurs correspondantes aux points P1 et P2).

L'équation mathématique qui décrit cette région linéaire peut s'écrire sous la forme suivante :

$$V_s = AV_e + B \quad (\text{IV-2})$$

Le paramètre **A** exprime bien le rapport entre les tensions d'entrée et de sortie, et sa constance le long de la région illustre bien le régime linéaire de ce circuit.

Electroniquement, ce paramètre représente le gain en tension et peut se mettre sous la forme suivante :

$$A = G_v = \frac{\Delta V_s}{\Delta V_e} \quad (\text{IV-3})$$

D'autre part, le paramètre **B** est aussi constant. Mathématiquement il est déterminé comme étant V_s lorsque la tension d'entrée V_e est nulle.

Du point de vue électronique, ceci montre bien une tension e sortie non nulle quand celle d'entrée est absente. Cette tension est due en réalité à la présence d'une tension résiduelle (tension d'offset) à l'entrée de l'amplificateur.

Les valeurs calculées des paramètres A et B sont alors comme suit :

$$V_s = AV_e + B \quad \left\{ \begin{array}{l} A = G_{vlin} = -4.94 \\ B = V_{off2} = 0.0096V \end{array} \right. \quad (\text{IV-4})$$

a- Le port d'entrée équivalent

A partir la caractéristique d'entrée de la figure IV-30, on peut déduire les paramètres d'entrée qui décrivent le comportement de l'amplificateur inverseur à son entrée. Ses éléments l'impédance d'entrée de l'inverseur, et la tension de décalage d'entrée (tension d'offset V_{off1}).

Pour des petits signaux à l'entrée (-0.85v à 0.85v), l'entrée de l'amplificateur inverseur se comporte comme une impédance R_e .

Selon la caractéristique d'entrée $V_e = f(I_e)$, le courant I_e et la tension V_e sont liés linéairement entre eux dans l'intervalle délimité par les deux points P1 et P2.

On peut alors écrire :

$$V_e = A' I_e + B' \quad (IV-5)$$

L'évaluation de A' est faite à partir de la pente de courbe tel que :

$$A' = \frac{\Delta V_e}{\Delta I_e} \quad (IV-6)$$

C'est une résistance, sa valeur est trouvée égale à celle de R_1 .

B' est obtenu en absence de courant (en court-circuitant la source de tension à l'entrée), c'est une tension d'offset présente à l'entrée de l'amplificateur, elle est très faible (quelques mV).

L'entrée de l'amplificateur inverseur est vue comme une résistance R_1 , en série avec une source de tension constante V_{off1} dont leur relation avec la tension d'entrée et leurs valeurs sont comme suit :

$$V_e = A' I_e + B' \quad \left\{ \begin{array}{l} A' = R_e = 1k\Omega \\ B' = V_{off1} = 0.17mV \end{array} \right. \quad (IV-7)$$

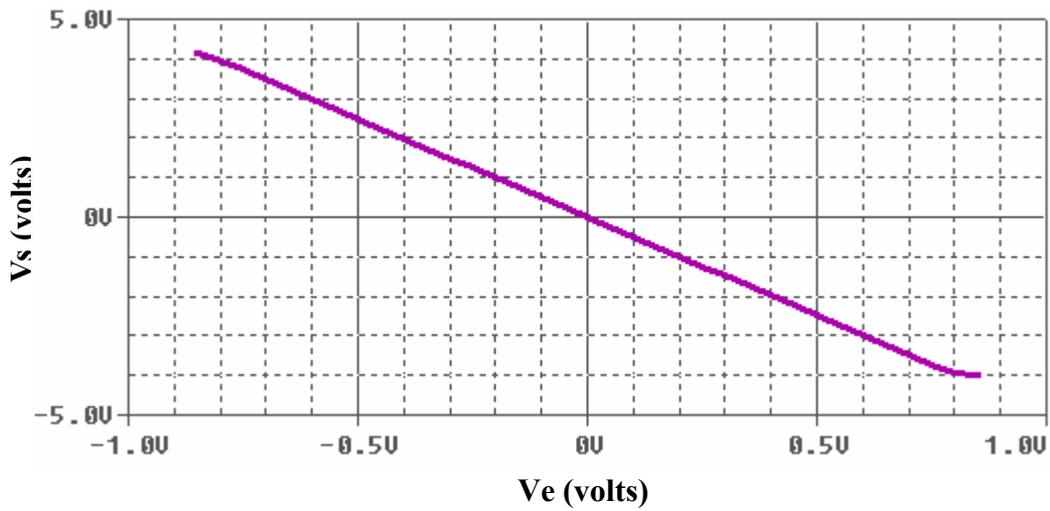


Figure. IV-32 : Caractéristique de transfert (*région linéaire*).

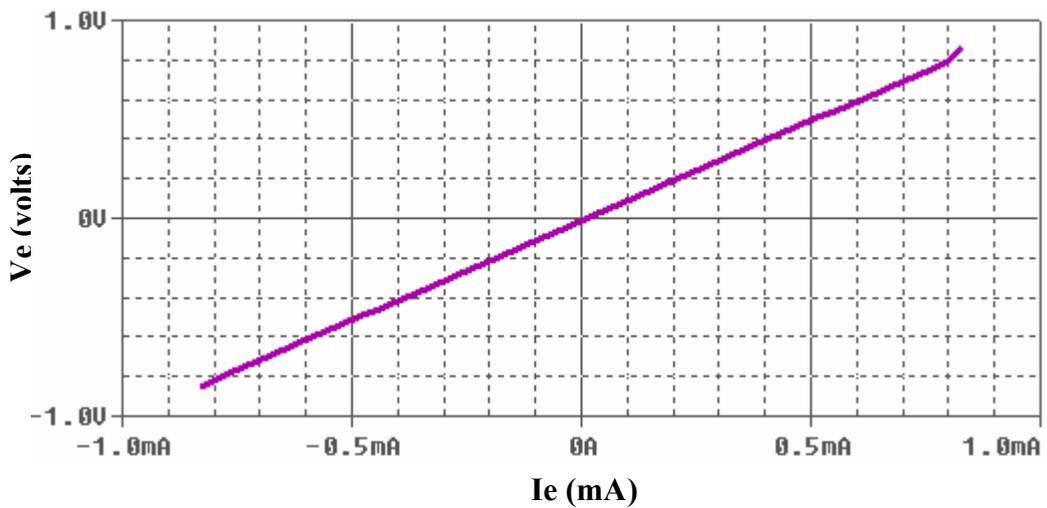


Figure.IV-33 : Caractéristique d'entrée (*région linéaire*).

b- Le port de sortie équivalent

L'étage de sortie de l'amplificateur inverseur est équivalent à une source de tension, en ait l'équivalence de Thévenin introduit une résistance en série non nulle, c'est la résistance de sortie de l'amplificateur inverseur R_s .

Pour déterminer la valeur de R_s , il faut tenir compte de la charge, et par le théorème de Thévenin appliqué au circuit.

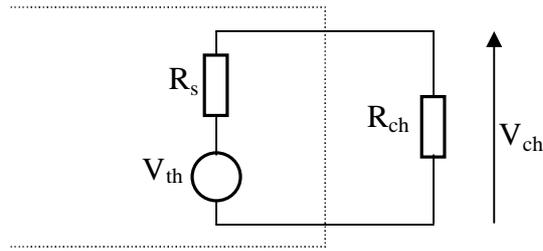


Figure.IV-34 : Circuit de Thevenin du port de sortie de l'amplificateur inverseur

$$R_s = \frac{V_{th} - V_{ch}}{I_{ch}} \quad (IV-8)$$

Avec : $V_{th} = G_{vlin} \cdot V_e + V_{off2}$ (IV-9)

Les valeurs de la résistance de sortie sont de l'ordre de certains Ohms (tableau IV-1). Avec ce modèle, la tension de sortie n'est pas indépendante du courant de sortie I_s , elle décroît linéairement avec une pente R_s .

Le calcul de la valeur de la résistance de sortie peut se faire en plaçant une charge à la sortie de l'amplificateur inverseur (entre la sortie et la masse), j'ai fait varier la valeur de cette charge jusqu'à l'obtention des caractéristiques de l'amplificateur inverseur, les mêmes que ses caractéristiques sans charge, cette valeur est exactement égale à $22.5k\Omega$.

Pour cette valeur de charge, on a trouvé la valeur de la résistance de sortie égale à $R_s = 74.33\Omega$

| Région de fonctionnement | Equations | Valeurs des éléments | Modèle linéaire |
|--|---|--|-----------------|
| $-0.85 \text{ V} < V_e < 0.85 \text{ V}$ | $* V_s = G_{vlin} \cdot V_e + V_{off2}$ $* V_e = R_e \cdot I_e + V_{off1}$ $* R_s = (V_{th} - V_{ch}) / I_{ch}$ | $G_{vlin} = - 4.94$ $R_e = 1 \text{ k}\Omega$ $V_{off1} = 0.17 \text{ mV}$ $V_{off2} = 9.6 \text{ mV}$ $R_s = 74.33\Omega$ | |

Tableau IV-1 : Modèle de l'amplificateur inverseur dans la région linéaire

IV-6-2. Modèle équivalent dans les régions de saturation

Le but de cette section est de développer des modèles pour l'amplificateur inverseur fonctionnant dans ses régions de saturation, ces modèles représentent les changements non linéaires des paramètres du circuit.

A partir des caractéristiques d'entrée et de sortie (régions de saturation), les tensions d'entrée et de sortie varient entre eux et avec les courants d'entrée (I_e) et de sortie (I_s) d'une façon linéaire jusqu'aux valeurs limites atteignant celles de la tension d'alimentation (+5V).

Un modèle linéaire est établi pour chacune de ces régions (saturation positive, et saturation négative) tout en préservant les limites des quelles le modèle est validé : les points de cassures P1 et P2 et la tension de service qu'il ne faut pas dépasser.

La caractéristique de transfert prouve que les limites de tension de sortie pour les grandes valeurs de la tension d'entrée.

$|V_e| > 0.85V$ Sont moins que les tensions d'alimentation ($V_s < V_{cc}$), ces niveaux limites ne sont pas tout à fait constants, la caractéristique indique un changement linéaire à faible pente de la tension d'entrée avec celle de la sortie.

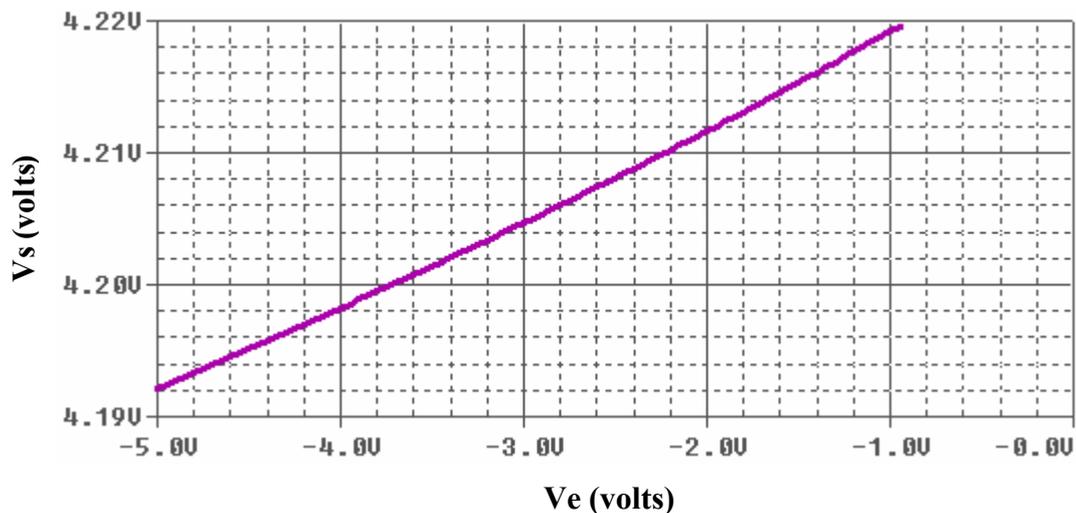


Figure.IV-35 : Caractéristique de transfert (*région de saturation positive*).

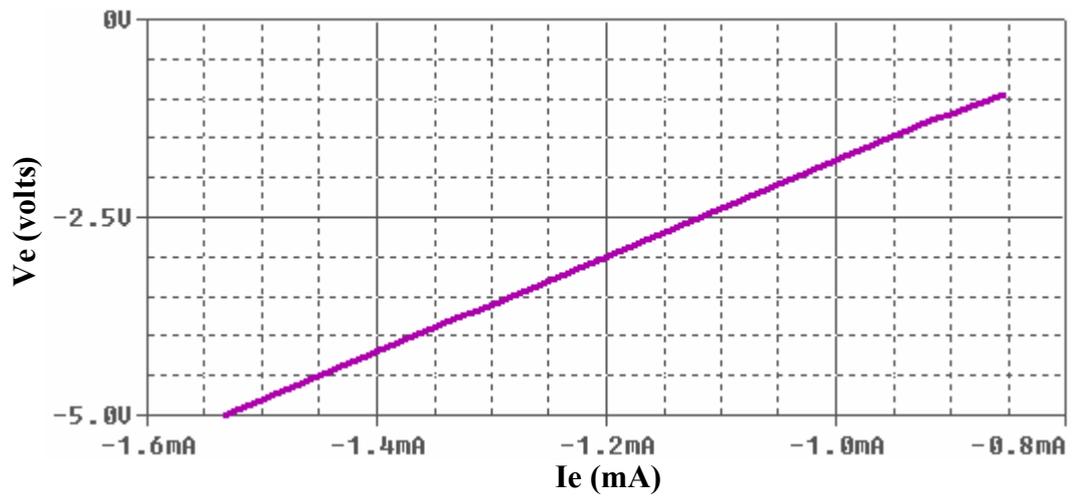


Figure .IV-36 : Caractéristique d'entrée (*région de saturation positive*).

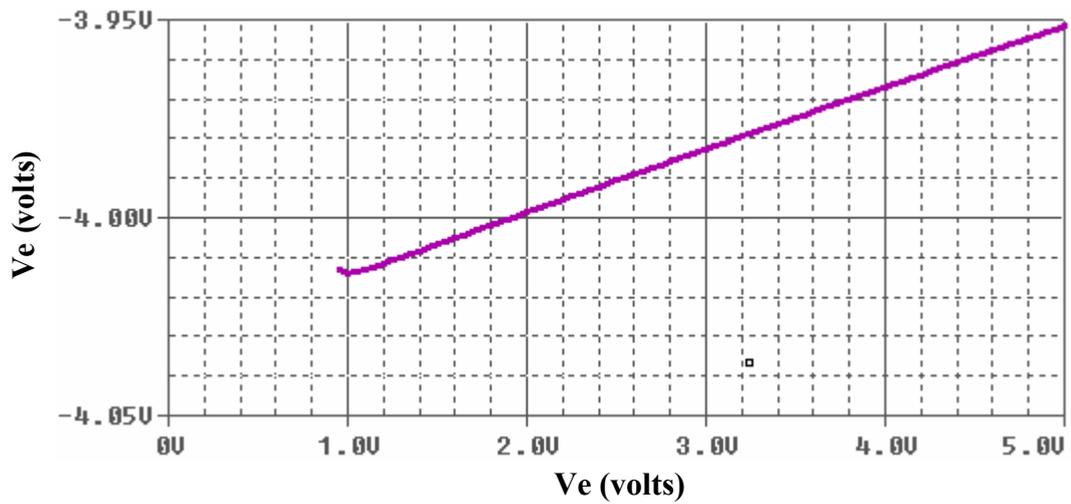


Figure.IV-37 : Caractéristique de transfert (*région de saturation négative*).

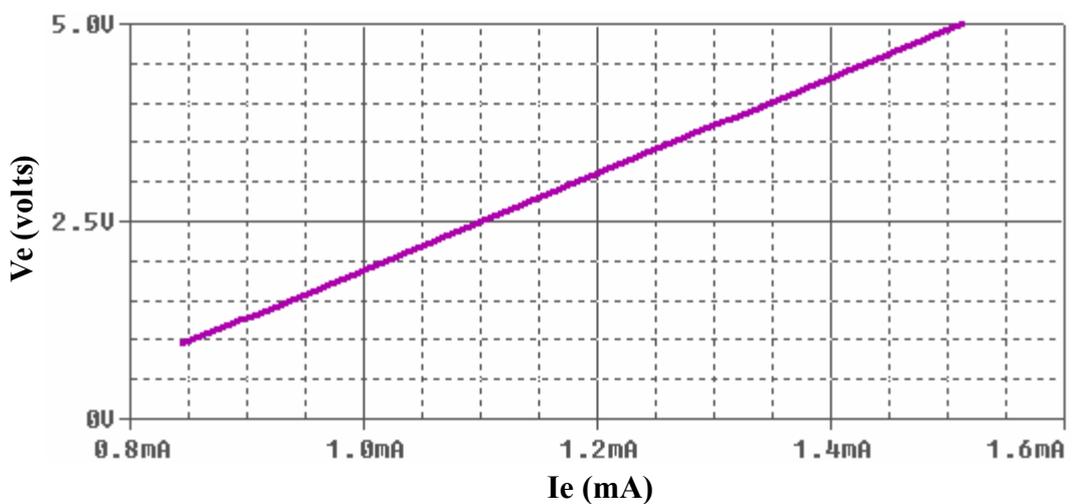


Figure.IV-38: Caractéristique d'entrée (*région de la saturation négative*).

a- Paramètres électriques en régions de saturation

Le port de sortie du circuit est vu en absence de charge comme une source de tension à valeur constante. Elle s'exprime comme suit :

$$V_s = AV_e + B \quad (IV-10)$$

Où a est le gain à faible valeur, et b est une tension constante.

En terme électronique, a (gain très faible) exprime la variation légère mais d'une façon linéaire de la tension de sortie et celle d'entrée. Quant b est la tension de saturation positive proche de celle de la tension d'alimentation, leurs valeurs et leurs relations avec V_e et V_s sont comme suit :

En saturation positive, et sur un intervalle de tension entre -5V et -0.85V

$$V_s = aV_e + b \quad \left\{ \begin{array}{l} a = G_{V_{sp}} = 0.00676 \\ b = V_{2_{sp}} = 4.226V \end{array} \right. \quad (IV-11)$$

En saturation négative, la tension d'entrée est variée entre 0.85V et 5V.

$$V_s = a'V_e + b' \quad \left\{ \begin{array}{l} a' = G_{V_{sn}} = 0.01523 \\ b' = V_{2_{sn}} = -4.0277V \end{array} \right. \quad (IV-12)$$

Nous remarquons une différence de valeurs nette entre les paramètres dans les deux régions, cette différence est due à une asymétrie dans les caractéristiques électriques des transistors utilisés.

b- Le port d'entrée équivalent en régions de saturation positive et négative

Les deux régions de saturation présentent des courbes linéaires selon les figures (IV-35, IV-36, IV-37, IV-38), l'expression de la tension d'entrée V_e s'écrit comme :

$$V_{es} = a'_s I_e + b'_s \quad (IV-13)$$

Où a'_s et b'_s sont des coefficients qui dépendent de la région de saturation (positive ou négative) et qui correspondent électriquement et respectivement à une résistance R_{es} et une source de tension indépendante V_{1s} .

Leurs valeurs sont déterminées comme la pente à la courbe pour R_{es} et l'extrapolation de la courbe pour V_{es} (lorsque le courant I_e est nul).

$$V_e = a'_{sp} I_e + b'_{sp} \begin{cases} a'_{sp} = R_{esp} = 5.97k\Omega \\ b'_{sp} = V_{1sp} = 4.18V \end{cases} \quad \text{(Région de saturation positive)} \quad \text{(IV-14)}$$

$$V_e = a'_{sn} I_e + b'_{sn} \begin{cases} a'_{sn} = R_{esn} = 6.03k\Omega \\ b'_{sn} = V_{1sn} = -3.99V \end{cases} \quad \text{(Région de saturation négative)} \quad \text{(IV-15)}$$

c- Le port de sortie équivalent en régions de saturation

En régime de saturation, l'objectif est double, il est indispensable de déterminer la valeur de la résistance de sortie R_s de l'amplificateur inverseur sans charge à la sortie et l'influence de la charge sur le paramètre.

La résistance de sortie est calculée en insérant une charge entre la sortie de l'amplificateur inverseur et la masse, par application du théorème de Thevenin avec charge et sans charge pour les deux cas de saturation (positive et négative).

La valeur de cette résistance est déterminée par l'expression suivante :

$$R_s = \frac{V_{th} - V_{ch}}{I_{ch}} \quad \text{(IV-16)}$$

La région de saturation (positive ou négative) est caractérisée par une courbe linéaire, ce qui nous a résulté une résistance de sortie R_s constante sur toute la gamme de tension d'entrée limitant la région.

Pour : $R_{ch} = 22.5k\Omega$, on trouve :

$R_s = 40.46\Omega$: pour la région de saturation positive.

$R_s = 95.30\Omega$: pour la région de saturation négative.

| Région de fonctionnement | Equations | Valeurs des éléments | Modèle linéaire |
|---|--|--|-----------------|
| <p>Saturation positive</p> <p>$-5V < V_e < -0.85V$</p> | <p>* $V_s = G_{vsp} \cdot V_e + V_{2sp}$</p> <p>* $V_e = R_{esp} \cdot I_e + V_{1sp}$</p> <p>* $R_s = (V_{th} - V_{ch}) / I_{ch}$</p> | <p>$G_{vsp} = 0.00676$</p> <p>$R_{esp} = 5.97 \text{ k}\Omega$</p> <p>$V_{1sp} = 4.18V$</p> <p>$V_{2sp} = 4.226V$</p> <p>$R_s = 40.46\Omega$</p> | |
| <p>Saturation négative</p> <p>$0.85V < V_e < 5V$</p> | <p>* $V_s = G_{vsn} \cdot V_e + V_{2sn}$</p> <p>* $V_e = R_{esn} \cdot I_e + V_{1sn}$</p> <p>* $R_s = (V_{th} - V_{ch}) / I_{ch}$</p> | <p>$G_{vsn} = 0.01523$</p> <p>$R_{esn} = 6.03 \text{ k}\Omega$</p> <p>$V_{1sn} = -4.027 \text{ V}$</p> <p>$V_{2sn} = -3.99 \text{ V}$</p> <p>$R_s = 95.30 \Omega$</p> | |
| Tableau IV-2: Modèle de l'amplificateur inverseur dans les régions de saturation | | | |

IV-7. Modélisation de l'amplificateur inverseur en présence de défauts

Le modèle de défaut est réellement une représentation de l'effet d'un défaut ou groupe de défauts, observé à la sortie du circuit. En fait, cet effet est interprété par une fonction analogique altérée.

Ce circuit défaillant peut alors être considéré comme un nouveau bloc fonctionnel ayant des caractéristiques non linéaires et qui peuvent être approximées par des segments linéaires jointifs. Chaque segment peut représenter alors une région d'opérations et conduit finalement à un modèle électrique linéaire comme celui développé avec le circuit sans défauts.

Cette technique est considérée efficace, puisqu'elle a mené à une description des circuits avec et sans fautes en un modèle linéaire équivalent. Seulement, la différence entre ces deux types de circuits est vue à travers les changements des valeurs des éléments du modèle, par contre la structure reste la même.

IV-7-1. Exemples des modèles de l'amplificateur inverseur fautif

Parmi les 37 groupes de fautes de l'amplificateur inverseur (voir le tableau IV-7), nous avons choisi trois groupes de fautes comme exemples à étudier, le choix a été fait selon le nombre de régions des caractéristiques de transfert correspondant à chaque groupe de fautes.

- Faute 1 (groupe 14) : CCECQN2 (court circuit émetteur-collecteur du transistor QN2)

Ce défaut est un court circuit entre l'émetteur et le collecteur du transistor **QN2** de l'amplificateur opérationnel (figure...).

A un niveau comportemental, l'effet de cette faute est vu comme un décalage de la caractéristique de transfert à gauche du point d'origine comme le montre la figure IV-39.

Trois circuits équivalents partiels ont été construits pour ce nouveau circuit. Ils décrivent trois régions différentes d'opérations de l'amplificateur inverseur sous la faute 1 : une région linéaire et deux régions de saturation (positive et négative).

La région linéaire est limitée par les points **P1** et **P2**, les valeurs des éléments calculés pour ce modèle sont presque semblables à celles obtenues avec le modèle sans fautes, excepté la tension excentrée, V_{off1} , calculée à partir de la caractéristique d'entrée (figure IV-40), qui est grande.

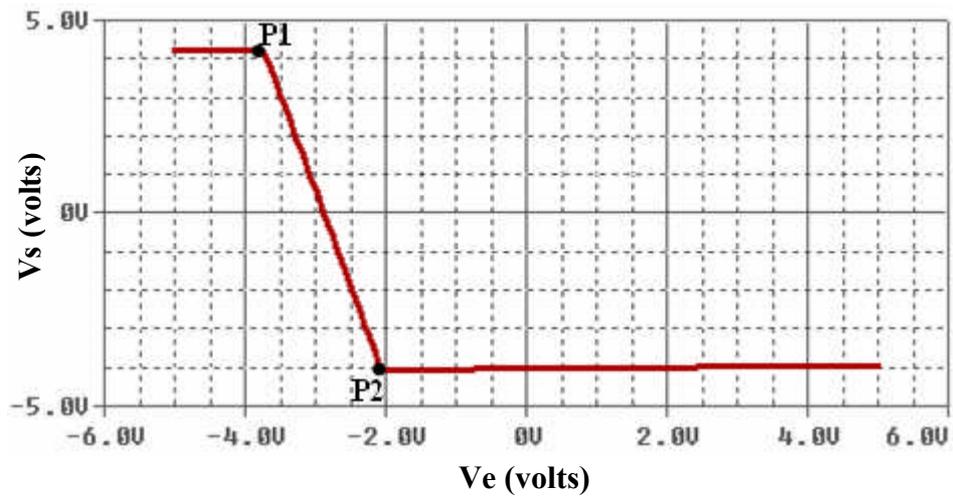


Figure.IV-39 : Caractéristique de transfert de l'amplificateur inverseur en présence de la faute 1.

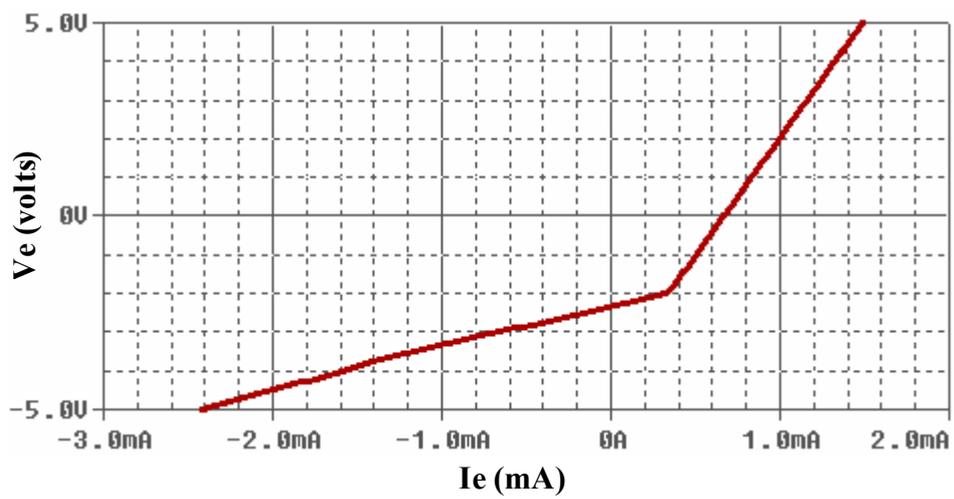


Figure.IV-40 : Caractéristique d'entrée de l'amplificateur inverseur en présence de la faute 1.

| Région de fonctionnement | équations | Valeurs des éléments | Modèle linéaire |
|--|--|---|-----------------|
| Saturation positive $-5V < V_e < -3.75V$ | $* V_s = G_{vsp} V_e + V_{2sp}$ $* V_e = R_{esp} I_e + V_{1sp}$ $* R_s = (V_{th} - V_{ch}) / I_{ch}$ | $G_{vsp} = -0.0032$ $V_{1sp} = -2.34V$ $V_{2sp} = 4.18V$ $R_{esp} = 1.09 \text{ k}\Omega$ $R_s = 34.90\Omega$ | |
| Région linéaire $-3.75V < V_e < -2V$ | $* V_s = G_{vlin} V_e + V_{2lin}$ $* V_e = R_{elin} I_e + V_{1lin}$ $* R_s = (V_{th} - V_{ch}) / I_{ch}$ | $G_{vlin} = -4.71$ $V_{1lin} = -2.34V$ $V_{2lin} = -13.48V$ $R_{elin} = 1.09 \text{ k}\Omega$ $R_s = 23 \Omega$ | |
| Saturation négative $-2V < V_e < 5V$ | $* V_s = G_{vsn} V_e + V_{2sn}$ $* V_e = R_{esn} I_e + V_{1sn}$ $* R_s = (V_{th} - V_{ch}) / I_{ch}$ | $G_{vsn} = 0.0147$ $V_{1sn} = -3.90V$ $V_{2sn} = -4.023V$ $R_{esn} = 5.96 \text{ k}\Omega$ $R_s = 94 \Omega$ | |

Tableau IV-3 : Modèle de l'amplificateur inverseur sous la faute 1

- Faute 2 (groupe 4) : BOQP1, BOQN1 (base ouverte de QP1 ou base ouverte du QN)

La base ouverte du transistor QN1 et la base ouverte du transistor QP1 sans deux fautes qui ont des mêmes influences sur le fonctionnement de circuit.

L'effet de ces deux fautes est vue comme un décalage de la région linéaire de la caractéristique de transfert vers la gauche par rapport au point d'origine (figure IV-41), avec élimination de la région de saturation positive.

Donc, la caractéristique de transfert sous ces deux fautes est constituée de deux régions : l'une linéaire ($-5V < V_e < -3.40V$) et l'autre de saturation négative ($-3.40V < V_e < 5V$).

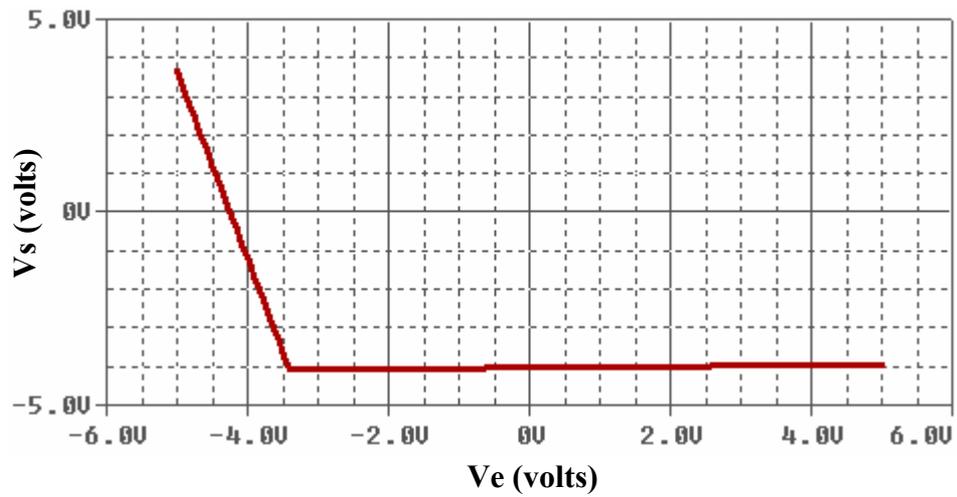


Figure. IV-41 : Caractéristique de transfert de l'amplificateur inverseur en présence de la faute 2.

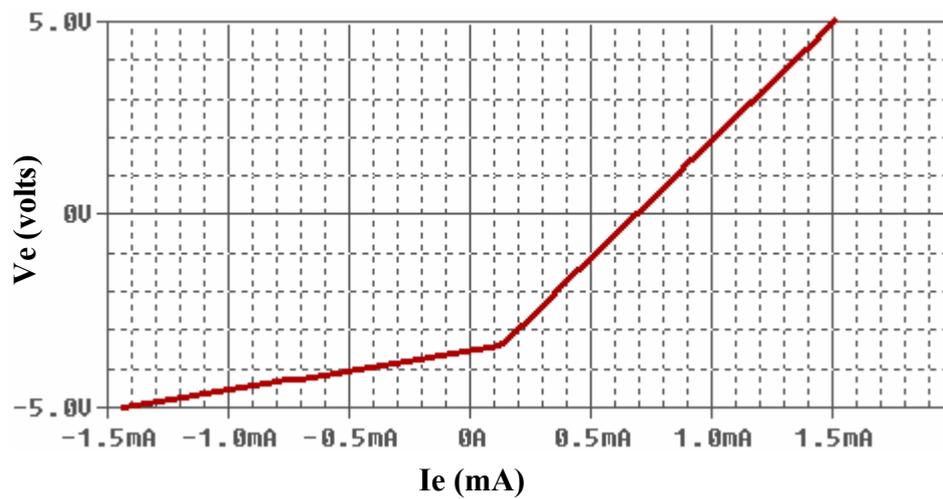


Figure.IV-42 : Caractéristique d'entrée de l'amplificateur inverseur en présence de la faute 2.

Les valeurs des éléments de circuit correspondants au modèle de ces deux fautes sont représentées dans le tableau suivant :

| Région de fonctionnement | Equations | Valeurs des éléments | Modèle linéaire |
|---|--|--|-----------------|
| <p>Région linéaire $-5V < V_e < -3.40V$</p> | <p>$* V_s = G_{vlin} \cdot V_e + V_{2lin}$</p> <p>$* V_e = R_{elin} \cdot I_e + V_{1lin}$</p> <p>$* R_s = (V_{th} - V_{ch}) / I_{ch}$</p> | <p>$G_{vlin} = -4.80$</p> <p>$R_{elin} = 1.05k \Omega$</p> <p>$V_{1lin} = -3.52V$</p> <p>$V_{2lin} = -20.36V$</p> <p>$R_s = 104 \Omega$</p> | |
| <p>Saturation négative $-3.40V < V_e < 5V$</p> | <p>$* V_s = G_{vsn} \cdot V_e + V_{2sn}$</p> <p>$* V_e = R_{esn} \cdot I_e + V_{1sn}$</p> <p>$* R_s = (V_{th} - V_{ch}) / I_{ch}$</p> | <p>$G_{vsn} = 0.014$</p> <p>$R_{esn} = 6.10 k \Omega$</p> <p>$V_{1sn} = -4.20V$</p> <p>$V_{2sn} = -4.03V$</p> <p>$R_s = 93 \Omega$</p> | |

Tableau IV-4 :Modèle de l'amplificateur inverseur sous la faute 2

- Faute 3 (groupe 17) : CCECQN3

Cette faute est un court circuit entre l'émetteur et le collecteur du transistor QN3, son effet résume la caractéristique de transfert dans une région linéaire, la tension de sortie est comprise entre deux valeurs très proches (1.314 V et 1.348 V), voir la figure IV-43.

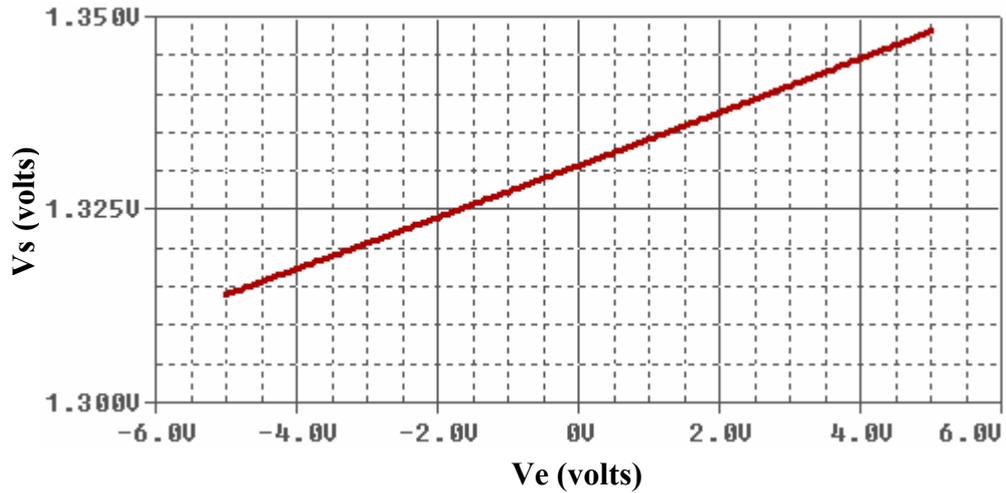


Figure.IV-43 : Caractéristique de transfert de l'amplificateur inverseur en présence de la faute 3

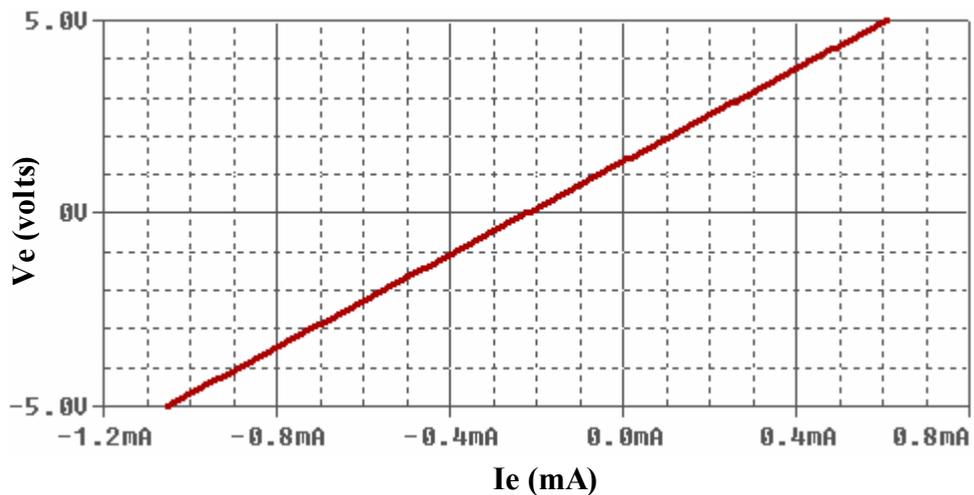


Figure.IV-44 : Caractéristique d'entrée de l'amplificateur inverseur en présence de la faute 3

Le tableau suivant représente les différentes valeurs des éléments du modèle correspondant à cette faute.

| Région de fonctionnement | Equations | Valeurs des éléments | Modèle linéaire |
|---|---|--|-----------------|
| $-5V < V_e < 5V$ | $* V_s = G_{vlin} \cdot V_e + V_{off2}$ $* V_e = R_e \cdot I_e + V_{off1}$ $* R_s = (V_{th} - V_{ch}) / I_{ch}$ | $G_{vlin} = 0.0034$ $R_e = 6.02k\Omega$ $V_{off1} = 1.33V$ $V_{off2} = 1.331V$ $R_s = 21.13\Omega$ | |
| Tableau IV-5 : Modèle de l'amplificateur inverseur sous la faute 3 | | | |

IV-7-2. Classification et groupes de fautes

Après la simulation de l'amplificateur inverseur en présence de fautes (96 fautes possibles), et à partir des caractéristiques obtenues, nous avons classé ces fautes en 37 groupes.

- **Groupe 1 :** COQN2, EOQN3, BOQN3, COQN3, COQN4, EOQN5, BOQN5, COQN5, COQN7, COQN8, BOQN8, COQP1, COQP3, COQP5, EOQP7, BOQP7, COQP8, CCBEQN3, CCECQN4, CCBEQN4, CCBCQN4, CCBEQN5, CCECQN8, CCBEQN8, CCECQP7, CCBEQP7.
- **Groupe 2 :** EOQP6, BOQP6, COQP6, BOQN10, EOQN10, CCECQP5, CCBEQP5, CCBEQP6.
- **Groupe 3 :** BOQN2, BOQP2, COQP2, CCBEQP2, EOQN6, BOQN6, COQN6, EOQN9, BOQN9, COQN9, CCECQN1, CCBCQP2, CCECQP4, CCECQN5, CCBEQN6, CCECQN7, CCBEQN7.
- **Groupe 4 :** BOQN1, BOQP1.
- **Groupe 5 :** EOQN4, BOQN4.
- **Groupe 6 :** EOQN7, BOQN7.
- **Groupe 7 :** EOQP4, BOQP4, COQP4, CCBEQP4, CCECQP3, CCBEQP3.
- **Groupe 8 :** EOQP3, BOQP3.
- **Groupe 9 :** EOQP5, BOQP5.
- **Groupe 10 :** EOQP8, BOQP8.
- **Groupe 11 :** CCBEQN1.
- **Groupe 12 :** CCBCQN1
- **Groupe 13 :** COQN1
- **Groupe 14 :** CCECQN2
- **Groupe 15 :** CCBEQN2
- **Groupe 16 :** CCBCQN2

- **Groupe 17 : CCECQN3**
- **Groupe 18 : CCBCQN3**
- **Groupe 19 : CCBCQN5**
- **Groupe 20 : CCECQN6**
- **Groupe 21 : CCBCQN6**
- **Groupe 22 : CCECQN9**
- **Groupe 23 : CCBCQN9**
- **Groupe 24 : CCECQP1**
- **Groupe 25 : CCBEQP1**
- **Groupe 26 : CCBCQP1**
- **Groupe 27 : CCECQP2**

- **Groupe 28** : CCECQP6
- **Groupe 29** : CCBCQP6
- **Groupe 30** : CCECQP8
- **Groupe 31** : CCBEQP8
- **Groupe 32** : CCBCQP8
- **Groupe 33** : COQP8
- **Groupe 34** : CCECQN10
- **Groupe 35** : CCBEQN10
- **Groupe 36** : CCBCQN10
- **Groupe 37** : COQN10

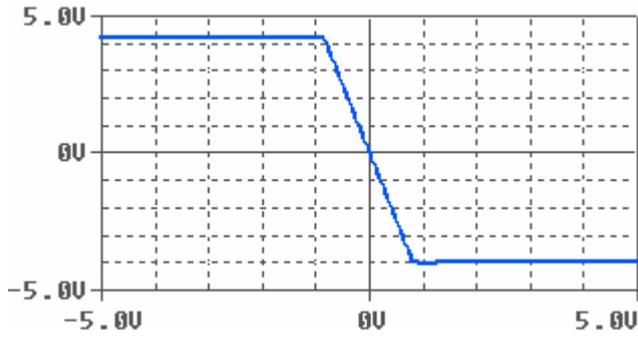
N.B : (COQN2 est le collecteur ouvert du transistor QN2, CCECQN2 est le court circuit émetteur collecteur du transistor QN2)

IV-7-3. Caractéristiques de transfert de l'amplificateur inverseur fautif

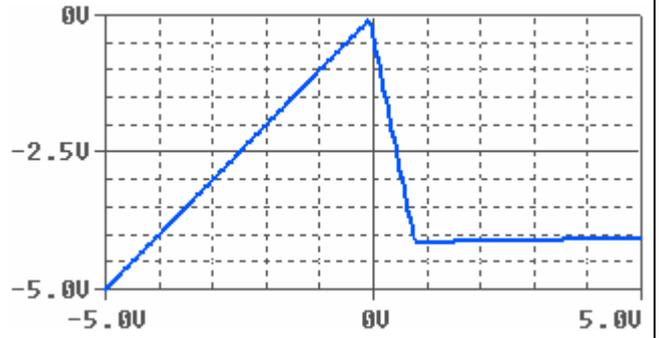
Dans les tableaux ci-dessous, nous avons représenté toutes les caractéristiques de transfert de l'amplificateur inverseur en présence de défauts, qui sont obtenues en injectant un défaut au niveau d'un transistor puis lancer la simulation **OrCad Pspice**, chacune de ces caractéristiques est correspondante à un groupe de fautes.

Caractéristique de transfert $V_s = f(V_e)$

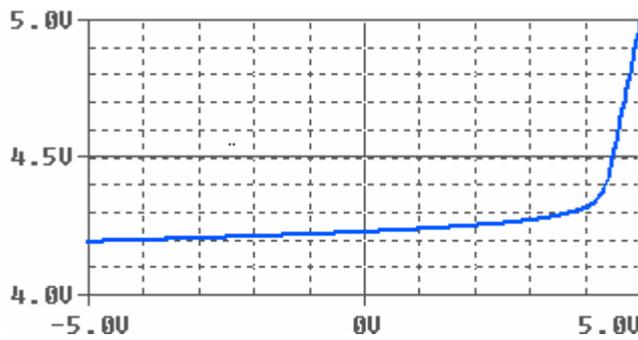
Groupe 1



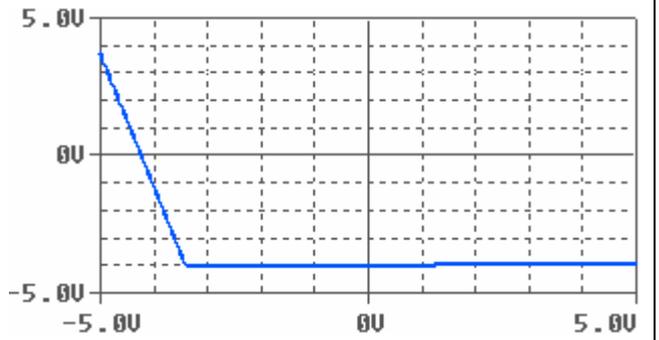
Groupe 2



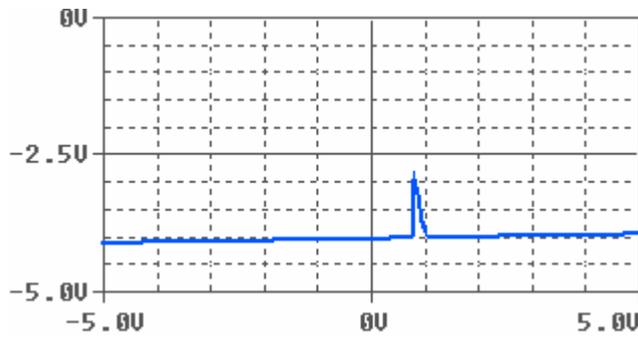
Groupe 3



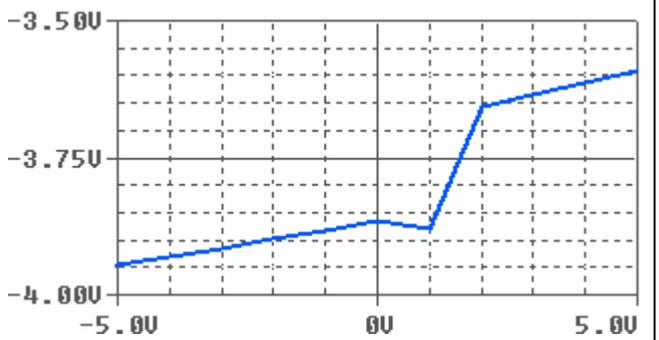
Groupe 4



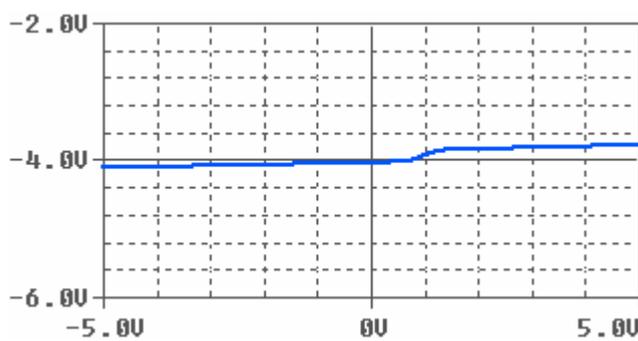
Groupe 5



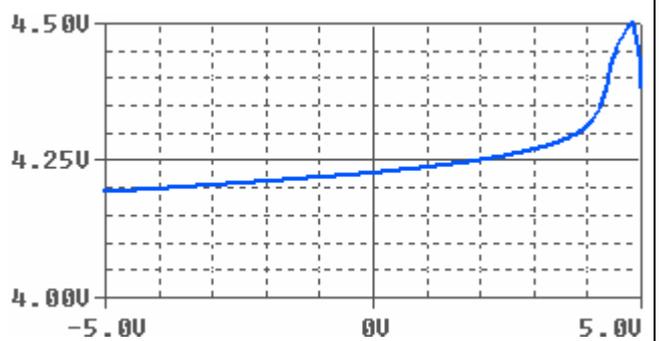
Groupe 6



Groupe 7

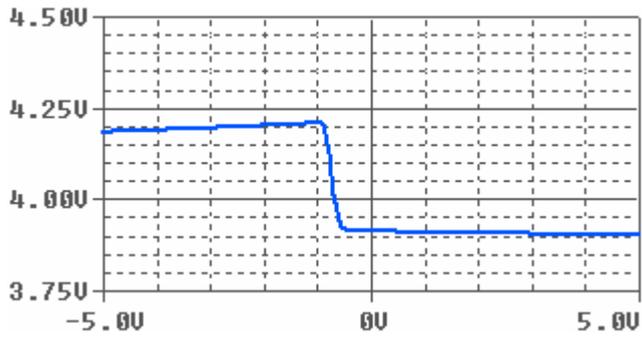


Groupe 8

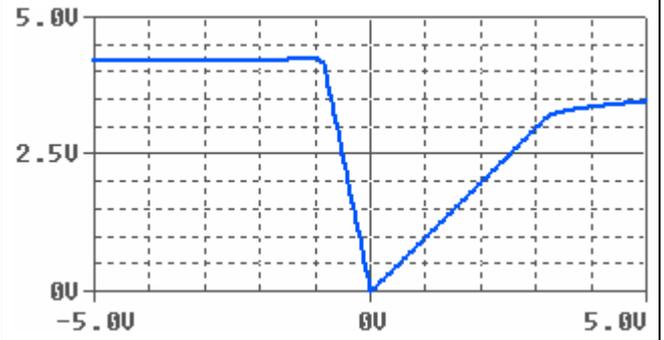


Caractéristique de transfert $V_s = f(V_e)$

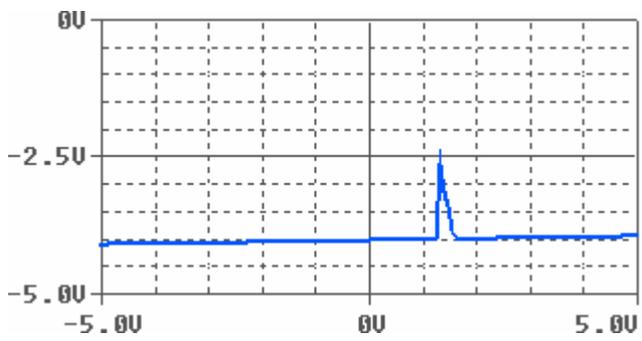
Groupe 9



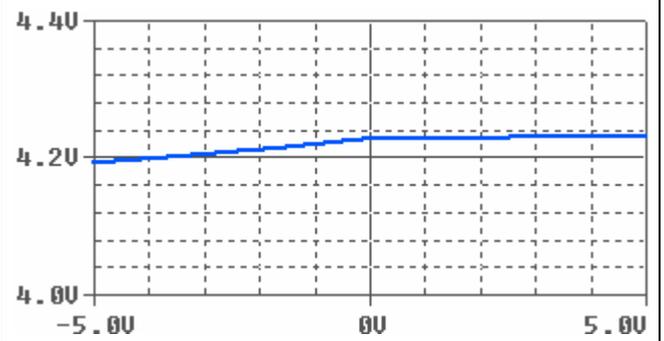
Groupe 10



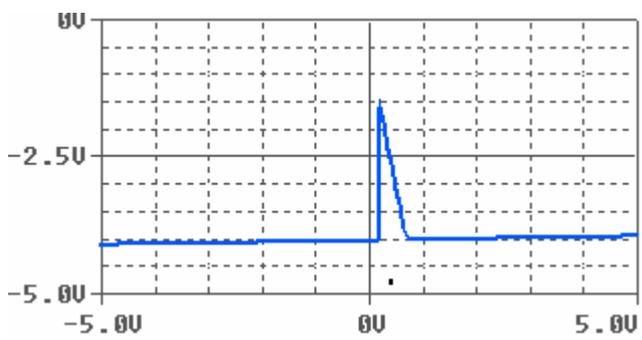
Groupe 11



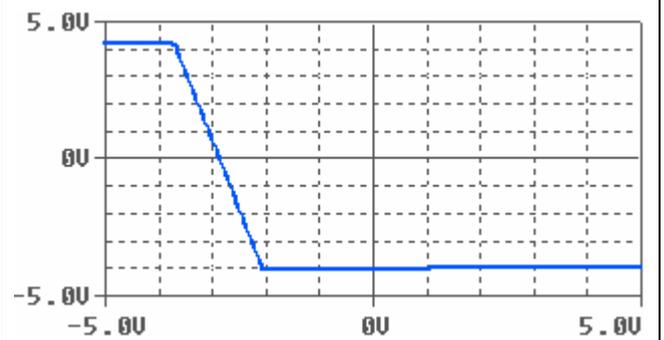
Groupe 12



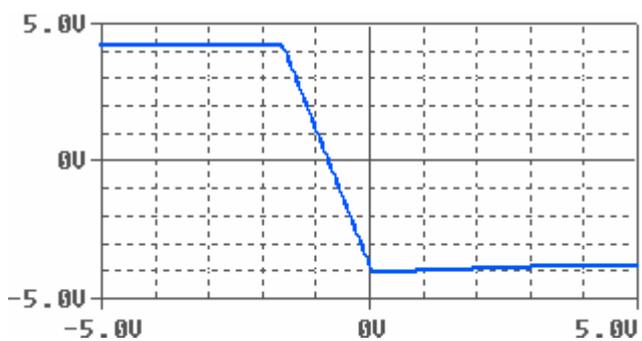
Groupe 13



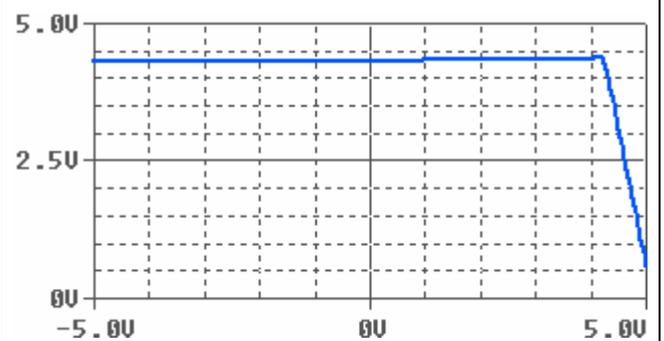
Groupe 14



Groupe 15

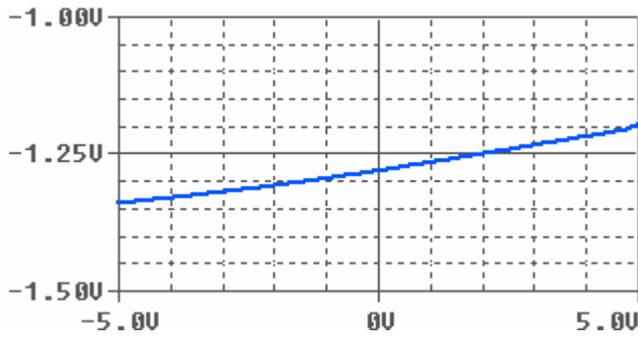


Groupe 16

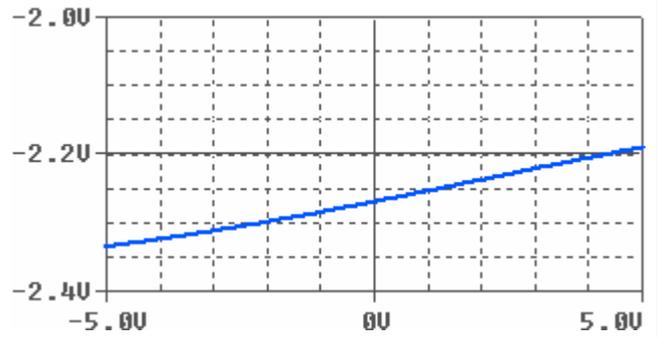


Caractéristique de transfert $V_s = f(V_e)$

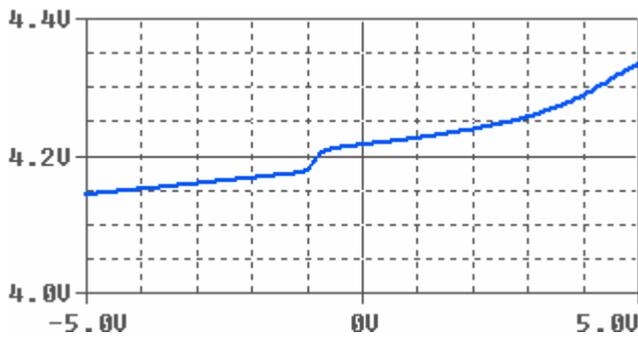
Groupe 17



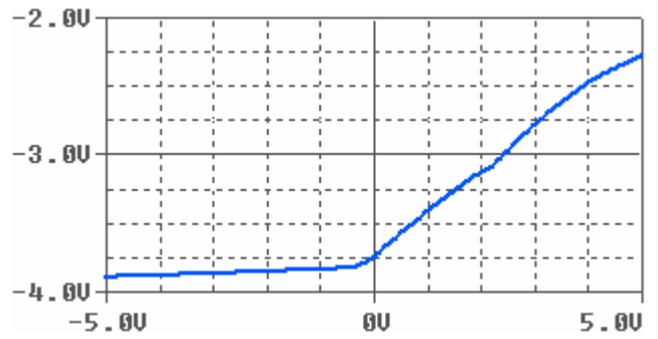
Groupe 18



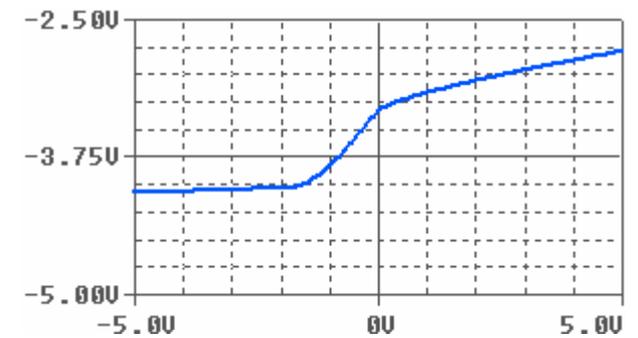
Groupe 19



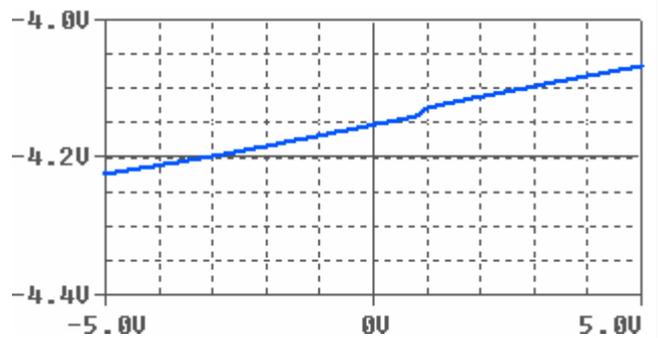
Groupe 20



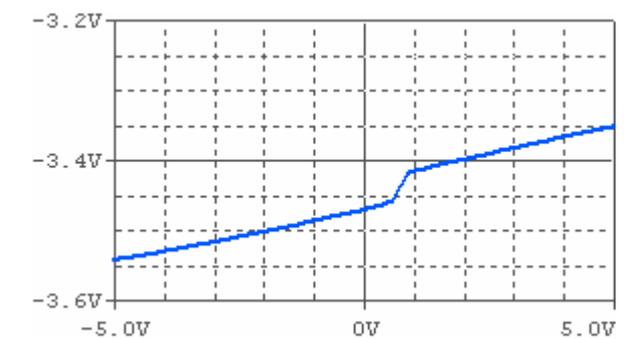
Groupe 21



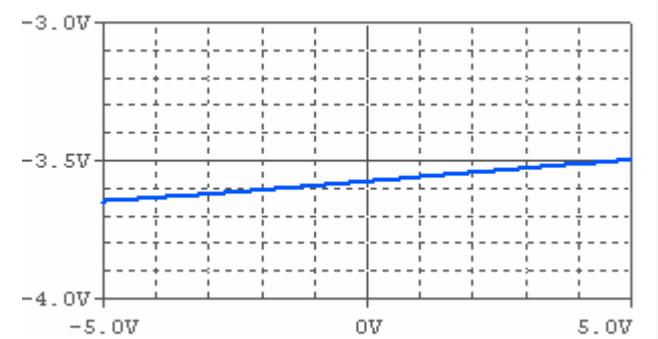
Groupe 22



Groupe 23

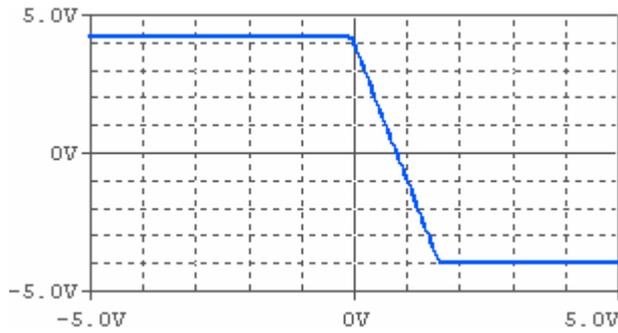


Groupe 24

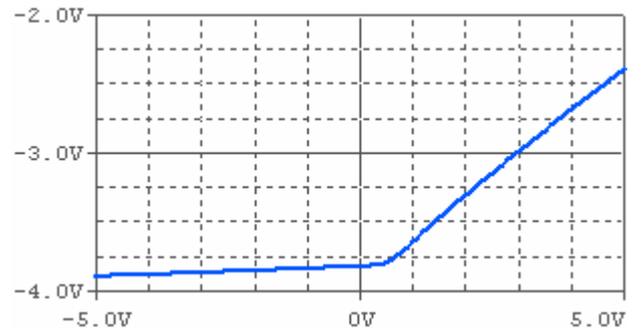


Caractéristique de transfert $V_s = f(V_e)$

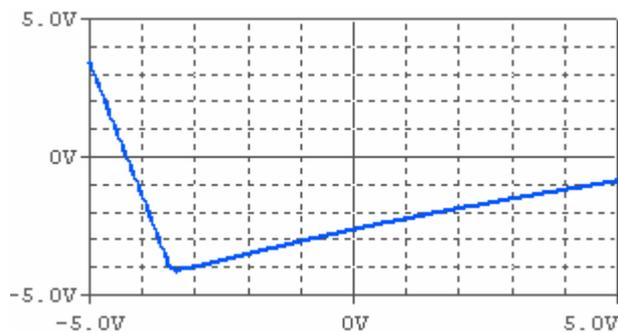
Groupe 25



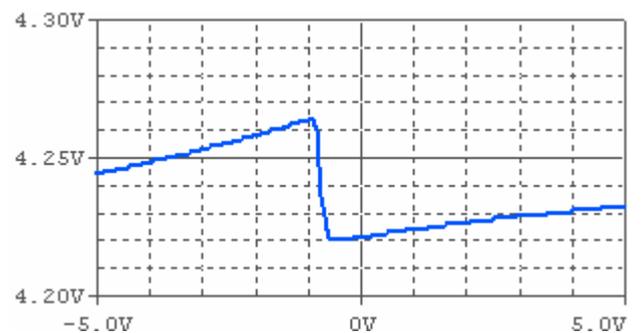
Groupe 26



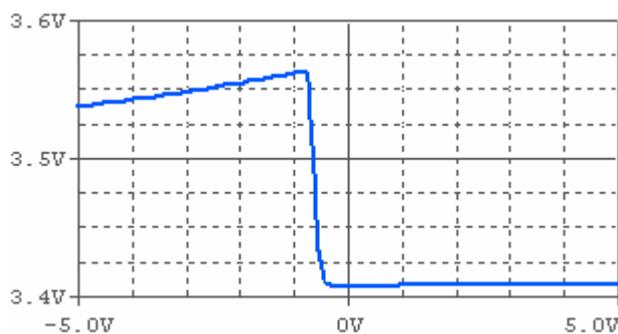
Groupe 27



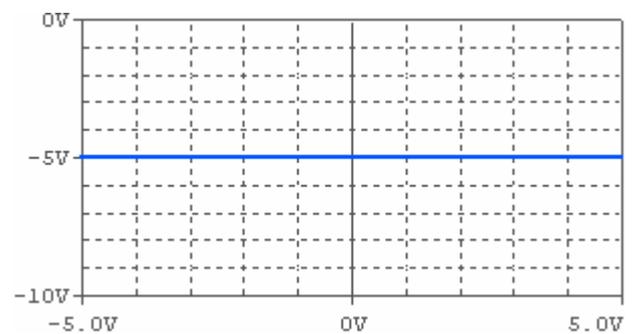
Groupe 28



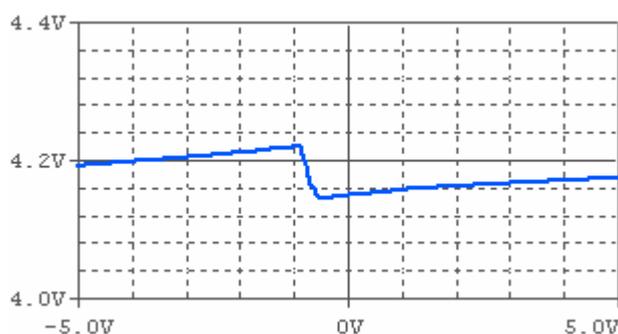
Groupe 29



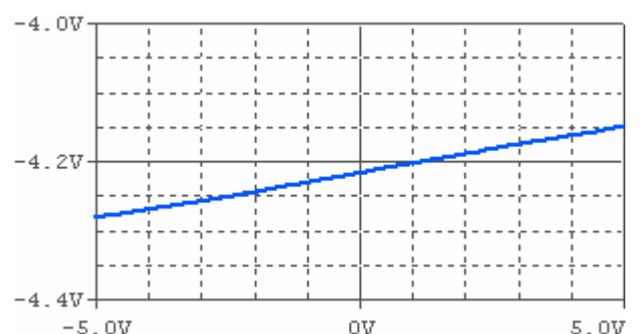
Groupe 30



Groupe 31

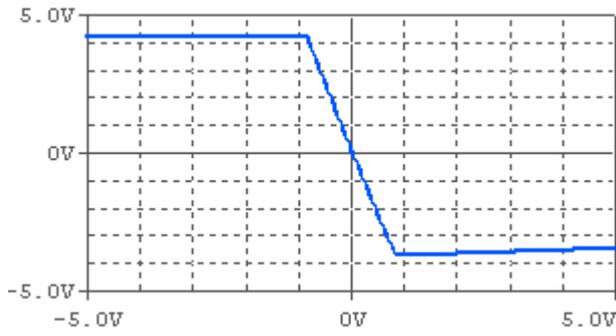


Groupe 32

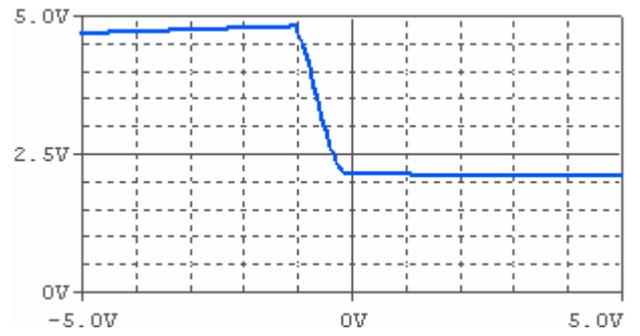


Caractéristique de transfert $V_s = f(V_e)$

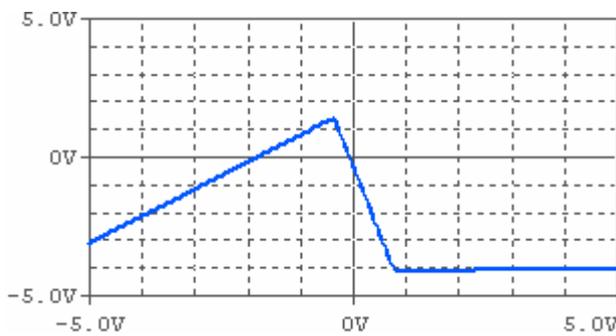
Groupe 33



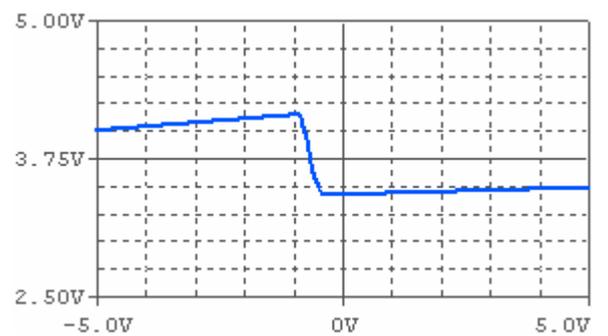
Groupe 34



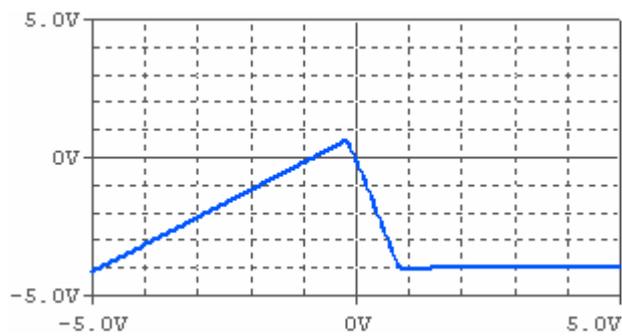
Groupe 35



Groupe 36



Groupe 37



IV-7-4. Modèles des défauts de l'amplificateur inverseur

| Groupe | région | G_v | R_e | R_s | V_{off1} | V_{off2} |
|--------|------------------------|----------|-----------------|------------------|------------|------------|
| 1 | $-5V < V_e < -0.85V$ | 0.00676 | 5.97K Ω | 40.46 Ω | 4.18V | 4.226V |
| | $-0.85V < V_e < 0.85V$ | -4.94 | 1 K Ω | 74.33 K Ω | 0.17mV | 9.6mV |
| | $0.85V < V_e < 5V$ | 0.01523 | 6.03 K Ω | 95.30 Ω | -4.027V | -3.99V |
| 2 | $-5V < V_e < -0.10V$ | 0.998 | 610 K Ω | 5.93 K Ω | -5V | -8.34mV |
| | $-0.1V < V_e < 0.80V$ | -4.47 | 1.11 K Ω | 307 Ω | -0.113V | -5.67V |
| | $0.80V < V_e < 5V$ | 0.0135 | 6.01 K Ω | 118 Ω | -4.20V | -4.13V |
| 3 | $-5V < V_e < 2V$ | 0.0084 | 6.27 K Ω | 56.23 Ω | 4.61V | 4.23V |
| | $2V < V_e < 4V$ | 0.0324 | | 168 Ω | | 4.18V |
| | $4V < V_e < 4.5V$ | 0.374 | | 713.5 Ω | | 2.818V |
| | $4.5V < V_e < 5V$ | 0.992 | | 2.40 K Ω | | 0.038V |
| 4 | $-5V < V_e < -3.36V$ | -4.71 | 1.05 K Ω | 104 Ω | -3.49V | -4.03V |
| | $-3.36V < V_e < 5V$ | 0.014 | 6.07 K Ω | 93 Ω | -4.18V | -4.022V |
| 5 | $-5V < V_e < 0.40V$ | 0.0133 | 5.69 K Ω | 83.5 Ω | -3.60V | -3.46V |
| | $0.40V < V_e < 0.75V$ | -0.92 | | 76 Ω | | -3.09V |
| | $0.75V < V_e < 0.80$ | 16.38 | | 4.35 Ω | | -16.06V |
| | $0.80V < V_e < 1V$ | -4.188 | | 15.1 Ω | | 0.39V |
| | $1V < V_e < 5V$ | 0.014 | | 95 Ω | | -4.02V |
| 6 | $-5V < V_e < 0V$ | 0.0142 | 5.97 K Ω | 90 Ω | -3.47V | -3.388V |
| | $0V < V_e < 1V$ | -0.157 | 3.20 K Ω | 107 Ω | -1.86V | -3.388V |
| | $1V < V_e < 2V$ | 0.40 | 5.85 K Ω | 93 Ω | -4.22V | -3.945V |
| | $2V < V_e < 5V$ | 0.0255 | | | -3.196V | |
| 7 | $-5V < V_e < 0V$ | 0.0136 | 5.69 K Ω | 81.15 Ω | -3.82V | -3.685V |
| | $0V < V_e < 0.50V$ | -0.457 | | 86.10 Ω | | -3.685V |
| | $0.50 < V_e < 1.50$ | 0.421 | | 89 Ω | | -4.12V |
| | $1.50 < V_e < 5$ | 0.03 | | 95.20 Ω | | -3.536V |
| 8 | $-5V < V_e < 1V$ | 0.0075 | 6.05 K Ω | 48 Ω | 4.28V | 4.23V |
| | $1V < V_e < 3V$ | 0.0165 | | 87.55 Ω | | 4.22V |
| | $3V < V_e < 5V$ | 0.044 | | 232 Ω | | 4.138V |
| 9 | $-5V < V_e < -0.94V$ | 0.0058 | 5.76 K Ω | 35.70 Ω | 3.83V | 4.214V |
| | $-0.94V < V_e < -0.4V$ | -0.545 | | 25.30 Ω | | 3.696V |
| | $-0.40V < V_e < 5V$ | -0.00242 | | 20.75 Ω | | 3.91V |
| 10 | $-5V < V_e < -0.90V$ | 0.0044 | 5.85 K Ω | 39 Ω | 3.97V | 4.214V |
| | $-0.90V < V_e < 0V$ | -4.66 | 1.02 K Ω | 34 Ω | -0.01V | 0.018V |
| | $0V < V_e < 3.25V$ | 0.983 | 190 K Ω | 2.93K Ω | -1.95V | 0.018V |
| | $3.25V < V_e < 5V$ | 0.164 | 64.28 Ω | 3.1 K Ω | 5.01V | 2.64V |
| 11 | $-5V < V_e < 0V$ | 0.014 | 7.69 K Ω | 81 Ω | 6.62V | -3.664V |
| | $0V < V_e < 1V$ | 2.526 | | 52.17 Ω | | -3.664V |
| | $1V < V_e < 2V$ | -2.861 | | 54.25 Ω | | 1.723V |
| | $2V < V_e < 5V$ | 0.0156 | | 94.62 Ω | | -4.03V |
| 12 | $-5V < V_e < 0.10V$ | -0.00566 | 5.55 K Ω | 42.7 Ω | 3.50V | 4.1636V |
| | $0.10V < V_e < 1.75V$ | -4.52 | 1.05 K Ω | 178 Ω | 0.661V | 4.70V |
| | $1.75V < V_e < 5V$ | -0.125 | | 112 Ω | | -3.10V |
| 13 | $-5V < V_e < -0.50V$ | 0.0106 | 5.59 K Ω | 61.24 Ω | -3.45V | 3.285V |
| | $-0.50V < V_e < 1V$ | -0.483 | | 85.30 Ω | | -3.53V |
| | $1V < V_e < 5V$ | 0.0155 | | 95 Ω | | -4.03V |

| groupe | Région | G_v | R_e | R_s | V_{off1} | V_{off2} |
|--------|-------------------------|----------|-----------------|-----------------|------------|------------|
| 14 | $-5V < V_e < -3.75V$ | -0.0032 | 1.09 K Ω | 34.90 Ω | -2.34V | 4.18V |
| | $-3.75V < V_e < -2V$ | -4.71 | | 23 Ω | | -13.48V |
| | $-2V < V_e < 5V$ | 0.0147 | 5.96 K Ω | 94 Ω | -3.90V | -4.023V |
| 15 | $-5V < V_e < -1.65V$ | 0.005 | 5.70 K Ω | 37 Ω | 3.73V | 4.21V |
| | $-1.65V < V_e < 0.50V$ | -3.90 | 1.11 K Ω | 21.50V | -0.604V | -2.22V |
| | $0.50V < V_e < 3.75V$ | 0.142 | | 98.60 Ω | | -4.03V |
| | $3.75V < V_e < 5V$ | 0.0248 | 4.03 K Ω | 97.20 Ω | -12.10V | -3.59V |
| 16 | $-5V < V_e < 4.20V$ | 0.0073 | 1.04 K Ω | 366.5 Ω | 4.28V | 4.34V |
| | $4.20V < V_e < 5V$ | -5.46 | | 270 Ω | | 27.31V |
| 17 | $-5V < V_e < +5V$ | 0.0034 | 6.02 K Ω | 21.13 Ω | 1.33V | 1.33V |
| 18 | $-5V < V_e < +5V$ | 0.00382 | 6.02 K Ω | 23.32 Ω | 0.22V | 0.22V |
| 19 | $-5V < V_e < -1V$ | 0.009 | 6 K Ω | 50.66 Ω | 4.15V | 4.188V |
| | $-1V < V_e < -0.80V$ | 0.102 | | 50 Ω | | 4.28V |
| | $-0.80V < V_e < 2.5V$ | 0.011 | | 67 Ω | | 4.21V |
| | $2.5V < V_e < 5V$ | 0.023 | | 130 Ω | | 4.18V |
| 20 | $-5V < V_e < -0.50V$ | 0.014 | 5.60 K Ω | 80 Ω | -3.64V | -3.48V |
| | $-0.5V < V_e < 1V$ | 0.27 | | 100 Ω | | -3.37V |
| | $1V < V_e < 2.5V$ | 0.622 | | 103.5 Ω | | -3.68V |
| | $2.5V < V_e < 5V$ | 0.194 | | 97.60 Ω | | -2.61V |
| 21 | $-5V < V_e < -1.50V$ | 0.02 | 5.60 K Ω | 86.63 Ω | -3.95V | -3.77V |
| | $-1.5V < V_e < -0.70V$ | 0.745 | 1.87 K Ω | 99.69 Ω | -2.32V | -2.68V |
| | $-0.70V < V_e < 5V$ | 0.131 | | 98.66 Ω | | -3.11V |
| 22 | $-5V < V_e < 0.75V$ | 0.014 | 6.03K Ω | 84.64 Ω | -4.22V | -4.15V |
| | $0.75V < V_e < 1V$ | 0.091 | | 94.10 Ω | | -4.21V |
| | $1V < V_e < 0.75V$ | 0.0157 | | 88.95 Ω | | -4.13V |
| 23 | $-5V < V_e < 0.50V$ | 0.015 | 60.44K Ω | 80.37 Ω | -3.53V | -3.46V |
| | $0.50V < V_e < 0.85V$ | 0.11 | | 93 Ω | | -3.51V |
| | $0.85V < V_e < 5V$ | 0.017 | | 92.45 Ω | | -3.43V |
| 24 | $-5V < V_e < 5V$ | 0.014 | 6.11 K Ω | 74 Ω | -3.06V | -3.03V |
| 25 | $-5V < V_e < 0.25V$ | 0.0144 | 6 K Ω | 80.3 Ω | -3.56V | -3.48V |
| | $0.25V < V_e < 1.6V$ | 0.403 | 3.33K Ω | 105.87 Ω | -1.86 V | -3.58V |
| | $1.6V < V_e < 5V$ | | 4.37 K Ω | 105.87 Ω | -2.94V | |
| 26 | $-5V < V_e < -0.75V$ | -0.00378 | 5.11 K Ω | 37.7 Ω | 2.82V | 4.17V |
| | $0.75V < V_e < 1.65V$ | -3.388 | 1.43 K Ω | 65.57 Ω | 0.25V | 1.63V |
| | $1.65V < V_e < 5V$ | 0.0116 | 5.96 K Ω | 92.58 Ω | -4.01V | -4.01V |
| 27 | $-5V < V_e < -3.46V$ | -4.825 | 1.03 K Ω | 93.24 Ω | -3.57V | -20.72V |
| | $-3.46V < V_e < 5V$ | 2.613 | 2.57 K Ω | 92.70 Ω | -3.73V | -13.07V |
| 28 | $-5V < V_e < -0.90V$ | 0.0049 | 5.91K Ω | 26.47 Ω | 4.11V | 4.27V |
| | $-0.90V < V_e < -0.55V$ | -0.122 | | 18.25 Ω | | 4.15V |
| | $-0.55V < V_e < 5V$ | 0.0021 | | 24 Ω | | 4.22V |
| 29 | $-5V < V_e < -0.80V$ | 0.0062 | 5.85K Ω | 33.51 Ω | 3.33V | 3.57V |
| | $-0.80V < V_e < -0.35V$ | -0.34 | | 27.41 Ω | | 3.29V |
| | $-0.35V < V_e < 5V$ | 0.00018 | | 16.84 Ω | | 3.41V |
| 30 | $-5V < V_e < 5V$ | 0.000 | 5.93K Ω | 0 | -5V | -5V |

| groupe | Région | G_v | R_e | R_s | V_{off1} | V_{off2} |
|--------|-------------------------|---------|-----------------|--------|------------|------------|
| 31 | $-5V < V_e < -0.95V$ | 0.00686 | 5.91K Ω | 40.18 | 4.06V | 4.23V |
| | $-0.95V < V_e < -50V$ | -0.165 | | 63.24 | | 4.06V |
| | $-0.50V < V_e < 5V$ | 0.0052 | | 41.65 | | 4.15V |
| 32 | $-5V < V_e < 5V$ | 0.013 | 6.00K Ω | 70.5 | -4.28V | -4.21V |
| 33 | $-5V < V_e < -0.85V$ | -0.0035 | 5.86K Ω | 38.50 | 3.98V | 4.17V |
| | $-0.85V < V_e < 0.85V$ | -4.63 | 1.06K Ω | 42.51 | 0.03V | 0.23V |
| | $0.85V < V_e < 5V$ | 0.060 | 6.32K Ω | 44.77 | -4.04V | -3.75V |
| 34 | $-5V < V_e < -1V$ | 0.030 | 6.11K Ω | 192 | 4.86V | 4.83V |
| | $-1V < V_e < 0V$ | -2.67 | 1.5K Ω | 132.20 | 0.40V | 2.12V |
| | $0V < V_e < 5V$ | -0.0046 | 5.92K Ω | 180.80 | 2.02V | 2.12V |
| 35 | $-5V < V_e < -0.90V$ | 0.035 | 6.13K Ω | 208 | 4.20V | 4.18V |
| | $-0.90V < V_e < -0.40V$ | -1.36 | 2.41K Ω | 155.58 | 1.10V | 2.92V |
| | $-0.40V < V_e < 5V$ | 0.011 | 6.05K Ω | 170.40 | 3.35V | 3.43V |
| 36 | $-5V < V_e < -0.40V$ | 0.97 | 143.3K Ω | 5.84 K | 40.29V | 1.74V |
| | $-0.40V < V_e < 0.80V$ | -4.54 | 1.08K Ω | 154 | -0.09V | -0.46V |
| | $0.80V < V_e < 5V$ | 0.014 | 6.00 K Ω | 102.20 | -4.15V | -4.11V |
| 37 | $-5V < V_e < -0.25V$ | 0.87 | 111 K Ω | 4.66 K | 4.23V | 0.22V |
| | $-0.25V < V_e < 0.80V$ | -3.70 | 1.25K Ω | 831.5 | -0.20V | -0.92V |
| | $0.80V < V_e < 5V$ | 0.0088 | 6.00K Ω | 106.20 | -4.06V | -3.99V |

Tableau IV-7 : Modèles de défauts de l'amplificateur inverseur.

Les caractéristiques de transfert de l'amplificateur inverseur en présence des défauts correspondants à chaque groupe de fautes sont représentées en annexe 3.

IV-8. Conclusion

Dans ce chapitre nous avons développé les modèles des défauts catastrophiques de l'amplificateur inverseur à partir de ses caractéristiques électriques obtenues lors de la simulation de ce dernier par emploi du simulateur OrCad Pspice. La méthode employée pour le développement de macromodèles est l'approximation par la segmentation linéaire (P.W.L) des caractéristiques électriques du circuit sous test. Les modèles électriques pour le circuit ouvert et le court circuit sont respectivement des résistances de grandes valeurs et de petites valeurs. Ces modèles ont une structure électrique équivalente simplifiée dont les éléments sont des résistances, des sources de tensions dépendantes ou non. Des fonctions mathématiques simples sont adjointes à ces modèles décrivant un comportement linéaire relatif à chaque segment de la caractéristique électrique.

Conclusion et perspectives

La modélisation et la simulation sont l'un des domaines clé déterminant le succès de la conception des circuits intégrés analogiques, leurs tendances s'orientent vers la possibilité de simuler des circuits analogiques et numériques très complexes, efficacement avec la possibilité d'ajuster le niveau de modèle si nécessaire. La modélisation est définie comme un processus par lequel un système peut être transformé en une forme abstraite appelée modèle. La simulation est définie comme un processus par lequel l'ordinateur est utilisé pour évaluer un modèle et estimer ses caractéristiques importantes.

Dans cette thèse, On a choisi le simulateur OrCAD PSpice pour simuler le circuit amplificateur inverseur pour les raisons suivantes [12] :

- PSpice est le logiciel de simulation le plus répandu dans l'industrie.
- Il est basé sur le standard industriel SPICE et donne donc accès aux bibliothèques de modèles développées par les fabricants.
- La prise en main du logiciel est simple.
- Il permet de simuler tous les aspects des systèmes que l'on rencontre dans les différents domaines.
- La version utilisée OrCAD Pspice 9.2 est une version professionnelle non limitée, ce qui nous a permis de simuler des circuits très complexes.

Nous avons présenté une approche de modélisation fonctionnelle des défauts internes aux circuits analogiques intégrés (amplificateur inverseur). L'objectif visé à travers ce travail est d'essayer de trouver une solution au problème rencontré dans la fabrication des circuits intégrés et plus précisément dans le test et qui est celui du temps considérable effectué dans ce processus. Les modèles fonctionnels du circuit défaillant décrit ici ne sont en réalité qu'une représentation très simplifiée et équivalente du circuit réel du point de vue fonction. Il s'agit d'un quadripôle dont ses éléments sont des composants linéaires (résistances d'entrée et de sortie, sources de tension contrôlées ou non contrôlées) déterminés par une méthode d'approximation linéaire P.W.L [27] [28] (abréviation anglaise à **P**iece **w**ise **l**inear approximation) qui permet de délimiter les régions linéaires par des points de cassure (break points) ou points d'inflexion de la courbe des différentes caractéristiques du circuit et d'extraire les paramètres électriques composant un modèle électrique linéaire. Les caractéristiques électriques de transfert, de sortie et d'entrée du circuit soumis à l'étude.

La déviation de la valeur électrique de l'élément du quadripôle par rapport à la valeur de référence du même élément dans le quadripôle du circuit non défaillant est un signe de présence de défaut.

A ce niveau d'abstraction (niveau fonctionnel), l'effet des défauts est vu comme changement de valeur des éléments du modèle. Les résultats de la simulation nous montrent qu'il y a des fautes qui ont le même effet sur le fonctionnement du circuit, à cet effet nous avons classé ces fautes par quarante groupes et on a développé un modèle correspond à chaque groupe de fautes. Lors d'injection de défauts dans le circuit d'une façon individuelle, la déviation obtenue sur les valeurs électriques des éléments du modèle fonctionnel n'est en réalité qu'un signe de présence de ces derniers

La modélisation de l'amplificateur inverseur a été faite au niveau transistor (niveau bas), dans ce cas et lors de la modélisation d'un circuit analogique ayant un nombre de transistors trop important, le temps de simulation devient aussi très important [14]. L'élaboration d'un modèle à un niveau plus élevé que celui de transistor (niveau comportemental) permet de diminuer le temps de simulation par implémentation de ce modèle dans un langage comportemental VHDL-AMS [14] ou l'utilisation d'un outil de macromodélisation (module ABM d'OrCAD-Pspice).

Comme perspective de ce travail

- Des nouvelles techniques de modélisation comportementale basées sur un langage standard tel que le simulateur VHDL-AMS, peuvent être développées pour l'amélioration du temps de simulation.
- Utilisation de nouveaux outils de caractérisation et d'extraction de paramètres (pour des calculs statistiques et d'optimisation).
- Au niveau de la modélisation, d'autres paramètres peuvent être introduits afin de prendre en compte leur effet sur le fonctionnement du macromodèle, comme par exemples le bruit, la tension d'offset, l'effet de la charge et de l'alimentation.

ANNEXES

Annexe 1 : les amplificateurs opérationnels.

1. Introduction

Les amplificateurs opérationnels sont les composants de base des montages électriques analogiques modernes, ils sont nés au début des années 60, accompagnants le début d'intégration de plusieurs transistors et résistances sur le même substrat de silicium, cette technologie a permis de bâtir des montages complexes, et de les faire tenir sur une petite plaquette de silicium encapsulée dans un boîtier.

Les amplificateurs opérationnels ont été conçus initialement pour la résolution analogique de problèmes numériques tel que l'étude d'équations différentielles dont les solutions analytiques sont inconnues.

Les amplificateurs opérationnels ont d'abord été réalisés avec des composants discrets. L'électronique intégrée permet actuellement la fabrication d'amplificateurs dont les performances sont excellentes, la mise en œuvre aisée et le coût modique. Ils ne nécessitent que peu de composants périphériques et les problèmes délicats de polarisation des amplificateurs réalisés avec des composants discrets sont éliminés. Ils sont maintenant utilisés dans de nombreux domaines de l'électronique analogique.

2. Caractéristiques des amplificateurs opérationnels

Pratiquement, tous les amplificateurs opérationnels ont la même structure interne : ceux sont des circuits monolithiques dans une puce de silicium constituée le substrat commun. Ils comportent en entrée un amplificateur différentiel suivi d'un étage adaptateur d'impédance ; l'amplificateur de sortie, de type PUSH-PULL, fonctionne en classe B. toutes les liaisons sont directes.

Ce sont des amplificateurs différentiels caractérisés par :

- Un gain en tension très important : $\mu_D = \mu \approx 10^5 \text{ à } 10^7$
- Une impédance d'entrée très grande : $R_E \approx 10^5 \text{ à } 10^{12} \Omega$
- Une impédance d'entrée mode commun très grande : $R_{EMC} \approx 10^8 \text{ à } 10^{12} \Omega$
- Une impédance de sortie faible : $R_S \approx 10 \text{ à } 500 \Omega$
- La rejection du mode commun (μ_D / μ_{MC}) est très grande
- La réponse en fréquence va du continu jusqu'à des fréquences très élevées, le produit gain-bande passante peut dépasser 100 MHz.
- Ils possèdent deux entrées notées + (l'entrée non inverseuse) et - (l'entrée inverseuse), mais ont une seule sortie.
- Ils utilisent, sauf exception, deux alimentations +U et -U, symétrique par rapport à la masse. Ces alimentations sont omises sur les schémas.

▪ Matériel

Le composant se présente sous forme d'un boîtier plastique ou métallique muni de bornes d'accordement.

C'est un circuit intégré, c'est à dire qu'il est formé d'une multitude de composants électroniques élémentaires (résistances, transistors, condensateurs, diodes, etc...) formant un circuit complexe et intégrés dans un boîtier. Ce circuit est connecté à l'extérieur par des bornes de raccordement : 3 bornes fonctionnelles et 2 bornes d'alimentation, par exemple de +15 et -15V.

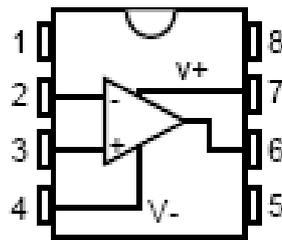


Figure.1 : Amplificateur opérationnel dans un boîtier à 8 broches.

4. Représentation schématique

C'est un composant muni de 3 bornes de raccordements fonctionnelles:

Deux entrées + et - et une sortie. Il possède 2 bornes d'alimentation dont la tension est en général symétrique $\pm 5V$, $\pm 10V$, $\pm 12V$, $\pm 15V$... Dans certains cas l'alimentation peut aussi être dissymétrique, par exemple : $0V-5V$.

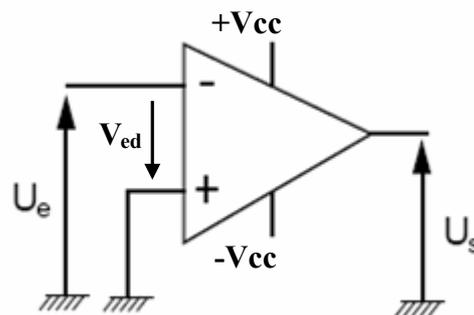


Figure.2 : représentation schématique de l'A.O.P.

5. Alimentation

Comme pour tout circuit amplificateur, il est nécessaire d'alimenter l'A.O.P afin de fournir l'énergie nécessaire au fonctionnement du circuit. On utilise en général pour cela deux sources de tension symétriques selon le montage de la figure 3.

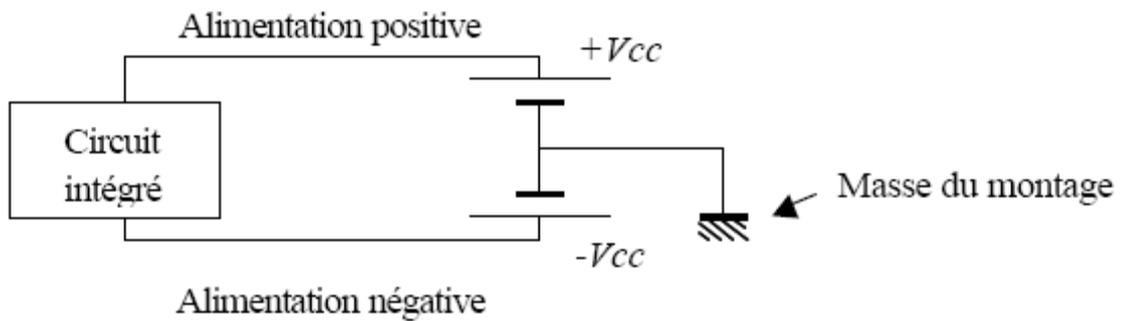


Figure.3 : alimentation d'un A.OP par deux sources de tension.

6. Brochage

La figure 4 représente les différentes broches des amplificateurs opérationnels simples comme le UA741 ou TL081

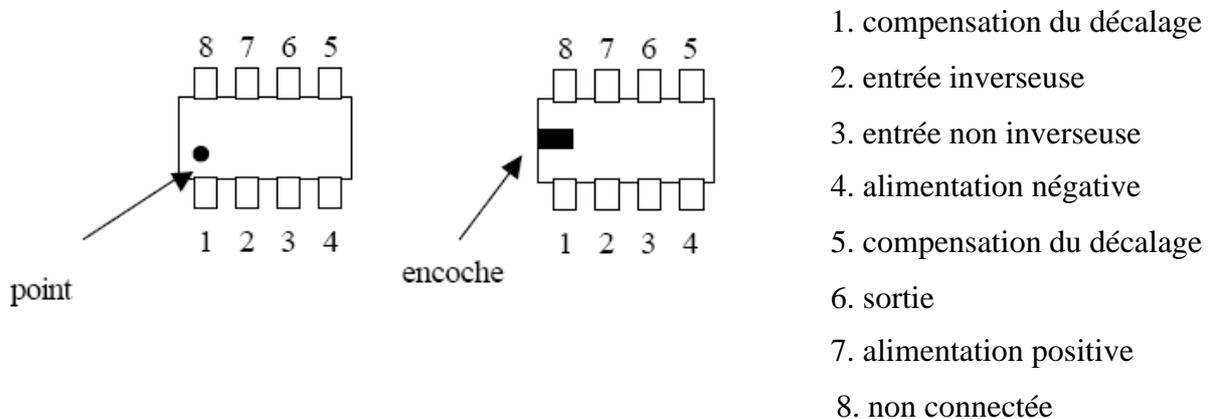


Figure.4 : brochage des A.OP simples comme le 741 ou TL081.

7. Caractéristiques de l'A.O.P parfait

Amplification différentielle : caractéristique $V_s = f(V_{ed})$, on relève deux domaines :

- Domaine linéaire : $V_s = G_v \cdot V_{ed}$ ou G_v est l'amplification différentielle très grande, donc il tend vers $+\infty$. Dans ce cas, L'AOP est dit « idéal ».

- Zones de saturation : $V_s = cte = V_{sat+}$ ou V_{sat-} , les tensions de saturation sont très proches de la tension d'alimentation si bien que : $V_s = \pm V_{cc}$

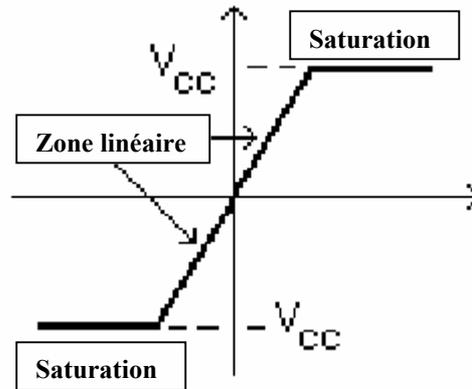


Figure.5 : caractéristique de transfert d'un A.O.P.

8- conclusion

L'amplificateur opérationnel est un élément qui permet de réaliser de nombreuses opérations électroniques, il est assimilable à un composant parfait et peut être utilisé dans différents montages qui sont montage suiveur, amplificateur non inverseur, amplificateur inverseur, sommateur, soustracteur, intégrateur, amplificateur de courant...etc.

Annexe 2 : Netlist Pspice de l'amplificateur inverseur

* F:\simulation\inverseur.sch

**** CIRCUIT DESCRIPTION ****

* Schematics Version 9.2

* Fri Aug 10 17:29:35 2007

** Analysis setup **

.DC LIN V_Vin -5 5 0.05

.OP

.STMLIB "inverseur.stl"

* From [PSPICE NETLIST] section of C:\Program Files\Orcad\PSpice\PSpice.ini:

.lib "C:\Program Files\Orcad\PSpice\UserLib\FDIOD.lib"

.lib "C:\Program Files\Orcad\PSpice\UserLib\M20SP.lib"

.lib "C:\Program Files\Orcad\PSpice\UserLib\M20VP.lib"

.lib "C:\Program Files\Orcad\PSpice\UserLib\M20FN.lib"

.lib "nom.lib"

.INC "inverseur.net"

**** INCLUDING inverseur.net ****

* Schematics Netlist *

```
R_R4          $N_0015 $N_0025 28.8k
R_Re          $N_0001 $N_0028 1k
R_QN4_R2      $N_0002 $N_0020 64
R_QN4_R1      $N_0002 $N_0020 64
Q_QN4_Q2      -5v $N_0002 $N_0021 M20VP
Q_QN4_Q1      $N_0002 $N_0021 $N_0003 M20FN
D_QN4_D1      $N_0021 $N_0003 FDIOD
R_QN8_R2      $N_0004 $N_0022 64
R_QN8_R1      $N_0004 $N_0022 64
Q_QN8_Q2      -5v $N_0004 $N_0022 M20VP
Q_QN8_Q1      $N_0004 $N_0022 $N_0030 M20FN
D_QN8_D1      $N_0022 $N_0030 FDIOD
R_R8          $N_0008 $N_0013 4.2k
R_R5          $N_0008 $N_0011 200
R_R3          $N_0008 $N_0016 200
R_R7          $N_0003 $N_0008 400
R_QN7_R2      $N_0005 $N_0015 64
R_QN7_R1      $N_0005 $N_0015 64
Q_QN7_Q2      -5v $N_0005 $N_0015 M20VP
Q_QN7_Q1      $N_0005 $N_0015 $N_0008 M20FN
D_QN7_D1      $N_0015 $N_0008 FDIOD
R_R1          $N_0008 $N_0003 3.6k
R_R2          $N_0008 $N_0013 3.6k
V_-vcc       $N_0008 0 -5v
```

| | |
|-----------|----------------------------------|
| R_QN10_R2 | \$N_0007 \$N_0006 64 |
| R_QN10_R1 | \$N_0007 \$N_0006 64 |
| Q_QN10_Q2 | -5v \$N_0007 \$N_0022 M20VP |
| Q_QN10_Q1 | \$N_0007 \$N_0022 out M20FN |
| D_QN10_D1 | \$N_0022 out FDIOD |
| R_Rs | \$N_0028 out 5k |
| Q_QP8_Q3 | \$N_0008 \$N_0031 out M20SP |
| Q_QP8_Q2 | \$N_0008 \$N_0031 out M20SP |
| C_QP8_C1 | \$N_0031 -5v 3.35pF |
| R_QN1_R2 | \$N_0009 \$N_0026 64 |
| R_QN1_R1 | \$N_0009 \$N_0026 64 |
| Q_QN1_Q2 | -5v \$N_0009 0 M20VP |
| Q_QN1_Q1 | \$N_0009 0 \$N_0018 M20FN |
| D_QN1_D1 | 0 \$N_0018 FDIOD |
| C_C1 | \$N_0017 \$N_0022 200pF |
| R_QN9_R2 | \$N_0010 \$N_0031 64 |
| R_QN9_R1 | \$N_0010 \$N_0031 64 |
| Q_QN9_Q2 | -5v \$N_0010 \$N_0017 M20VP |
| Q_QN9_Q1 | \$N_0010 \$N_0017 \$N_0011 M20FN |
| D_QN9_D1 | \$N_0017 \$N_0011 FDIOD |
| R_QN5_R2 | \$N_0012 \$N_0017 64 |
| R_QN5_R1 | \$N_0012 \$N_0017 64 |
| Q_QN5_Q2 | -5v \$N_0012 \$N_0021 M20VP |
| Q_QN5_Q1 | \$N_0012 \$N_0021 \$N_0013 M20FN |
| D_QN5_D1 | \$N_0021 \$N_0013 FDIOD |
| R_QN6_R2 | \$N_0014 \$N_0023 64 |
| R_QN6_R1 | \$N_0014 \$N_0023 64 |
| Q_QN6_Q2 | -5v \$N_0014 \$N_0015 M20VP |
| Q_QN6_Q1 | \$N_0014 \$N_0015 \$N_0016 M20FN |
| D_QN6_D1 | \$N_0015 \$N_0016 FDIOD |
| Q_QP2_Q3 | \$N_0017 \$N_0023 \$N_0029 M20SP |
| Q_QP2_Q2 | \$N_0017 \$N_0023 \$N_0029 M20SP |
| C_QP2_C1 | \$N_0023 -5v 3.35pF |
| Q_QP1_Q3 | \$N_0020 \$N_0023 \$N_0018 M20SP |
| Q_QP1_Q2 | \$N_0020 \$N_0023 \$N_0018 M20SP |
| C_QP1_C1 | \$N_0023 -5v 3.35pF |
| R_QN3_R2 | \$N_0019 \$N_0024 64 |
| R_QN3_R1 | \$N_0019 \$N_0024 64 |
| Q_QN3_Q2 | -5v \$N_0019 \$N_0020 M20VP |
| Q_QN3_Q1 | \$N_0019 \$N_0020 \$N_0021 M20FN |
| D_QN3_D1 | \$N_0020 \$N_0021 FDIOD |
| V_+vcc | \$N_0024 0 5V |
| Q_QP6_Q3 | \$N_0022 \$N_0025 \$N_0024 M20SP |
| Q_QP6_Q2 | \$N_0022 \$N_0025 \$N_0024 M20SP |
| C_QP6_C1 | \$N_0025 -5v 3.35pF |
| Q_QP4_Q3 | \$N_0023 \$N_0026 \$N_0024 M20SP |
| Q_QP4_Q2 | \$N_0023 \$N_0026 \$N_0024 M20SP |
| C_QP4_C1 | \$N_0026 -5v 3.35pF |
| Q_QP3_Q3 | \$N_0026 \$N_0026 \$N_0024 M20SP |
| Q_QP3_Q2 | \$N_0026 \$N_0026 \$N_0024 M20SP |

C_QP3_C1 \$N_0026 -5v 3.35pF
Q_QP5_Q3 \$N_0025 \$N_0025 \$N_0024 M20SP
Q_QP5_Q2 \$N_0025 \$N_0025 \$N_0024 M20SP
C_QP5_C1 \$N_0025 -5v 3.35pF
R_R6 \$N_0006 \$N_0024 200
V_Vin \$N_0001 0 0V
R_QN2_R2 \$N_0027 \$N_0026 64
R_QN2_R1 \$N_0027 \$N_0026 64
Q_QN2_Q2 -5v \$N_0027 \$N_0028 M20VP
Q_QN2_Q1 \$N_0027 \$N_0028 \$N_0029 M20FN
D_QN2_D1 \$N_0028 \$N_0029 FDIOD
Q_QP7_Q3 \$N_0031 \$N_0031 \$N_0030 M20SP
Q_QP7_Q2 \$N_0031 \$N_0031 \$N_0030 M20SP
C_QP7_C1 \$N_0031 -5v 3.35pF

**** RESUMING inverseur.cir ****
.PROBE/CSDV V(*) I(*) W(*) D(*) NOISE(*)

.END

**** 08/10/07 17:29:38 ***** PSpice 9.2 (Mar 2000) ***** ID# 0 *****

* F:\simulation\inverseur.sch

**** Diode MODEL PARAMETERS *****

FDIOD
IS 45.000000E-21
N 1.75
ISR 100.000000E-12
BV 6.6
IBV 10.000000E-06
RS 75
TT 5.000000E-09
CJO 1.000000E-12
VJ .75
M .3333

**** 08/10/07 17:29:38 **** PSpice 9.2 (Mar 2000) **** ID# 0 ****

* F:\simulation\inverseur.sch

**** BJT MODEL PARAMETERS*****

| | M20SP PNP | M20VP PNP | M20FN NPN |
|-----|----------------|---------------|----------------|
| IS | 200.000000E-18 | 1.300000E-15 | 450.000000E-18 |
| BF | 90 | 20 | 150 |
| NF | 1 | 1 | 1 |
| VAF | 50 | 150 | 150 |
| IKF | 500.000000E-06 | | 6.000000E-03 |
| ISE | 5.000000E-15 | | 7.000000E-15 |
| NE | | | 1.75 |
| BR | 1 | .15 | .5 |
| NR | 1 | 1 | 1 |
| VAR | 100 | 100 | 150 |
| IKR | 100.000000E-06 | | 1.000000E-03 |
| ISC | 10.000000E-15 | | 1.000000E-15 |
| NC | 1.5 | | 1.3 |
| RB | 50 | 760 | 135 |
| RE | 100 | 7 | 2.42 |
| RC | 100 | 15 | 36 |
| CJE | 120.000000E-15 | 2.000000E-12 | 546.000000E-15 |
| CJC | 400.000000E-15 | 2.700000E-12 | 1.520000E-12 |
| TF | 10.000000E-09 | 10.000000E-09 | 338.000000E-12 |
| XTF | 10 | 10 | 10 |
| VTF | 10 | 10 | 10 |
| ITF | 1 | 1 | 1 |
| TR | 10.000000E-09 | 10.000000E-09 | 33.800000E-09 |
| XTB | | | 4.400000E-03 |
| CN | 2.2 | 2.2 | 2.42 |
| D | .52 | .52 | .87 |

JOB CONCLUDED

TOTAL JOB TIME .83

Bibliographie

- [1] S. Belkacem, « *Macro modélisation comportementale de circuits analogiques : application au circuit convoyeur de courant* » thèse de Magister, université de Batna, 2005.
- [2] F. Lémery, « *Modélisation comportementale des circuits analogiques et mixtes* » thèse de Doctorat, institut polytechnique de Grenoble, Décembre 1995.
- [3] T. T. Lang, « *circuits fondamentaux de l'électronique analogique* », 3^e édition, technique et documentation, 1996.
- [4] R. Remmouche, « *étude et modélisation du transistor MOS* », thèse de Magister, Université de Sétif 1994.
- [5] S. Djemmali, « *contribution à l'élaboration de méthodologies et D'outils d'aide à la conception de systèmes multi technologiques* », Phd thesis, école nationale supérieur des communications, 2003.
- [6] A. Vachoux, « *Modélisation des systèmes analogiques et mixtes, introduction à VHDL-AMS* » Laboratoire de systèmes microélectroniques, version 2003.
- [7] M Juan-carlos Hamon « *Méthodes et outils de la conception amont pour les systèmes et les microsystemes* », thèse de Doctorat, institut national polytechnique de Toulouse, Février 2005.
- [8] R. Perdriau, « *Méthodologie de prédiction des niveaux d'émission conduite dans les circuits intégrés, à l'aide de VHDL-AMS* » thèse de Doctorat, université catholique de Louvain, laboratoire de microélectronique (DICE), Mars 2004.
- [9] S. Mir, « *Conception et test intégré des dispositifs analogiques, mixtes et microsystemes* », thèse de Doctorat, institut national polytechnique de Grenoble, Mai 2005.
- [10] P. K. Alli, « *Testing a CMOS Operational Amplifier Circuit Using a Combination of Oscillation and IDDQ Test Methods* », Master of science in Electrical Engineering, Louiziana State University and Agricultural and Mechanical college, August 2004.
- [11] M. Azizi, « *Covérification des systèmes intégrés* » thèse de Ph.D, Université de Montréal, Décembre 2000.
- [12] Norbert Bastide, « *Problèmes d'électronique et simulation OrCAD Pspice* », Edition CASTEILLA-25 rue Monge-75005 Paris.
- [13] R. Boyle, Gramer; M. Cohn, Bary, Pederson, Donald O, « *Macromodeling of Operational Integrated Circuit Amplifiers* », IEEE Journal of Solid-State Circuits, VOL.SC-9, No.6, December 1974.
- [14] P.R. Wilson, Y. Kiliç , J.N. Ross, M. Zwolinski, Andrew D. Brown, « *Behavioural Modelling of Operational Amplifier Faults using VHDL-AMS* », Proceedings of the 2002 Design, Automation and Test in Europe Conference and Exhibition, IEEE 2002.

- [15] K. Hadjiat, « *Evaluation prédictive de la sûreté de fonctionnement d'un circuit intégré numérique* », thèse de Doctorat, INPG, Juin 2005.
- [16] J. V. Calvano, V. C. Alves, M. S. Lubaszewski, A. C. Mesquita, “*Fault Models and Compact Test Vectors for MOS OpAmp Circuits*”, 0-7695-0843-WOO \$10.00 © 2000 IEEE.
- [17] Stefan Weiner, « *a Fault Model and a Test Method for Analog Fuzzy Logic Circuits* », INTERNATIONAL TEST CONFERENCE 1995, Paper 9.4, pp. 282-291
- [18] Jonathan R. Carter, Sule Ozev, and Daniel J. Sorin, “*Circuit-Level Modeling for Concurrent Testing of Operational Defects due to Gate Oxide Breakdown*” Proceedings of the Design, Automation and Test in Europe Conference and Exhibition 2005.
- [19] S. Adham, D. Al-Khalili, C. Rozon, D. Racz, “*Comprehensive Defect Analysis and Testability of Current- Mode Logic Circuits*”, IEEE International Symposium on Circuits and Systems, May 28-31, 2000, Geneva, Switzerland, pp I-339 – I-342
- [20] N. Ben-Hamida, K. Saab, D. Marche and B. Kaminska “*FaultMaxx: A Perturbation Based Fault Modeling and Simulation for Mixed-Signal Circuits*”, 1997 IEEE.
- [21] C. Su, S. Chiang, and S. J. Jou, “*Impulse Response Fault Model and Fault Extraction for Functional Level Analog Circuit Diagnosis*” 1995 IEEE, PP 631-636.
- [22] N. Burgess, R.I. Damper, K.A. Totton, S.J. Shaw, “*Physical faults in MOS circuits and their coverage by different fault models*”, IEEE PROCEEDINGS, Vol. 135, Pt. E, No. 1, JANUARY 1988.
- [23] S. Graffi, G. Masetti, and D. Golzio, “*New Macromodels and Measurements for the Analysis of EMI Effects in 741 Op-amp Circuits*”, IEEE Transactions on electromagnetic compatibility, Vol. 33, N°1, February 1991.
- [24] M. Renovell, P. Huc and Y. Bemand, “*Fault Modelisation of External Shorts in CMOS Circuits*”, 1993 IEEE, PP 237-242.
- [25] S.K. Tewksbury, « *Informal Comments on Defect Modeling, Fault Modeling, and Fault Tolerance Issues for MEMS Modules* », Dept. of Computer Science and Electrical Engineering, West Virginia University, Dec. 13, 1997.
- [26] Érika F. Cota, L. Carro, M. Lubaszewski, « *A Method to Diagnose Faults in Linear Analog Circuits Using an Adaptive Tester* », Universidade Federal do Rio Grande do Sul, BRASIL.
- [27] Russell Kao, « *Piecewise Linear Models for Switch-Level Simulation* », Technical Report: CSL-TR-92-532, Stanford University, June 1992.

- [28] M. Rewien´ski and J. White, “*A Trajectory Piecewise-Linear Approach to Model Order Reduction and Fast Simulation of Nonlinear Circuits and Micromachined Devices*”, IEEE Transactions on Computer –Aided Design of Integrated Circuits and Systems, VOL. 22, NO. 2, February 2003.
- [29] CHANG Y, LEE C.L, CHEN J.E. “*A behavioural level fault, model for the closed-loop operational amplifier*”, *Journal of Information Science and Engineering*,2000,Vol.16, pp751-766 .
- [30] Benoît Charlot, « *modélisation de fautes et conception en vue du test structurel des microsystèmes* », thèse de doctorat de l’INPG, Mars 2001.
- [31] H. Albustani, “*Modeling Methods for Testability Analysis of Analog Integrated Circuits Based on Pole-Zero Analysis*”, PhD thesis, Der Fakultät Ingenieurwissenschaften der Universität Duisburg-Essen, 06 Août 2004.
- [32] www.bibliotheque.imag.fr/publications/theses/Lubaszewski.Marcelo/these_9.pdf
- [33] M.Zwolinski, “*Relaxation Methods for Analogue Fault Simulation*”, PROC 20th International Conference on Microelectronics (MIEL’95) 1995, VOL. 2, pp 467-471.
- [34] Laurent Fesquet, “*Conception de circuits analogiques*”, Ecole nationale supérieure d’Electronique et de radioélectricité de Grenoble, 2000.
- [35] C. TURCHETTI and G. MASETTI. “*A macromodel for integrated all MOS operational amplifiers*”. *IEEE Journal of Solid-State Circuit*, vol. 18(No. 4):pp. 389-394, August 1983
- [36] N. Bourouba, »*Fault macromodeling and fault collapsing of analogue integrated circuits*”, these de M. Phil, Université de Lancaster, December 1989.
- [37] A. Bounceur, “*Plateforme CAO pour le test de circuits mixtes* ”, thèse de doctorat de l’INPG, Avril 2007.